



ISSN 1004-3365
CODEN:WEIDFK
CN 50-1090/TN

微电子学

MICROELECTRONICS

全国中文核心期刊

ISSN 1004-3365



9 771004 336204

04>

2020

第 50 卷 2

四川固体电路研究所 主办

Sichuan Institute of Solid-State Circuits

期刊网址: www.microelec.cn

微 电 子 学

Weidianzixue

第 50 卷 第 2 期 2020 年 4 月

目 次

• 电路与系统设计 •

基于 Cascode 级间匹配的多频段 LNA 设计	陈福栈, 甘业兵, 乐建连, 叶甜春(153)
一种适用于低 ESR 应用的高精度 RBCOT 环路 ...	贾丽伟, 辛杨立, 梁 华, 冯捷斐, 徐 俊, 明 鑫, 王 卓, 张 波(159)
一种分组并行的范式霍夫曼编码 VLSI 结构	叶 帅, 邸志雄, 吴 伟, 陈锦炜, 冯全源, 王文强, 虞旭林(167)
一种超低功耗基准电压源设计	闫苗苗, 焦立男, 柳有权(171)
一种基于数字逻辑控制的低损耗双半桥驱动芯片	臧延峰, 陈 畅, 常昌远, 凌德强, 韩 雄(176)
一种用于原边电流采样的自适应前沿消隐电路	王 强, 罗 萍, 邓成达, 张 辽, 唐天缘(184)
一种避免码间串扰的 LED 驱动芯片	苏 东, 冯全源(188)
一种用于电源组件的保护电路的优化设计	唐万军, 廖建军(193)
一种支持 QoS 特性的 SpaceFibre 接口设计与实现	陈卫国, 任永杰, 董劭颖, 祁美娟, 王剑峰, 吴龙胜(197)

• 动态与综述 •

高性能 A/D 转换器校准技术研究进展	赖 凡, 徐梓丞, 戴永红(202)
GaN 功率器件栅驱动电路技术综述	冯旭东, 胡 黎, 张 宣, 明 鑫, 周 琦, 张 波(207)
硅基异质集成技术发展趋势与进展	武俊齐, 赖 凡(214)
集成电路技术领域最新进展及新技术展望	朱进宇, 闫 峥, 苑 乔, 张少真(219)

• 模型与算法 •

基于 RS-PSO-SVM 集成的模拟电路软故障诊断	孙 健, 胡国兵, 邓 韦, 王成华(227)
基于 WOA-PNN 算法的电力电子电路故障诊断分析	王熙乾, 高雪莲, 史丽鹏(232)
评价功率 VDMOS 器件 SEB 效应的畸变 NPN 模型	冯筱佳, 唐昭焕, 杨发顺, 马 奎(236)

• 半导体器件与工艺 •

对角线六边形的 TSV 冗余结构设计	束 月, 梁华国, 左小寒, 杨 兆, 蒋翠云, 倪天明(241)
一种高 Q 值且频带可独立调谐的差分有源电感	张 鉴, 张万荣, 谢红云, 金冬月, 那伟聪, 徐 曙, 杨 鑫(248)
热光源和稳恒磁场对石墨烯阻值的影响	李龙飞, 胡加杨, 李方清, 王德波(253)
退火参数对铁电 $\text{TiN}/\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ 薄膜器件的电学性能影响	朱 曦, 马海力, 高 天, 冯 洁, 吕杭炳(257)
横向电阻区对 IGBT 过电流关断能力的影响研究	纪丙华, 吴 郁, 金 锐(262)
基于 Matlab 的基极电流理想因子提取方法研究	冯筱佳, 邱 盛, 张 静, 崔 伟, 张培健(267)
一种电感值可独立调节的低噪声有源电感	徐 曙, 张万荣, 谢红云, 金冬月, 那伟聪, 张 鉴, 杨 鑫(272)
AlGaN/GaN HEMT 的恒压电应力退化研究	张 璐, 宁 静, 王 东, 沈 雪, 董建国, 张进成(276)

• 产品与可靠性 •

低失调电压双极运放的单粒子瞬态特性研究	于 新, 陆 妩, 姚 帅, 荀明珠, 王 信, 李小龙, 孙 静(281)
小腔体元器件内部气氛检测修正因子适用性分析	秦国林, 朱朝轩, 罗 俊, 谭晓洪(287)
一种适用于 PUF 可靠性提升的微弱延时测试方案	江 悦, 梁华国, 应健锋, 周 凯, 马高亮, 蒋翠云, 鲁迎春, 黄正峰(291)
灌封工艺方案与产品结构设计的匹配性研究	张世莉, 肖 玲, 陈 亮, 周 元(297)

Microelectronics

Vol. 50, No. 2 Apr. 2020

Contents

• Circuit and System Design •

A Multi-Band Cascode LNA with Inter-Stage Matching Network	CHEN Fuzhan, GAN Yebing, LE Jianlian, et al (153)
A High Precision RBCOT Loop for Low ESR Applications	JIA Liwei, XIN Yangli, LIANG Hua, et al (159)
A Canonical Hoffman Coding VLSI Architecture with Grouping Parallel	YE Shuai, DI Zhixiong, WU Wei, et al (167)
Design of an Ultra-Low Power Voltage Reference	YAN Miaomiao, JIAO Linan, LIU Youquan (171)
A Low Loss Dual Half Bridge Driver Chip Based on Digital Logic Control	 ZANG Yanfeng, CHEN Chang, CHANG Changyuan, et al (176)
An Adaptive Leading Edge Blanking Circuit Applied in Primary Current Sampling	 WANG Qiang, LUO Ping, DENG Chengda, et al (184)
An LED Driver Chip Immune to Inter-Symbol Interference	SU Dong, FENG Quanyuan (188)
Optimization Design of a Protection Circuit for Power Supply Module	TANG Wanjun, LIAO Jianjun (193)
Design and Implementation of a SpaceFibre Interface with Quality of Service Characteristics	 CHEN Weiguo, REN Yongjie, DONG Shaoying, et al (197)

• Features and Review •

Research Progress of Calibration Technologies for High Performance A/D Converters	 LAI Fan, XU Zicheng, DAI Yonghong (202)
Overview of GaN Power Device Gate Driving Circuit Technology	FENG Xudong, HU Li, ZHANG Xuan, et al (207)
Trends of Silicon-Based Heterogeneous Integration Technologies	WU Junqi, LAI Fan (214)
The Latest Development and Trend of IC Technology	ZHU Jinyu, YAN Zheng, YUAN Qiao, et al (219)

• Modeling and Algorithms •

Analog Circuit Soft Fault Diagnosis Based on RS-PSO-SVM Integration Classifier	 SUN Jian, HU Guobin, DENG Wei, et al (227)
Fault Diagnosis Analysis of Power Electronic Circuits Based on WOA-PNN Algorithm	 WANG Xiqian, GAO Xuelian, SHI Lipeng (232)
A Distortion NPN Model for Evaluating SEB Effect of Power VDMOS	 FENG Xiaojia, TANG Zhaohuan, YANG Fashun, et al (236)

• Semiconductor Device and Technology •

Design of TSV Redundant Structure with Diagonal Hexagonal Shape	SHU Yue, LIANG Huaguo, ZUO Xiaohan, et al (241)
A Differential Tunable Active Inductor with High Q Value and Independent Adjustment of Operation Band	 ZHANG Yin, ZHANG Wanrong, XIE Hongyun, et al (248)
Effect of Thermal Light Source and Homogenous Magnetic Field on Graphene Resistance	 LI Longfei, HU Jiayang, LI Fangqing, et al (253)
Effects of Annealing Parameters on Electrical Properties of Ferroelectric TiN/Hf _x Zr _{1-x} O ₂ /TiN Thin Film Devices	 ZHU Xi, MA Haili, GAO Tian, et al (257)
Study on the Influence of Lateral Resistance Region on the IGBT Overcurrent Turn-Off Capability	 JI Binghua, WU Yu, JIN Rui (262)
Study on Extraction Method of Base Current Ideal Factor Using Matlab	FENG Xiaojia, QIU Sheng, ZHANG Jing, et al (267)
A Low Noise Active Inductor with Independently Adjustable Inductance Values	 XU Shu, ZHANG Wanrong, XIE Hongyun, et al (272)
Study on Electric Stress Degradation of AlGaIn/GaN HEMT Under Constant Voltage	 ZHANG Lu, NING Jing, WANG Dong, et al (276)

• Product and Reliability •

Study on the SET Characteristics of Low Offset Voltage Bipolar Operational Amplifiers	 YU Xin, LU Wu, YAO Shuai, et al (281)
Analysis on Applicability of Internal Residual Gas Detection Correction Factor for Small Cavity Component	 QIN Guolin, ZHU Chaoxuan, LUO Jun, et al (287)
A Weak Delay Test Scheme Suitable for PUF Reliability Improvement	 JIANG Yue, LIANG Huaguo, YING Jianfeng, et al (291)
Study on the Matching Between Potting Process and Product Structure Design	 ZHANG ShiLi, XIAO Ling, CHEN Liang, et al (297)

· 电路与系统设计 ·

基于 Cascode 级间匹配的多频段 LNA 设计

陈福栈^{1,2}, 甘业兵^{1,2,3}, 乐建连^{1,2,3}, 叶甜春^{1,2}

(1. 中国科学院微电子研究所, 北京 100029; 2. 中国科学院大学, 北京 100049;

3. 杭州中科微电子有限公司, 杭州 310053)

摘 要: 提出了一种 Cascode 级间匹配电路, 能够优化 Cascode 放大器的噪声系数、增益及高频稳定性。应用该电路, 设计了一款多频段射频低噪声放大器(LNA)。采用 0.25 μm GaAs 工艺进行实现, 输入、输出阻抗匹配网络采用片外元件。测试结果表明, 通过重配置片外元件的参数, 该 LNA 可工作于 0.7~1.1 GHz、1.6~2.1 GHz、2.3~2.8 GHz 这三个频段, 增益分别为 25 ± 2 dB、 19.5 ± 0.5 dB 和 18 ± 1 dB, 噪声系数分别低于 0.6 dB、0.7 dB 和 0.9 dB, OIP3 均大于 30 dBm。该 LNA 对于 GSM/WCDMA/LTE 通信基站以及 L/S 频段接收机等设备具有一定的应用价值。

关键词: 低噪声放大器; Cascode; 级间匹配; 高频稳定性

中图分类号: TN722.3; TN432

文献标识码: A

文章编号: 1004-3365(2020)02-0153-06

DOI: 10.13911/j.cnki.1004-3365.190361

A Multi-Band Cascode LNA with Inter-Stage Matching Network

CHEN Fuzhan^{1,2}, GAN Yebing^{1,2,3}, LE Jianlian^{1,2,3}, YE Tianchun^{1,2}

(1. Institute of Microelec., Chinese Academy of Sci., Beijing 100029, P. R. China; 2. Univ. of Chinese Academy of Sci., Beijing 100049, P. R. China; 3. Hangzhou Zhongke Microelectronics Co., Ltd., Hangzhou 310053, P. R. China)

Abstract: An inter-stage matching circuit for cascode structure was proposed, which could enhance cascode amplifier's noise performance, gain and high frequency stability. Applying the circuit, a low noise amplifier (LNA) was designed and implemented in a 0.25 μm GaAs process with input/output matching networks achieved off-chip. Through reconfiguring components of input/output matching networks, the proposed LNA could be used in the three frequency bands of 0.7~1.1 GHz, 1.6~2.1 GHz and 2.3~2.8 GHz. Measurement results showed that the LNA had a gain of 25 ± 2 dB, 19.5 ± 0.5 dB and 18 ± 1 dB respectively in the three frequency bands mentioned above, with a noise figure less than 0.6 dB, 0.7 dB and 0.9 dB respectively. And the LNA's OIP3s were larger than 30 dBm in the all three frequency bands. Therefore, the LNA possessed an application prospect for GSM/WCDMA/LTE base stations and L/S band receivers.

Key words: low noise amplifier; cascode; inter-stage matching; high frequency stability

0 引 言

LNA 是射频接收系统的关键模块之一, 是信号接收端与后级电路的重要枢纽。随着无线通信的高速发展, 对低噪声放大器性能的要求愈加严苛^[1]。

Cascode 结构是一种常用的 LNA 优化结构。它能提升 LNA 的正向增益和反向隔离度, 减小晶体管密勒效应对 LNA 性能的影响, 被广泛应用于集成电路的设计^[2]。实质上, Cascode 结构可以被看作共源放大管与共栅放大管的级联, 但二者之间的阻抗匹配问题却鲜有被考虑。文献[3]最早提出了 Cascode 级间匹配的优化思路, 通过在共源放大

收稿日期: 2019-06-18; 定稿日期: 2019-07-15

作者简介: 陈福栈(1995—), 男(汉族), 浙江温州人, 硕士研究生, 研究方向为射频集成电路设计。

管与共栅放大管之间插入一个片外电感来实现管间的阻抗匹配,仿真结果表明,该结构能够提升 LNA 的增益和噪声性能。此后,陆续有许多新的 Cascode 级间匹配电路被提出,但均未考虑匹配网络对 LNA 稳定性的影响^[4-6]。频率较高时,Cascode 级间节点的输入阻抗可能会产生负阻成分,并因此出现自激振荡等不稳定现象,恶化 LNA 的稳定性。

针对此问题,本文提出一种新的 Cascode 级间匹配电路,包含一个电感-电阻并联网络,能够在实现级间匹配的同时,提升 LNA 的高频稳定性。采用此级间匹配技术,本文提出一种性能优良的多频段 LNA。通过重配置片外输入、输出匹配网络元件参数,该 LNA 可以工作于 0.7~1.1 GHz、1.6~2.1 GHz、2.3~2.8 GHz 频段,在每个频段内均具有良好的增益和增益平坦度、较低的噪声系数和较高的线性度。

1 电路设计

1.1 工艺选择

目前,制作射频集成电路的主流工艺包括 Si CMOS 工艺、SiGe 工艺、GaN 工艺和 GaAs 工艺等。其中,GaAs 器件因具有优秀的噪声性能和较高的增益,被广泛应用于射频 LNA 的制作。本文采用基于 GaAs 工艺的增强型 pHEMT 器件作为放大管,晶体管栅长为 0.25 μm ,截止频率为 57 GHz,跨导为 700 mS/mm。在 0.5~3 GHz 频段,晶体管具备良好的噪声性能,且能提供可观的增益,能够满足本文设计需求。此外,晶体管的阈值电压为正值,简化了偏置电路的设计。

1.2 Cascode 级间匹配

本文提出一种新的级间匹配电路,包含一个片内电感和一个与之并联的电阻。级间匹配电路结构及其交流小信号等效电路如图 1 所示。

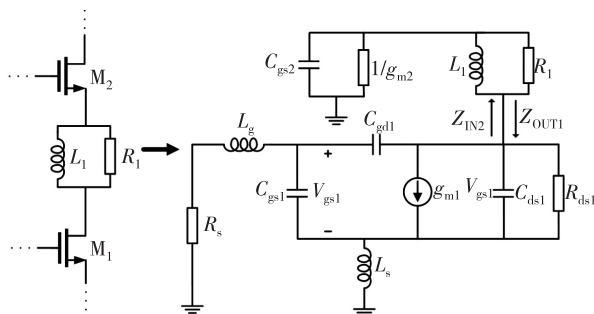


图 1 Cascode 级间匹配网络

为了简化分析,忽略 M_2 管漏源电阻 R_{ds2} 、漏源电容 C_{ds2} 和栅漏电容 C_{gd2} 的影响。因为共栅结构拥有良好的隔离度,可忽略输出匹配网络的影响。由图 1 可得:

$$Z_{OUT1} \approx \frac{R_{ds1}}{1 - \omega_0^2 C_{gd1}^2 R_{ds1}^2} - j \frac{\omega_0 C_{gd1} R_{ds1}}{1 - \omega_0^2 C_{gd1}^2 R_{ds1}^2} \quad (1)$$

$$Z_{IN2} \approx \frac{\omega_0^2 L_1^2 R_1}{R_1^2 + \omega_0^2 L_1^2} + \frac{g_{m2}}{g_{m2}^2 + \omega_0^2 C_{gs2}^2} + j\omega_0 \left(\frac{L_1 R_1^2}{R_1^2 + \omega_0^2 L_1^2} - \frac{C_{gs2}}{g_{m2}^2 + \omega_0^2 C_{gs2}^2} \right) \quad (2)$$

在确定了放大管的尺寸及偏置条件后,便可近似确定 C_{gs1} 、 C_{gs2} 、 R_{ds1} 和 g_{m2} 。根据阻抗匹配理论,此时通过调整 L_1 和 R_1 ,使式(1)等于式(2)的共轭,即可实现最大功率传输。这样,可以减少期望信号在流经共栅管时的功率损耗,从而提升 LNA 的增益。此外,因为期望信号的信号噪声比有所提升,LNA 的噪声性能亦得以优化。

LNA 的稳定性尤为重要,常用稳定系数 K 来衡量。一个绝对稳定的 LNA 在全频段的稳定系数应大于 1。以文献[3]中 LNA 为例,与本文不同,该 LNA 单独采用一个电感实现级间匹配,对应的电路结构等同于将图 1 中的 R_1 去除。在与式(2)相同的前提条件下,该 LNA 从共源管漏端往匹配电感方向的输入阻抗值为:

$$Z_{IN20} \approx \frac{g_{m2}}{g_{m2}^2 + \omega_0^2 C_{gs2}^2} + j\omega_0 \left(L_1 - \frac{C_{gs2}}{g_{m2}^2 + \omega_0^2 C_{gs2}^2} \right) \quad (3)$$

频率较高,即 ω_0 足够大时,该阻抗的实部值接近零。以上分析忽略了射频放大管 M_1 栅漏电容、 M_2 栅源电容及其他寄生参数的影响,实际的阻抗实部可能小于零,此时 LNA 极易出现自激振荡等现象^[7],恶化了稳定性能。而式(2)表明,本文级间匹配网络在高频时的输入阻抗值约等于 R_1 ,这会扼制负阻成分的产生,在一定程度上避免了自激振荡等不稳定现象的出现,由此提升了 LNA 高频稳定性。以本文设计的 LNA 为例,借助 EDA 工具对电路进行仿真,以验证此结论。仿真结果如图 2 所示。可以看出,当 R_1 支路断路时,高频时 LNA 的 K 值小于 1,可能会出现不稳定现象。加入 R_1 后, K 值在高频处显著上升,LNA 的稳定性得以改善。本文中,当 R_1 约为 40 Ω 时,LNA 的稳定性能最好。

综上所述,通过初步计算及仿真迭代,在本文 LNA 中, L_1 为 1 nH, R_1 为 40 Ω 。仿真结果表明,在 L_1 的值取为 1 ± 0.2 nH、 R_1 的值取为 40 ± 10 Ω

时, LNA 的各项性能指标均能维持较好水平, 可见本文级间匹配网络具备良好的工艺宽容度。

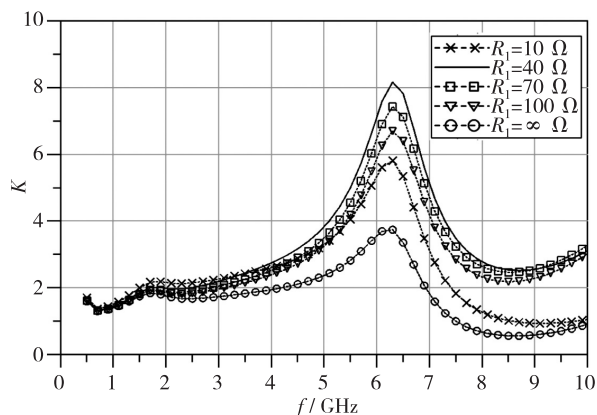


图2 不同 R_1 时 LNA 的稳定系数仿真结果

1.3 LNA 拓扑结构

采用上述 Cascode 级间匹配技术, 本文提出一种增益高、噪声性能优良、高频稳定性良好的 LNA, 具体电路结构如图 3 所示。采用了电感型源简并结构, 该结构具有噪声性能好、阻抗易于匹配的优点, 是最常用的 LNA 结构之一。

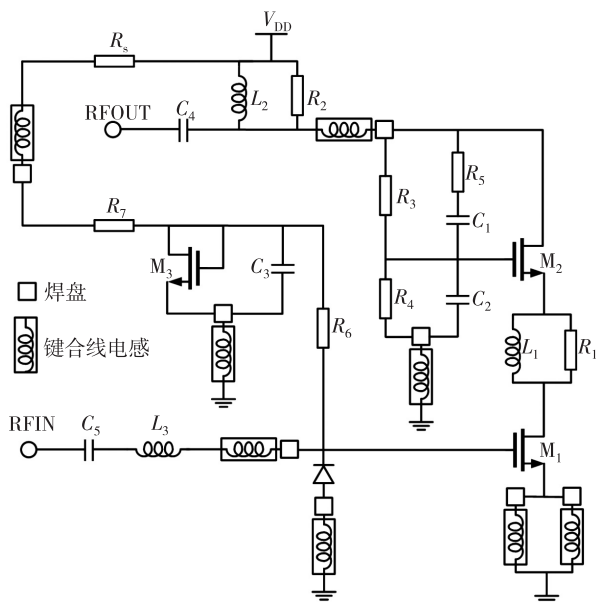


图3 多频段 LNA 的拓扑结构

LNA 的输入、输出匹配网络以及隔直电容均采用 0402 型片外元件实现。该元件有较高的品质因子, 能最大限度地优化 LNA 的性能。

假设输入源阻抗 R_s 和负载阻抗 R_L 均为 50Ω 。在输入匹配网络方面, LNA 的输入阻抗为^[8]:

$$Z_{IN1} \approx j\omega_0 (L_g + L_s) + \frac{1}{j\omega_0 C_{gs1}} + \frac{g_{m1} L_s}{C_{gs1}} \quad (4)$$

根据共轭匹配原理, 使输入阻抗中虚部阻抗相互抵消, 实部阻抗等于源阻抗, 即:

$$2\pi f_0 = \frac{1}{\sqrt{(L_g + L_s) C_{gs1}}}, R_s = \frac{g_{m1} L_s}{C_{gs1}} \quad (5)$$

式中, f_0 为 LNA 工作频段的中心频率, $\omega_0 = 2\pi f_0$; C_{gs1} 和 g_{m1} 分别为共源放大管 M_1 的栅源电容和跨导。为了减少片上电感的使用、减小芯片面积, L_s 由键合线电感构成, 相比于片上电感, 键合线电感具有更高的品质因子, 可以通过改变键合线的数量来改变电感大小。 L_g 由键合线电感和片外电感 L_3 组成。输出匹配网络由 R_2 、 L_2 和 C_4 构成, 三者数值的计算同样遵循共轭匹配的条件, 使 LNA 的输出阻抗与负载阻抗相匹配, 实现最大功率传输。

晶体管 M_3 、电容 C_3 和电阻 R_6 、 R_7 、 R_8 共同构成共源放大管 M_1 的直流偏置电路。 R_8 采用片外元件实现, 便于流片后的偏置调整。 C_3 将偏置电路产生的噪声滤除至地, 减小偏置电路对 LNA 噪声性能的影响, 还能稳定流过 M_1 与 M_3 管的电流, 提升 LNA 的抗干扰能力。 R_6 将偏置电路耦合至 M_1 管栅极, 其阻值较大, 可以减小偏置电路对信号通路的影响。

C_1 、 C_2 和 R_3 、 R_4 、 R_5 构成共栅放大管 M_2 的直流偏置电路。 R_3 、 R_4 构成分压结构, 为共栅管 M_2 提供合适的直流偏置电压。受 M_2 管栅漏电容 C_{gd2} 和栅源电容 C_{gs2} 的影响, 输出射频交流信号处于负周期时, 会导致 M_2 管栅极偏置电压减小, 若信号功率较大, 甚至会使 M_2 管周期性关断, 影响电路增益和噪声性能。因此, 在共栅管栅端并联一个大电容 C_2 , 将泄露的射频信号滤除到地, 稳定直流偏置, 减缓 LNA 在高频时的增益下降趋势, 提升 LNA 的增益平坦度。 R_5 和 C_1 有助于提升电路的稳定性。

通过调节片外元件 L_2 、 L_3 、 C_4 、 C_5 的值, 可将 LNA 应用于前述三种工作频段。值得说明的是, 由于 L_1 、 R_1 为片上元件, 且取值与频率相关, 频带切换时难以进行参数调节。但 R_1 降低了 L_1 的 Q 值, 使得级间匹配带宽变大, 减弱了频带切换对 Cascode 级间匹配网络性能的影响。

2 测试结果

本文 LNA 采用 $0.25 \mu\text{m}$ GaAs 工艺制造, 芯片

尺寸约为 $0.75\text{ mm} \times 0.88\text{ mm}$ 。芯片显微照片如图 4 所示, 芯片测试评估板如图 5 所示。

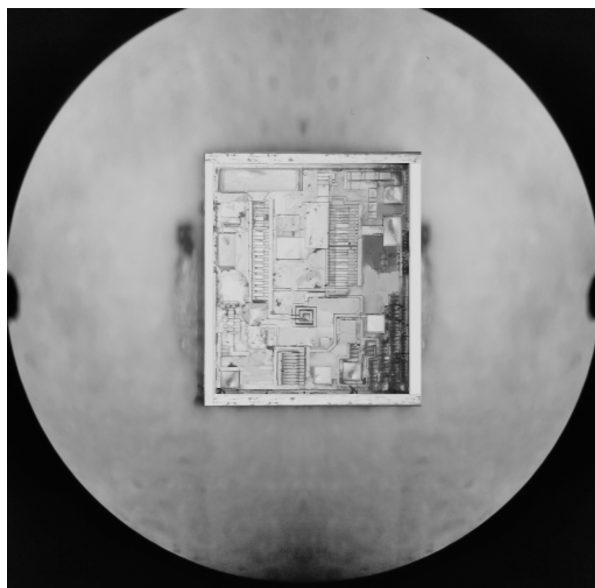


图 4 LNA 显微照片

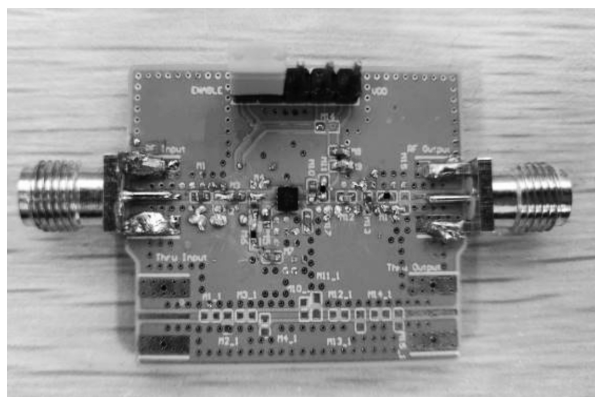


图 5 LNA 测试评估板

从天线接收的信号通常较为微弱, 因此, LNA 的小信号特性非常重要。常用 S_{11} 、 S_{22} 表征 LNA 的输入、输出回波损耗, 用 S_{21} 表征 LNA 的正向增益, 用 S_{12} 表征 LNA 的反向隔离度。将本文 LNA 的输入、输出匹配网络调谐于 $0.7 \sim 1.1\text{ GHz}$ 、 $1.6 \sim 2.1\text{ GHz}$ 、 $2.3 \sim 2.8\text{ GHz}$ 三个频段, 分别测试 LNA 的 S 参数, 结果如图 6~图 8 所示。

可以看到, 三个频段内, LNA 的 S_{11} 、 S_{22} 均在 -10 dB 以下, S_{12} 均在 -30 dB 以下, 满足 LNA 正常工作需求。三个频段内, LNA 增益分别为 $25 \pm 2\text{ dB}$ 、 $19.5 \pm 0.5\text{ dB}$ 和 $18 \pm 1\text{ dB}$, 表明 LNA 信号放大能力较好, 在工作频带内具有较好的增益平坦度。

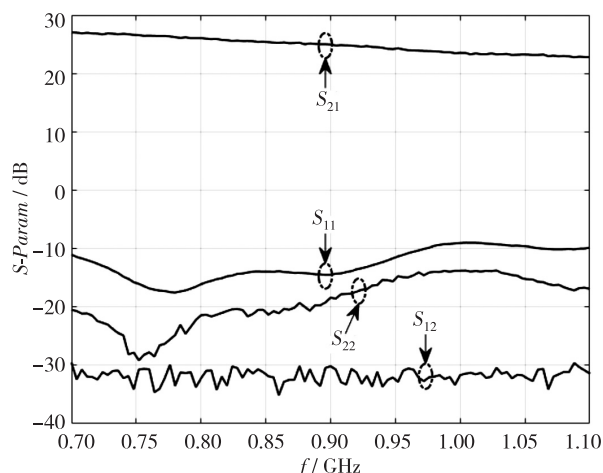


图 6 $0.7 \sim 1.1\text{ GHz}$ 下 LNA 的 S 参数测试结果

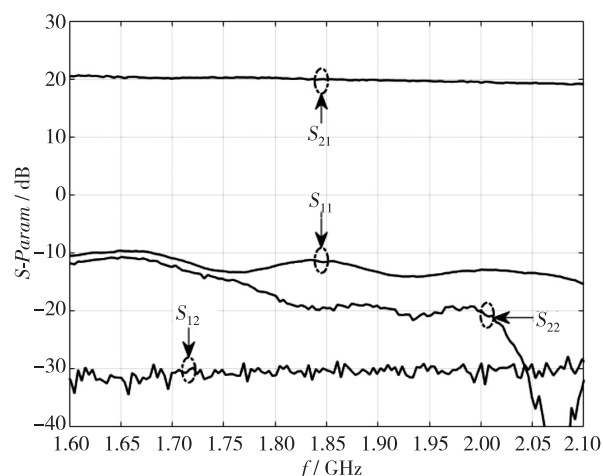


图 7 $1.6 \sim 2.1\text{ GHz}$ 下 LNA 的 S 参数测试结果

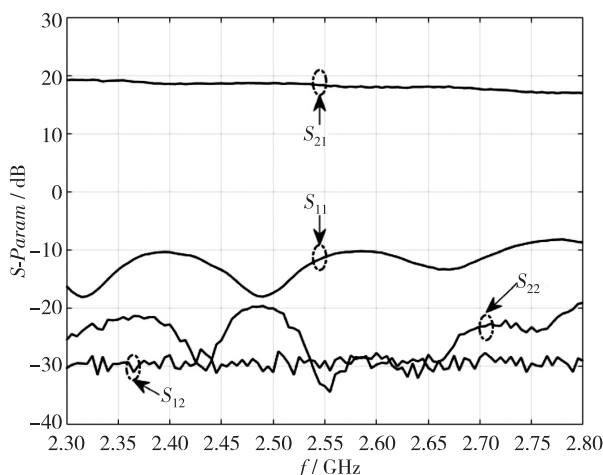


图 8 $2.3 \sim 2.8\text{ GHz}$ 下 LNA 的 S 参数测试结果

LNA 一般处于信号接收链路的前部。根据弗里斯公式^[9], LNA 的噪声性能对整个接收机噪声特性有着重要影响, 常用噪声系数 NF 表征。此外, 由于天线接收的微弱信号常伴有其他频率的杂散波, LNA 的线性度非常重要, 常用 3 阶交调点 OIP3 表

征。将 LNA 分别调谐于三种频段,测试 LNA 的 NF 与 OIP3,结果如图 9~图 11 所示。

可以看到,0.7~1.1 GHz 频段下 LNA 噪声系数低于 0.6 dB,在 0.8 GHz 频点达最小值 0.46 dB。在 1.6~2.1 GHz 频段下,LNA 噪声系数低于 0.7 dB。在 2.3~2.8 GHz 频段下,LNA 噪声系数低于 0.9 dB。这表明 LNA 具备优良的噪声性能。线性度方面,在 0.7~1.1 GHz 频段下,LNA 的 OIP3 大于 33.5 dBm。在 1.6~2.1 GHz 及 2.3~2.8 GHz 频段下,LNA 的 OIP3 均大于 30 dBm。这表明 LNA 线性度良好。

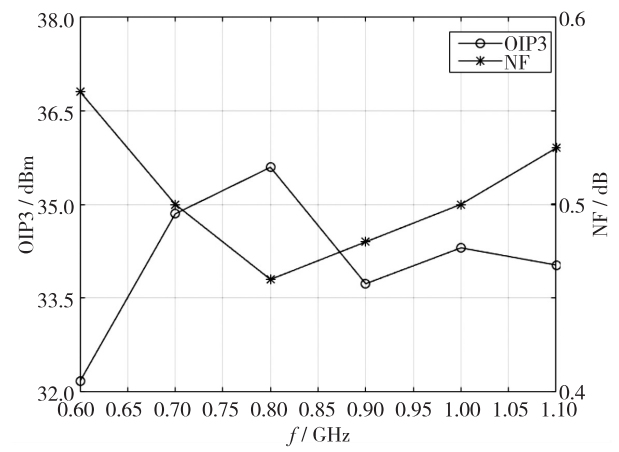


图 9 0.7~1.1 GHz 下 LNA 的 NF 及 OIP3 测试结果

本文 LNA 与部分文献中 LNA 的性能参数对比列于表 1。

由表 1 可见,在噪声系数及线性度方面,本文 LNA 优于文献[10]和文献[12]。在增益方面,本文 LNA 优于文献[11]和文献[12],但功耗相对较大。

在面积方面,由于使用了片外匹配元件,本文 LNA 的面积约为文献[10]中 LNA 的 75%,芯片制造成本相对更低,但在一定程度上限制了芯片的应用场景。

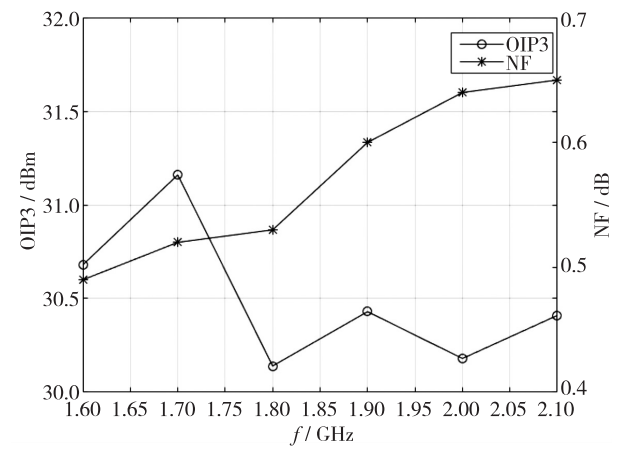


图 10 1.6~2.1 GHz 下 LNA 的 NF 及 OIP3 测试结果

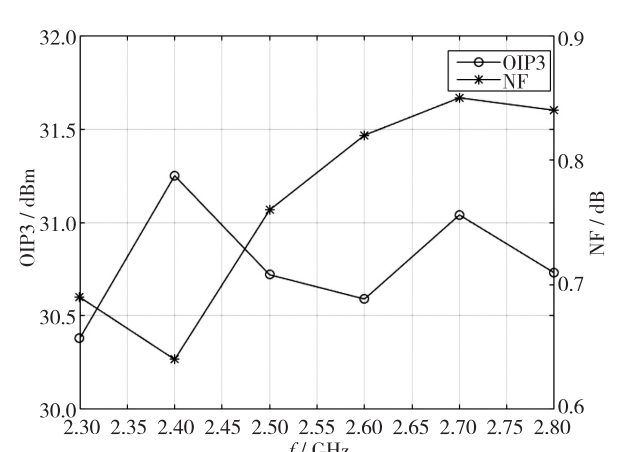


图 11 2.3~2.8 GHz 下 LNA 的 NF 及 OIP3 测试结果

表 1 本文 LNA 与部分文献中 LNA 的性能参数对比						
性能参数	文献[10]	文献[11]	文献[12]	本文		
制造工艺	GaAs	SiGe;C	GaAs	GaAs		
工作频率/GHz	0.7~0.8	1.95	2.5~2.8	0.7~1.1	1.6~2.1	2.3~2.8
S_{21} /dB	32.7	17	16	25	19.5	18
NF/dB	0.75	0.6	1.1	<0.6	<0.7	<0.9
OIP3/dBm	23	27	25	>33.5	>30	>30
静态电流/mA	47	58	45	70	70	69
工作电压/V	3.3	5	5	5	5	5
阻抗匹配方式	片内	片内	片外	片外	片外	片外
芯片尺寸/mm	1.23×0.73	-	-	0.75×0.88	0.75×0.88	0.75×0.88

3 结 论

本文提出一种 Cascode 级间匹配电路,通过在共源放大管与共栅放大管之间插入电感-电阻并联网络,一方面可以减小期望信号的功率损耗,优化 LNA 的增益、噪声性能,另一方面可以扼制管间节点在高频段出现负阻的现象,提升 LNA 的高频稳定性。应用该电路,本文提出了一种多频段 LNA,通过重配置片外输入、输出网络的元件参数,该 LNA 可工作于 0.7~1.1 GHz、1.6~2.1 GHz、2.3~2.8 GHz 频段。测试结果显示,该 LNA 在三个频段内的增益分别为 25 ± 2 dB、 19.5 ± 0.5 dB 和 18 ± 1 dB,噪声系数分别低于 0.6 dB、0.7 dB 和 0.9 dB,OIP3 均高于 30 dBm。因此,本文 LNA 在 GSM/WC- DMA/LTE 通信基站以及 L/S 频段接收机等设备中具有良好的应用前景。

参 考 文 献:

- [1] 刘亚泽, 张万荣, 金冬月, 等. 一种高增益且可调谐的 1~3 GHz 宽带 LNA [J]. 微电子学, 2017, 47(3): 341-346.
- [2] 池保勇, 余志平, 石秉学. CMOS 射频集成电路分析与设计 [M]. 北京: 清华大学出版社, 2006: 181-182.
- [3] KIM W S, LI X, ISMAIL M. A 2.4 GHz CMOS low noise amplifier using an inter-stage matching inductor [C] // 42nd Midwest Symp Circ & Syst. Las Cruces, NM, USA. 1999: 1040-1043.
- [4] MENG C C, JHONG J C. 5.2 - GHz GaInP/GaAs HBT cascode LNA with 5.5 dB gain enhancement using inter - stage LC matching [J]. Microwave & Optical Tech Lett, 2006, 48(8): 1499-1501.
- [5] CHEN T, SUN X, WU J, et al. A 2.4 GHz GaAs HBT stacked power amplifier with inductance compensation [J]. IEICE Elec Expr, 2013, 10(16): 1-6.
- [6] 周洪敏, 张瑛, 丁可柯. 5.8 GHz 0.18 μ m CMOS 低噪声放大器的设计 [J]. 计算机工程与应用, 2014 (23): 61-64.
- [7] SCHMID R L, COEN C T, SHANKAR S, et al. Best practices to ensure the stability of SiGe HBT cascode low noise amplifiers [C] // IEEE BCTM. Portland, OR, USA. 2012: 1-4.
- [8] ASGARAN S, DEEN M J, CHEN C H. A 4-mW monolithic CMOS LNA at 5.7 GHz with the gate resistance used for input matching [J]. IEEE Microwave & Wireless Compon Lett, 2006, 16(4): 188-190.
- [9] FRIIS H T. Noise figures of radio receivers [J]. Proceed IRE, 1944, 32(7): 419-422.
- [10] WANG S, ZHENG X, YANG H, et al. A 0.75 dB NF LNA in GaAs pHEMT utilizing gate-drain capacitance and gradual inductor [J]. J Semicond, 2015, 36(7): 112-117.
- [11] BERGERVOET J, LEENAERTS D M W, DE JONG G W, et al. A 1.95 GHz sub-1 dB NF, +40 dBm OIP3 WCDMA LNA module [J]. IEEE J Sol Sta Circ, 2012, 47(7): 1672-1680.
- [12] MEMIOGLU O, GUNDEL A. A high linearity wide bandwidth GSM/WCDMA/LT-E base station LNA MMIC with ultra low noise figure [C] // 18th MMS. Istanbul, Turkey. 2018: 198-201.

一种适用于低 ESR 应用的高精度 RBCOT 环路

贾丽伟, 辛杨立, 梁 华, 冯捷斐, 徐 俊, 明 鑫, 王 卓, 张 波
(电子科技大学 电子薄膜与集成器件国家重点实验室, 成都 610054)

摘 要: 提出了一种适用于低 ESR 电容、具有快速瞬态响应和高输出精度的纹波控制 COT (RBCOT) 实现电路, 并利用改进的等效三端开关模型, 对包含分压网络的控制环路进行了精确的小信号建模。该环路在保持快速瞬态响应能力的同时, 利用 SW 点的 1 阶滤波信号来产生虚拟电感电流纹波, 避免了次谐波振荡现象。通过谷值采样电路, 对滤波信号的谷值进行采样。采样电路在每个开关周期执行刷新操作, 并在上电和瞬态变化阶段进行加速充电。纹波叠加电路将增强纹波和谷值采样信号精确地叠加到反馈电压端, 保证电路输出精度较高。采用 $0.35\ \mu\text{m}$ 18 V BCD 工艺, 对纹波控制 COT 控制环路进行仿真。结果表明, 在 $4.5\sim 18\ \text{V}$ 输入电压范围内, 输出电压的失调在 $1\ \text{mV}$ 范围以内, 控制环路可以对瞬态变化进行快速调整。

关键词: 开关电源; 纹波控制; 恒定导通时间; 脉宽调制

中图分类号: TN433

文献标识码: A

文章编号: 1004-3365(2020)02-0159-08

DOI: 10.13911/j.cnki.1004-3365.190299

A High Precision RBCOT Loop for Low ESR Applications

JIA Liwei, XIN Yangli, LIANG Hua, FENG Jiefei, XU Jun, MING Xin,
WANG Zhuo, ZHANG Bo

(State Key Lab. of Elec. Thin Films and Integr., Univ. of Elec. Sci. and Technol. of China, Chengdu 610054, P. R. China)

Abstract: A ripple-based COT implementation circuit for low ESR capacitors with fast transient response and high output accuracy was proposed. Accurate small-signal modeling of control loops with voltage divider networks was performed by an improved equivalent three-terminal switch model. While maintaining the fast transient response capability, the first-order filtered signal of SW was used to generate the virtual inductor current ripple, thereby the subharmonic oscillation could be avoided. The valley of the filtered signal was sampled through the valley sampling circuit. The sampling circuit performed a refresh operation in every switching cycle, so accelerated charging could be performed during power-on and transient phases. The enhanced ripple and valley sampling signals were accurately superimposed on the feedback voltage terminal by the ripple superposition circuit, which ensured the high output accuracy of the circuit. The RBCOT control loop was designed in a $0.35\ \mu\text{m}$ 18 V BCD process to verify this method. Simulation results showed that the output voltage offset was within $1\ \text{mV}$ in the input voltage range of $4.5\sim 18\ \text{V}$. The control loop could quickly adjust for transient changes.

Key words: switching power supply; ripple based control; constant on-time; pulse width modulation

0 引 言

基于纹波控制的恒定导通时间控制方式

(RBCOT) 具有实现电路简单、瞬态响应快速、轻载效率高等优点, 在电源设备中得到广泛的应用^[1-2]。RBCOT 方式直接将输出电压与基准电压进行比较, 产生 PWM 控制信号。为了避免输出电容纹波

收稿日期: 2019-05-01; 定稿日期: 2019-06-04

基金项目: 国家重点研发计划资助项目 (2017YFB0402800)

作者简介: 贾丽伟 (1993—), 女 (汉族), 河北承德人, 硕士研究生, 从事电源管理芯片的研究与设计工作。

相移导致的次谐波振荡现象,输出电压纹波应以等效串联电阻(ESR)纹波为主^[3]。

多层陶瓷电容(MLCC)体积小、寄生参数小,是 Buck 变换器输出电容的理想选择^[4]。但是,多层陶瓷电容的等效串联电阻(ESR)较低,会导致 RBCOT 环路出现次谐波振荡现象。这将导致输出电压纹波变大,电感电流不均衡。为了解决该问题,通常在反馈电压端叠加电感电流相关信号^[5-7]。

本文对 RBCOT 次谐波振荡现象进行深入分析,提出一种适用于低 ESR 应用的 RBCOT 环路,并对其进行了小信号建模和仿真验证。本文采用 SW 点 1 阶滤波方式来产生虚拟电感电流纹波。为了避免虚拟纹波带来的输出电压失调,具备刷新操作的谷值采保电路抓取虚拟电感电流纹波在每个周期的谷值,加速充电控制电路则保证了采样信号在负载跳变等情况下能够快速跟踪 SW 点的 1 阶滤波信号。本文通过高精度的纹波叠加电路,完成了 PWM 比较功能,能在 4.5~18 V 输入电压范围内实现对输出电压的精确调节。

1 RBCOT 电路原理及分析

1.1 RBCOT 控制原理

传统的 RBCOT 架构如图 1 所示。将输出电压直接连接到 PWM 比较器。当输出电压下降到 V_{REF} ,上管将导通,持续时间固定为 T_{ON} 。轻载跳重载时,在每个开关周期内,上管经过最小关断时间后连续开启。重载跳轻载时,上管在恒定导通时间结束后始终关断,直到输出电压恢复到预设值。这种直接对输出电压进行采样和控制的方式保证了环路具备较快的瞬态响应速度。

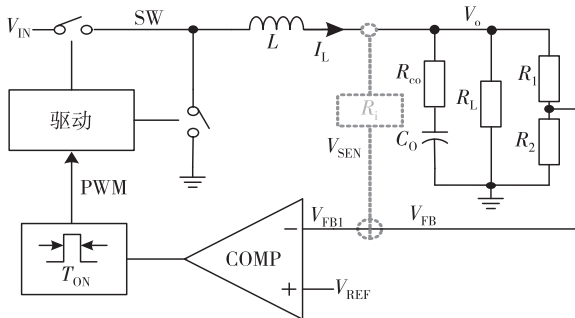


图 1 传统 RBCOT 系统架构

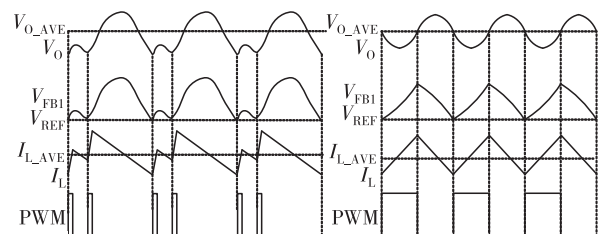
本质上,RBCOT 属于电流模控制方式。这是因为输出电压中包含 ESR 两端的电压,该电压与电感电流纹波同相。

ESR 与输出电容为串联关系。对于低 ESR 的

电容元件,输出电压中包含的电感电流纹波信息很容易被输出电容两端的电压纹波所覆盖,导致产生次谐波振荡现象,如图 2(a) 所示。对该现象可作如下解释,当上管开启时间结束后,输出电压的变化斜率应当大于 0。因此,RBCOT 的稳定性判据为:

$$\begin{aligned} \frac{dV_O}{dt} &= R_{CO} \frac{V_{IN} - V_O}{L} - \frac{V_{IN} - V_O}{2LC_O} T_{on} > 0 \\ \Rightarrow R_{CO} C_O &> T_{on} / 2 \end{aligned} \quad (1)$$

对于 MLCC 电容,上述条件通常无法满足。此时需要在反馈电压端叠加电感电流信息 V_{SEN} ,保证与电感电流同相的纹波在 PWM 比较器输入信号 V_{FB1} 中占据主导地位。

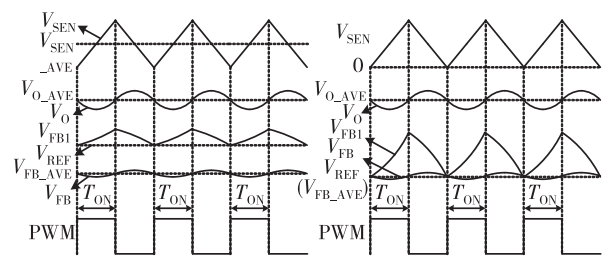


(a) 次谐波振荡 (b) 正常情况
图 2 RBCOT 的次谐波振荡现象与正常情况

当 V_{FB} 点叠加了电感电流采样信号 V_{SEN} 后,用于环路控制的反馈电压 V_{FB1} 可写为:

$$V_{FB1} = V_{FB} + V_{SEN} \quad (2)$$

此时, V_{FB1} 与实际输出电压存在偏差。而 PWM 比较器仅能够对 V_{FB1} 的值进行控制,实际的输出电压与预定值存在直流失调量 V_{OFF} ,如图 3(a) 所示。



(a) 无直流失调消除 (b) 包含直流失调消除
图 3 引入纹波后的直流失调消除

若各信号的平均值、峰峰值分别采用后缀 AVE、PP 来表示,忽略输出电压的纹波幅值(即 $V_{FB} = V_{FB_AVE}$), V_{OFF} 可以表示为:

$$V_{FB_AVE} + V_{SEN_AVE} - V_{SEN_PP} / 2 = V_{REF} \quad (3)$$

$$V_{OFF} = \frac{R_1 + R_2}{R_2} \left(\frac{V_{SEN_PP}}{2} - V_{SEN_AVE} \right) \quad (4)$$

此时,输出电压的失调量由纹波增强信号的谷值决定。如果能在原有电感电流采样信号中减去每个开关周期内信号自身的谷值,即每次上管开启时

V_{SEN} 已经降为 0, 此时 V_{FB} 的平均值与 V_{REF} 相等, 由纹波增强电路引入的直流失调得以消除, 如图 3(b) 所示。

1.2 纹波增强和直流失调消除的系统架构

为了解决 RBCOT 应用于低 ESR 时的稳定性问题, 本文采用文献[7]报道的虚拟电感电流技术进行稳定性补偿。本文提出的 RBCOT 架构如图 4 所示。

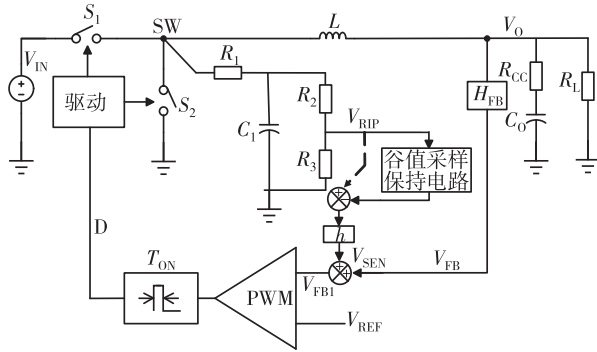


图 4 本文提出的 RBCOT 架构

利用 SW 点的 1 阶滤波信号 V_{RIP} , 产生虚拟电感电流信号 V_{SEN} 。谷值采样电路用于采样每个开关周期内 V_{RIP} 信号的谷值 V_{SH} 。纹波叠加电路将两个信号相减后得到 V_{SEN} 。电路处于稳态时, V_{SEN} 信号在每个开关周期的谷值为 0。SW 点的滤波网络由 C_1 、 R_1 、 R_2 和 R_3 组成。

利用戴维宁定理, 对 V_{RIP} 点电压满足的方程进行简化, 可得:

$$C_1 \frac{dV_{RIPX}}{dt} = \frac{V_{SWX} - V_{RIPX}}{R}, V_{RIPX} = \frac{R_2 + R_3}{R_3} V_{RIP}$$

$$V_{SWX} = \frac{R_2 + R_3}{R_1 + R_2 + R_3} V_{SW}, R = \frac{R_1(R_2 + R_3)}{R_1 + R_2 + R_3} \quad (5)$$

信号 V_{RIP} 的谷值电压、上升斜率 S_n 、下降斜率 S_f 分别为:

$$V_{RIP_AVE} - \frac{V_{RIP_PP}}{2} = \frac{R_3}{R_1 + R_2 + R_3} V_O - \frac{k(V_{IN} - V_O) T_{ON}}{R \cdot C_1} \quad (6)$$

$$S_n = \frac{k(V_{IN} - V_O)}{R \cdot C_1}, S_f = \frac{-kV_O}{R \cdot C_1},$$

$$k = \frac{R_3}{R_1 + R_2 + R_3}, R = \frac{R_1(R_2 + R_3)}{R_1 + R_2 + R_3} \quad (7)$$

因此, 等效电流采样增益 R_i 的表达式为:

$$\frac{V_{IN} - V_O}{L} R_i = \frac{kh(V_{IN} - V_O)}{R \cdot C_1} \Rightarrow R_i = \frac{khL}{R \cdot C_1} \quad (8)$$

式中, h 表示后级信号处理电路的电压增益。

1.3 带纹波增强和直流失调消除的等效电路模型

描述函数法可以对经典 RBCOT 环路进行精确

建模^[8]。引入谷值采保电路后, 描述函数难以建立, 本文结构需要使用基于描述函数法的等效三端开关模型进行小信号分析。本文建立的等效模型如图 5 所示, 模型参数说明列于表 1。

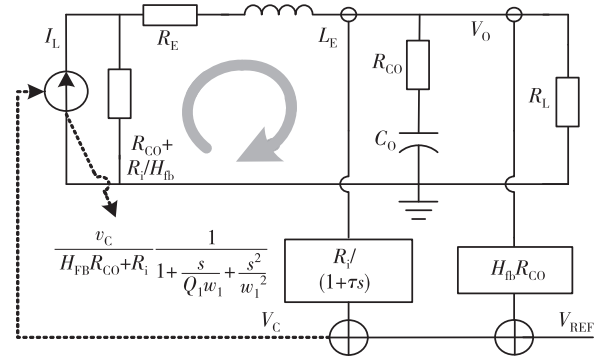


图 5 包含分压网络的 RBCOT 等效小信号模型

表 1 RBCOT 等效模型参数汇总

参数	含义	表达式
τ/s	采保等效时间常数	可消除近似式
$(R_{CO} + R_i/H_{FB})/\Omega$	电感电流采样增益	-
R_E/Ω	电容边带双极点系统的	$-R_{CO} - T_{ON}/(2C_O)$
L_E/Ω	等效电阻和电感	$T_{SW}^2/(\pi^2 C_O)$
Q_1	电流环双极点品质因数	$2/\pi$
$\omega_1/(\text{rad} \cdot \text{s}^{-1})$	和谐振角频率	π/T_{ON}

与文献[9]中的原始模型相比, 图 5 所示模型做了以下三处改动。

1) 考虑谷值采样电路对环路带来的影响。在实际电路设计中, 谷值采样电路的输出需要连接低通滤波器, 虚拟电感电流采样电压 V_{SEN} 可以表示为:

$$V_{SEN} = I_L R_i \times \frac{\tau s}{1 + \tau s} \approx I_L R_i - I_L R_i \frac{1}{1 + \tau s} \quad (9)$$

$I_L R_i$ 和 $I_L R_i/(1 + \tau s)$ 这两项对环路产生的影响将在后文中结合分压网络进行处理。由于 I_L 在低频时与负载电流相等, $I_L R_i/(1 + \tau s)$ 的 I_L 可以直接写为负载电流。

2) 考虑分压网络传输函数 H_{FB} 对模型参数带来的影响。输出电压的纹波由 ESR 和输出电容两端的电压组成, 从小信号的角度考虑, 电感电流 I_L 和基准电压 V_{REF} 之间的关系为:

$$V_{REF} = (I_L - I_{LOAD}) H_{FB} R_{CO} + i_L R_i \frac{\tau s}{1 + \tau s} + H_{FB} V_{CO} \quad (10)$$

式中:

$$I_L = \frac{1}{H_{FB}R_{CO} + R_i} V_C - \frac{H_{FB}V_{CO}}{H_{FB}R_{CO} + R_i} \quad (11)$$

$$V_C = V_{REF} + I_{LOAD}H_{FB}R_{CO} + I_LR_i \frac{1}{1 + \tau s} \quad (12)$$

根据式(10),图 5 中的 V_C 需要在基准电压上叠加负载电流采样信息。

3) 直接将电感电流的边带效应简化为包含双极点的压控电流源。RBCOT 包含电流环边带效应导致的双极点。这组极点通常需要将另一组谐振电路与 $R_{CO} + R_i/H_{FB}$ 并联,但会增加环路的分析难度。

$$\begin{aligned} \frac{u_o}{u_c} &= \frac{\frac{1}{H_{FB}} \frac{1}{1 + s/(Q_1\omega_1) + s^2/\omega_1^2} \frac{R_L(1 + sR_{CO}C_O)}{h(s)}}{1 + \frac{1}{H_{FB}} \frac{1}{R_L} (R_{CO} + R_i \frac{1}{1 + \tau s}) \frac{1}{1 + \frac{s}{Q_1\omega_1} + \frac{s^2}{\omega_1^2}} \frac{R_L(1 + sR_{CO}C_O)}{h(s)}} = \frac{1}{H_{FB}} \frac{R_L(1 + sR_{CO}C_O)}{(1 + \frac{s}{Q_1\omega_1} + \frac{s^2}{\omega_1^2})h(s) + \frac{1}{H_{FB}} (R_{CO} + R_i \frac{1}{1 + \tau s})(1 + sR_{CO}C_O)} \approx \\ &= \frac{1}{H_{FB}} \frac{(R_{CO}C_Os + 1)}{(1 + \frac{s}{Q_1\omega_1} + \frac{s^2}{\omega_1^2})(1 + \frac{s}{Q_2\omega_2} + \frac{s^2}{\omega_2^2})} \quad (15) \end{aligned}$$

式中:

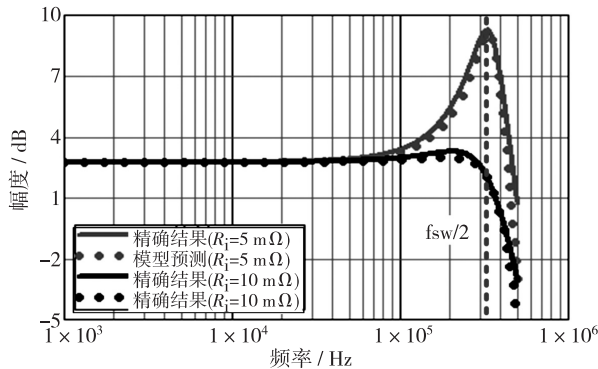
$$\omega_2 = \frac{\pi}{T_{SW}} \quad (16)$$

$$h(s) = R_L(1 + sR_{CO}C_O) + (R_E + R_{CO} + \frac{R_i}{H_{FB}} + sL_E)[1 + s(R_L + R_{CO})C_O] \quad (17)$$

$$Q_2 = \frac{T_{SW}}{\pi \left[\left(R_{CO} + \frac{R_i}{H_{FB}} \right) C_O - \frac{T_{ON}}{2} \right]} \quad (18)$$

由上述结果可以看出,RBCOT 的闭环增益包含了由电感电流和输出电容边带效应分别导致的两对双极点。虚拟电感电流纹波的加入保证了 Q_3 值不会小于零,避免了右半平面极点的产生,防止产生次谐波振荡现象^[10]。而谷值采保电路不会对环路稳定性造成显著影响。

本文采用改进等效模型,计算出的闭环增益与精确结果的对比结果如图 6 所示。



(a) 幅频特性曲线

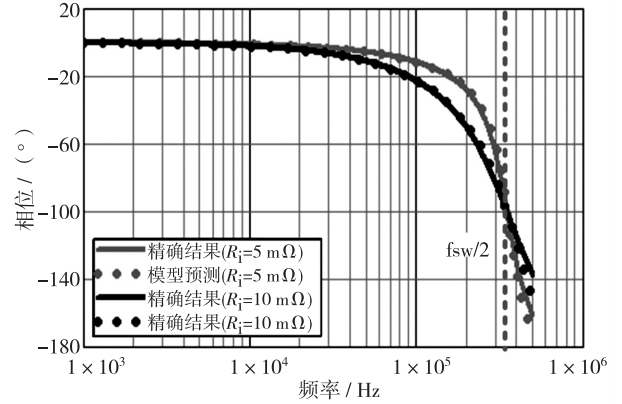
此处对电流环谐振回路以及旁路电阻进行诺顿等效,其短路电流 I_L 为:

$$I_L = \frac{V_C}{H_{FB}R_{CO} + R_i} / (1 + \frac{s}{Q_1\omega_1} + \frac{s^2}{\omega_1^2}) \quad (13)$$

该网络的输出阻抗近似为:

$$(sL + \frac{2L}{T_{ON}} \parallel \frac{L\pi^2}{sT_{ON}^2}) \parallel (R_{CO} + \frac{R_i}{H_{FB}}) \approx R_{CO} + \frac{R_i}{H_{FB}} \quad (14)$$

利用图 5 所示等效电路,对 RBCOT 的闭环增益进行计算:



(b) 相频特性曲线

图 6 等效电路模型结果验证

由图 6 可见,两个结果在 $1/2$ 开关频率范围内高度吻合。本文改进模型可以准确预测引入分压网络和谷值采保电路后的环路稳定性,能有效指导实际设计。

2 关键子电路设计

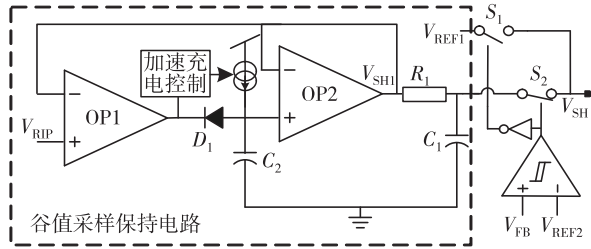
2.1 谷值检测电路

本文采用的谷值检测电路如图 7 所示。谷值采样保持电路由两个运放 OP1 和 OP2 构成^[11]。 C_2 为采样电容。 C_2 上的电压经过连接成单位增益形式的 OP2 传输至 OP1。电路稳态工作时,如果 V_{RIP} 信号比 C_2 上的电压更低,意味着新的谷值来临。此时,OP1 输出下拉,二极管 D_1 导通, C_2 放电, V_{SH1}

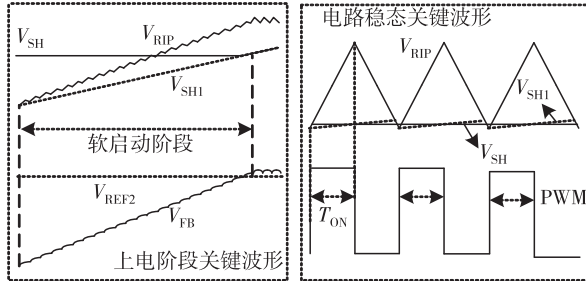
对 V_{RIP} 信号进行追踪,当 V_{RIP} 电压重新上升时,OP1 输出上拉, D_1 管截止, V_{RIP} 信号的谷值电压被保存到 C_2 两端。 R_1 和 C_1 组成低通滤波器,用于滤除谷值采样电路产生的瞬变噪声。为了保证电路在每个稳态周期内均能更新谷值电压^[12],有一股微小的电流 I_1 为电容 C_2 充电。 I_1 使得 V_{SH} 与 V_{RIP} 谷值电压之间存在失调电压 V_{SHOFF} 。该电压可写为:

$$V_{SHOFF} = I_1 T_{sw} / (2C_2) \quad (19)$$

电路处于上电阶段时, V_{FB} 电压较低,开关 S_1 打开, V_{SH} 为固定的基准电压 V_{REF1} 。上电阶段接近结束时,即反馈电压 V_{FB} 达到设定的基准值后,SW 点的滤波网络和谷值采样电路输出电压均已接近稳态,开关 S_2 打开, V_{SH} 由谷值采样电路的输出决定。



(a) 谷值采样保持实现电路



(b) 上电和稳态关键节点波形

图 7 谷值检测电路设计

谷值采保电路的具体电路如图 8 所示。OP1 采用带有交叉耦合结构的差分对来实现,由 $M_6 \sim M_{14}$ 、 M_{21} 、 M_{22} 管组成。OP2 采用 M_{18} 和 M_{20} 管组成的源随器来实现。 M_3 和 M_{16} 管组成源随器,用于 OP1 两端输入信号的电平位移和互相隔离。采保电路中的二极管由栅漏短接的 M_{19} 管替代。 C_2 的充电电流由 M_{17} 管提供。 C_2 需要加速充电时, M_{T2} 管打开,充电电流中加入 M_{T1} 管的漏极电流。谷值采保电路处于采样状态时,若 M_9 、 M_{14} 、 M_{22} 管之间的宽长比为 $1:k_1:k_2$,采样电路的环路增益 G_{SH} 和单位增益带宽 GBW_{SH} 可以写为:

$$G_{SH}(s) = \frac{k_1 g_{M5}}{1-k_2} \frac{r_{o13} \parallel r_{o14}}{1 + s(r_{o13} \parallel r_{o14})C_2},$$

$$GBW_{SH} = \frac{1}{1-k_2} \frac{k_3 g_{M5}}{2\pi C_2} \quad (20)$$

电路处于采样状态时,由于稳态下 V_{RIP} 的谷值电压与 V_{SH1} 相差不大, C_2 两端的电压下降斜率 S_r 近似为:

$$S_r = \frac{k_1 g_{M5} (V_{SH1} - V_{RIP})}{C_2 (1-k_2)} \quad (21)$$

由式(21)可知,谷值采样环路在 GBW 以内为单极点系统,具备良好的环路稳定性。提高电路的跨导参数有助于提高电路采样速度。交叉耦合结构提高了相同功耗下的电路跨导。

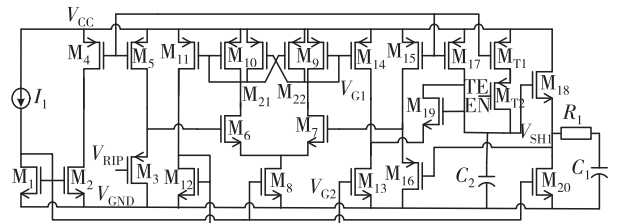


图 8 谷值采样保持实现电路

2.2 加速充电控制电路

如果始终只采用一股小电流对 V_{SH1} 进行充电,那么电路抓取 V_{RIP} 稳态谷值的速度会偏慢。电路处于上电阶段时, V_{SH1} 需要在软启动结束较长时间后才可以充电至 V_{RIP} 的谷值电压。电路发生负载跳变等瞬态变化时,SW 点的幅值、占空比会随之变化,导致 V_{RIP} 信号的瞬态谷值明显低于其稳态谷值。由于 V_{RIP} 的瞬态谷值会被谷值采样电容快速追踪和保存,在环路恢复稳态的过程中, V_{SH1} 信号需要经过较长时间的充电才能恢复。为了解决上述问题,需要在上述两种情况出现时加快 V_{SH1} 节点的充电速度。本文设计的加速充电控制逻辑如图 9(a)所示。

电路处于稳态时,采保电路在每个开关周期内会执行一次谷值抓取动作。此时,OP1 输出会产生下拉。由于 M_5 和 M_6 管的栅端电压与 OP1 输出端同类型的 MOS 管栅端相连,D 触发器的清零端在每个周期均执行一次置“1”操作。

令反相器的翻转阈值为 V_{INV_TH} , M_3 管的漏极电流为 I_{D3} ,如果满足:

$$I_{D3} T_{sw} / C_X < V_{INV_TH} \quad (22)$$

那么稳态时, M_{T2} 管始终关断,起加速充电作用的那一股电流不会开启。在上电或者瞬态跳变阶段, V_{SH1} 远低于 V_{RIP} 的稳态谷值,图 7 中 C_2 一直处于充电状态,谷值采样电路在若干个开关周期内均

图 11 所示为电路处于 6 V 转 1.05 V 时的稳态波形。电路工作在 CCM 模式,输出电压 V_O 、电感电流 I_L 、开关节点 SW 均表现为典型的稳态波形。在第四排波形中,实线信号 V_{RIP} 为 SW 点 1 阶滤波信号,点线信号 V_{SH} 为谷值采样电路的输出信号。此时, V_{SH} 的直流电压与 V_{RIP} 在每个开关周期的谷值相等。第五排仿真波形显示出 V_{FB} 与基准电压在每个周期的谷值仅相差 0.6 mV,表明本文电路在

低 ESR 应用时具备良好的稳定性和输出精度。

表 2 Buck 转换器的仿真参数汇总

参数	仿真结果
工艺/ μm	0.35
输入电压/V	6
输出电压/V	1.05
电感/ μH	2.2
输出电容/ μF	44
ESR 阻值/ $\text{m}\Omega$	1
开关频率/kHz	700
M_{H} 导通电阻/ $\text{m}\Omega$	155
M_{L} 导通电阻/ $\text{m}\Omega$	108

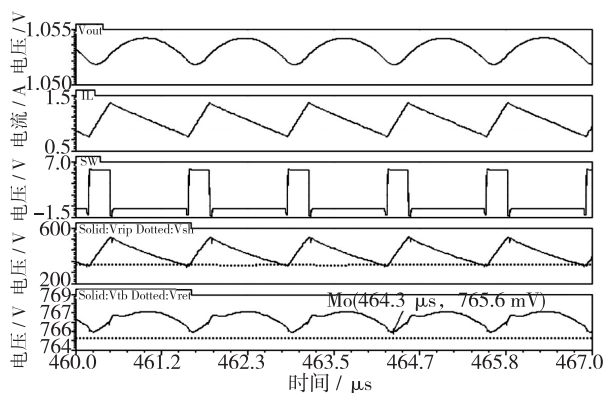


图 11 电路稳态波形

图 12 所示为电路处于负载跳变状态时的环路响应。负载电流在 $450 \mu\text{s}$ 时从 1 A 跳变至 1.7 A ，在 $500 \mu\text{s}$ 时恢复为 1 A 。输出电压在负载电流变化后发生短暂的下冲和上冲，随即恢复为稳态值。虚线信号表示 V_{SH1} 。在负载跳变结束后，谷值采样电路很快完成了对 V_{RIP} 信号的谷值抓取，不同负载下的输出电压稳态值几乎没有变化。

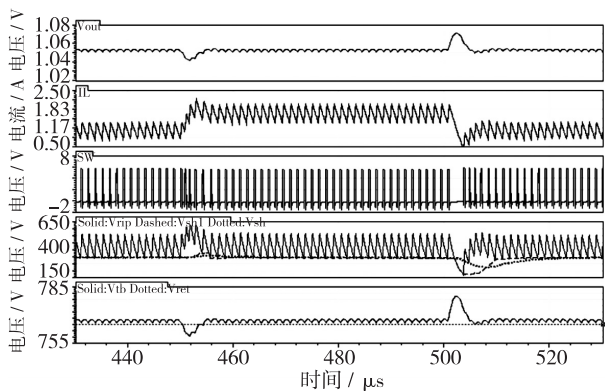
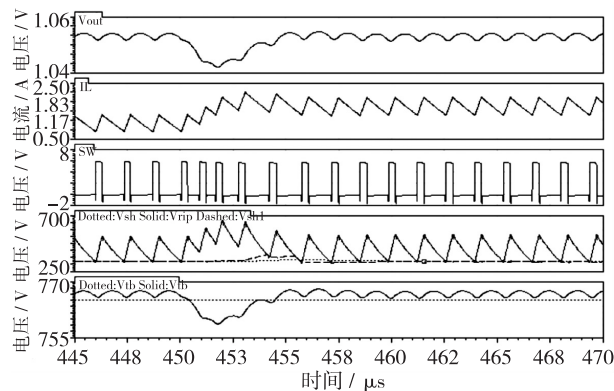
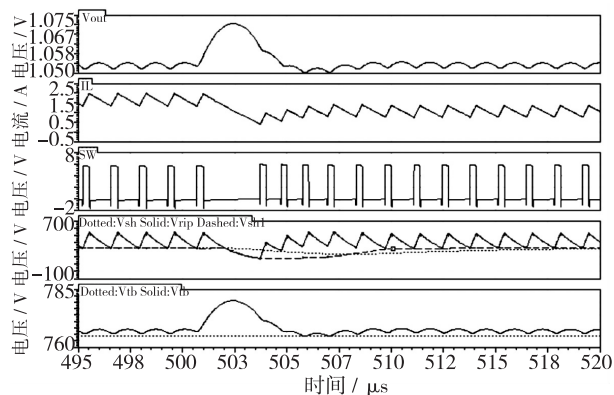


图 12 负载跳变波形

图 13 所示为负载跳变时刻的波形细节。轻载跳重载的波形如图 13(a) 所示。此时，COT 环路产生的关断时间减小，快速的升频操作将输出电压的下冲控制在 13 mV 以内，恢复时间约为 $5 \mu\text{s}$ 。负载跳变后，谷值采样电路执行了一次加速充电。由于后级低通滤波器的作用， V_{SH} 信号在负载跳变时的电压幅值变化不大。重载跳轻载的波形如图 13(b) 所示。此时，环路产生的关断时间延长。负载跳变后，电感电流维持下降状态，直至输出电压过冲消失。输出电压的上冲约为 15 mV ，恢复时间为 $5 \mu\text{s}$ 。谷值采样电路的工作状态与轻载跳重载时类似。



(a) 轻载跳重载的波形



(b) 重载跳轻载的波形

图 13 负载跳变的细节波形

环路对输入电压变化的响应如图 14 所示。输入电压按照 $6 \text{ V} \rightarrow 9 \text{ V} \rightarrow 12 \text{ V} \rightarrow 15 \text{ V} \rightarrow 18 \text{ V} \rightarrow 6 \text{ V}$ 的顺序依次变化。输入电压跳变后，输出电压很快达到稳态值。输入电压分别为 6 V 与 18 V 时，对应的输出电压谷值相差约 1.5 mV ，平均值相差约 2.2 mV 。电路输出电压对输入电压变化具备良好的调整能力。

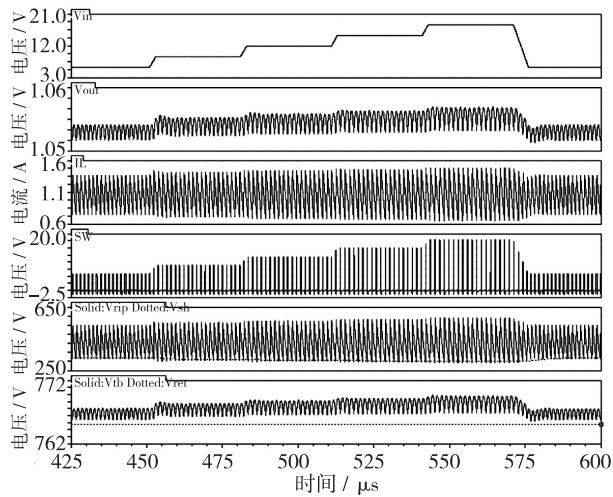


图 14 输入电压跳变波形

4 结 论

本文基于 $0.35\ \mu\text{m}$ 18 V BCD 工艺,提出了一种适用于低 ESR 应用的 RBCOT 控制环路,并基于等效三端开关模型,对包含分压网络的控制环路进行了精确的小信号建模和验证。该架构利用 SW 点的 1 阶滤波信号,产生虚拟电感电流纹波,有效避免了低 ESR 应用时的次谐波振荡现象。谷值采样电路消除了纹波增强信号引起的输出电压失调。加速充电电路保证谷值采样电路能够快速上电,避免了瞬态跳变时采样电路导致输出电压过慢恢复。高精度纹波叠加电路保证了环路控制信息的精确叠加。本文采用 Spectre 软件进行了仿真验证,结果表明,环路能够在低 ESR 应用条件下实现对输出电压的快速高精度调节。

参 考 文 献:

- [1] REDL R, SUN J. Ripple-based control of switching regulator - an overview [J]. IEEE Trans Power Elec, 2009, 24(12): 2669-2680.
- [2] CHEN J J, LU M X, WU T H, et al. Sub-1-V fast-response hysteresis-controlled CMOS buck converter using adaptive ramp techniques [J]. IEEE Trans VLSI Syst, 2013, 21(9): 1608-1618.
- [3] CHEN K H. Power management techniques for integrated circuit design [M]. Singapore: John Wiley & Sons, 2016: 170-201.
- [4] 史建卫, 王建明, 杜彬, 等. 电子组装中元器件的选择与应用 [C] // 中国高端 SMT 学术会议. 重庆, 中国. 2013: 100-121.
- [5] OUYANG Q. Constant on-time converter and the method of operation [P]. USA: US8198880, 2012-11-05.
- [6] CHEN W C, WANG C S, SU Y P, et al. Reduction of equivalent series inductor effect in delay-ripple reshaped constant on-time control for buck converter with multilayer ceramic capacitors [J]. IEEE Trans Power Elec, 2013, 25(4): 2366-2376.
- [7] LIN Y C, CHEN D, TSENG C W, et al. A ripple-based constant on-time control with virtual inductor current and offset cancellation for DC power converters [J]. IEEE Trans Power Elec, 2012, 27(10): 4301-4310.
- [8] LI J, LEE F C. Modeling of V^2 current-mode control [J]. IEEE Trans Circ & Syst I: Regu Pap, 2010, 57(9): 2552-2563.
- [9] TIAN S L, LEE F C, LI Q. Unified equivalent circuit model and optimal design of V^2 controlled buck converters [J]. IEEE Trans Power Elec, 2016, 31(2): 1734-1744.
- [10] LIU P H, YAN Y Y, LEE F C, et al. Auto-tuning and self-calibration techniques for V^2 control with capacitor current ramp compensation using lossless capacitor current sensing [C] // IEEE ECCE. Pennsylvania, PA, USA. 2014: 1105-1112.
- [11] 赛尔吉欧·佛朗哥. 基于运算放大器和模拟集成电路的电路设计 [M]. 刘树棠, 朱茂林, 荣玫, 译. 西安: 西安交通大学出版社, 2004: 384-388.
- [12] 黄楷. 电流模 Buck 变换器双环路模型分析与应用 [D]. 成都: 电子科技大学, 2017.
- [13] 菲利普·艾伦, 道格拉斯·霍尔伯格. CMOS 模拟集成电路设计 [M]. 冯军, 李智群, 译. 北京: 电子工业出版社, 2005: 359-396.

一种分组并行的范式霍夫曼编码 VLSI 结构

叶 帅^{1,2}, 邱志雄^{1,2}, 吴 伟^{1,2}, 陈锦炜^{1,2}, 冯全源^{1,2}, 王文强³, 虞旭林³

(1. 西南交通大学 信息科学与技术学院, 成都 611756; 2. 西南交通大学 微电子研究所, 成都 611756;
3. 阿里巴巴集团, 杭州 310052)

摘 要: 设计了一种基于状态机的分组并行加速排序的范式霍夫曼编码 VLSI 结构。取代了传统的串行排序方法,以分组并行排序的方式来加速频数和码长的计算过程,最终通过减少计算的时钟周期数来达到加速编码的目的。基于 SMIC 0.18 μm 标准工艺,使用 Synopsys Design Compiler 对该结构进行逻辑综合。实验结果表明,相比于文献[1]的排序结构,编码 256 个字符时,该结构的编码速度提升约 165%;压缩不同质量的 100 张图片时,最坏情况下平均压缩率提升了 2.78%,最好情况下平均压缩率提升了 12.24%。

关键词: 范式霍夫曼编码; VLSI 结构; 图像压缩

中图分类号: TN432

文献标识码: A

文章编号: 1004-3365(2020)02-0167-04

DOI: 10.13911/j.cnki.1004-3365.190302

A Canonical Huffman Coding VLSI Architecture with Grouping Parallel

YE Shuai^{1,2}, DI Zhixiong^{1,2}, WU Wei^{1,2}, CHEN Jingwei^{1,2}, FENG Quanyuan^{1,2},
WANG Wenqiang³, YU Xulin³

(1. School of Information Science and Technology, Southwest Jiaotong Univ., Chengdu 611756, P. R. China; 2. Institute of Microelec., Southwest Jiaotong University, Chengdu 611756, P. R. China; 3. Alibaba Group, Hangzhou 310052, P. R. China)

Abstract: A grouped parallel accelerated sorting VLSI architecture of Canonical Huffman coding based on the state machine was introduced. Instead of applying the traditional serial sorting method, the parallel grouping sorting method was used to speed up the calculation of frequency and code length. Finally, the purpose of accelerating the coding was achieved by reducing the number of clock cycles. The architecture was synthesized by Synopsys Design Compiler, based on SMIC 0.18 μm standard cell library. The experimental results showed that the encoding speed increased by 165% compared to the architecture proposed in Ref. [1] when encoding 256 characters, and the average compression rate was increased to 2.78% in the worst case and 12.24% in the best case while 100 images of different quality were compressed.

Key words: Canonical Huffman coding; VLSI architecture; image compression

0 引 言

1952 年, D. A. Huffman 提出霍夫曼编码。霍夫曼编码是可变长编码的一种, 因具有高压缩率的特点, 被广泛应用于数据压缩、音频压缩和图像压缩

等领域^[2]。

范式霍夫曼编码是霍夫曼编码的一种变体, 其重要组成部分——“霍夫曼表”准确反映了数据的可压缩空间。但是, 为了获得精确的霍夫曼表, 在编码之前必须对输入数据进行预扫描, 统计数据频数, 之后还需进行一次扫描来构造霍夫曼表。这说明所有

收稿日期: 2019-05-21; 定稿日期: 2019-06-25

基金项目: 国家自然科学基金青年基金资助项目(61504110); 国家自然科学基金面上项目(61831017), 国家自然科学基金重点资助项目(6153101); 四川省科技支撑计划重点资助项目(2019YFG0092), 四川省科技厅信息安全与集成电路重大专项资助项目(2018GZDZX0001); 阿里巴巴创新研究计划资助项目(Alibaba Innovative Research)

作者简介: 叶 帅(1995—), 男(汉族), 江西上饶人, 硕士研究生, 研究方向为图像压缩 VLSI 结构的设计与实现。

的输入数据都要被处理两次,导致编码速度慢、时间耗费长、硬件成本高。

文献[3]提出一种使用推荐霍夫曼表进行编码的高效内存分配方案,能大大降低码字表的内存分配计算负担,但从码字表中搜索编码结果需要大量的时钟周期。文献[4]提出一种新的数据结构元素,用于构造霍夫曼表,以达到节省时钟周期的目的。但是,此数据结构的参数是通过一系列复杂的计算生成的,时钟频率较低。文献[5]提出一种实现快速霍夫曼编码的 PLA 解决方案,但需要大量的硬件来存储霍夫曼表。文献[6]提出利用 CAM 来存储霍夫曼表,利用当前编码的数据重建霍夫曼表并实时更新,但对于硬件实现的适用性和复杂性较差。

基于以上问题,本文提出一种分组并行范式霍夫曼编码的 VLSI 结构,设计了基于状态机的分组并行查找方式,用于查找霍夫曼树的最小值和次小值。实验结果表明,本文提出的电路结构和方法能有效缩短范式霍夫曼编码的时间。

文章第 1 节介绍范式霍夫曼编码的基本原理,剖析编码流程的各个环节;第 2 节介绍分组并行加速的范式霍夫曼表生成 VLSI 结构设计;第 3 节给出 VLSI 结构的测试结果;第 4 节给出结论。

1 范式霍夫曼编码的基本原理

范式霍夫曼编码包含两个核心过程:构造霍夫曼编码树、根据编码树进行编码。

建树过程中,需要扫描一遍数据来统计各个字符的频数,并根据此结果来构造霍夫曼树。具体编码流程如图 1 所示。

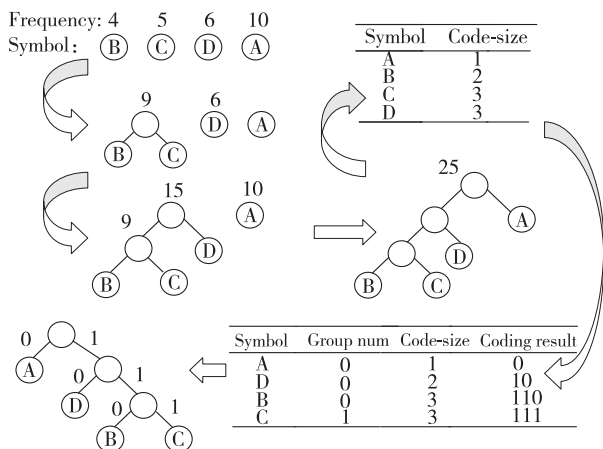


图 1 范式霍夫曼编码流程

首先,将所有符号按照频数大小排序。排序完

成后,选取两个频数最小的符号作为叶子节点,频数最小的为左叶子节点,另一个为右叶子节点。根据两个叶子节点生成一个根节点,此根节点的频数为两个叶子节点的频数之和。与此同时,两个叶子节点的码字位长(Code-Size)分别加 1。之后,将此根节点和其余的叶子节点进行排序,同样选取拥有两个最小频数的符号作为叶子节点来创建一个新的根节点。重复这些步骤,直至剩下最后一个根节点,最终完成霍夫曼树构建。

完成霍夫曼树构建后,为其分配编码。编码方式如下^[7]:1) 每个符号的 Code-Size 按照从小到大进行排序,Code-Size 相等的节点被划分为同一组;2) 对于同一组的节点,节点编号按字母顺序依次加 1,即统计 Code-Size 相等的符号个数;3) 按照左 0 右 1 的方式为各个符号节点分配编码,并纪录各个符号节点的编码结果。

2 分组并行加速的范式霍夫曼编码 VLSI 结构设计

霍夫曼表将最终存储的两个结果,代码数和霍夫曼值,分别记为 BITS 和 Huffman Value。这两者都是基于 Code-Size 的计算而得。但是,Code-Size 的计算需要对符号节点进行多次排序。假设输入 N 个字符,在传统串行排序算法中,要计算所有字符的 Code-Size,需要进行 $N-1$ 次排序。第一次排序, N 个字符需要 N 个周期。第二次排序,需要 $N-1$ 个周期。因此,要得到所有字符的 Code-Size,需要 $(N+1) \times N/2$ 个时钟周期。当 N 超过 100 时,花费的时钟周期十分庞大。

本文提出一种分组并行的范式霍夫曼表生成 VLSI 结构,如图 2 所示。VLSI 结构包含 5 个模块,分别为频数统计模块、分组并行加速排序模块、状态机控制模块、码长排序模块、位长限制模块。位长限制模块基于标准算法设计,本文不再讲述。

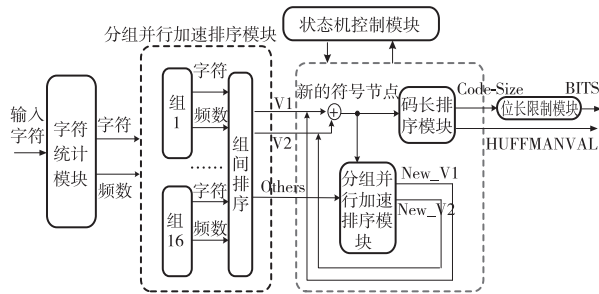


图 2 电路总体结构框图

2.1 频数统计模块设计

构建霍夫曼树时,需要扫描一遍数据来统计各

个字符的频数。构建霍夫曼树的字符数值范围为 0~255, 本文设计了 256 组统计电路, 用于统计每种字符的频数。输入一个字符时, 首先判断输入的字符值, 然后在与字符大小相等的一组统计电路中, 对寄存器值加 1。

2.2 分组并行加速排序模块设计

字符统计完成后, 需要在 256 种符号中找出两个频数最小的符号。这需要扫描一遍所有的输入字符, 即需要 256 个时钟周期。之后, 还需重复寻找这两个符号。因此, 可能需要成百上千个时钟周期, 导致编码效率非常低下。

为此, 本文设计了一种分组并行加速排序模块。该模块包含两个子模块, 分别为组内极值查找模块

与组间极值查找模块。

首先, 将 256 种字符分为 16 组, 分别送入 16 个组内极值查找模块。16 组子模块并行工作。每组子模块花费 16 个时钟周期, 选出该组的最小值和次小值及其符号, 得到 32 个组值。

之后, 将 32 个组值送入组间极值查找模块, 从中找到最小值和次小值, 共花费 32 个周期。组间极值查找子模块的工作原理与组内极值查找子模块类似, 不再赘述。

通过这种方法, 只需 48 个周期, 即可找出 256 个值的最小值和次小值, 大大加快了电路速度。具体电路结构如图 3 所示。

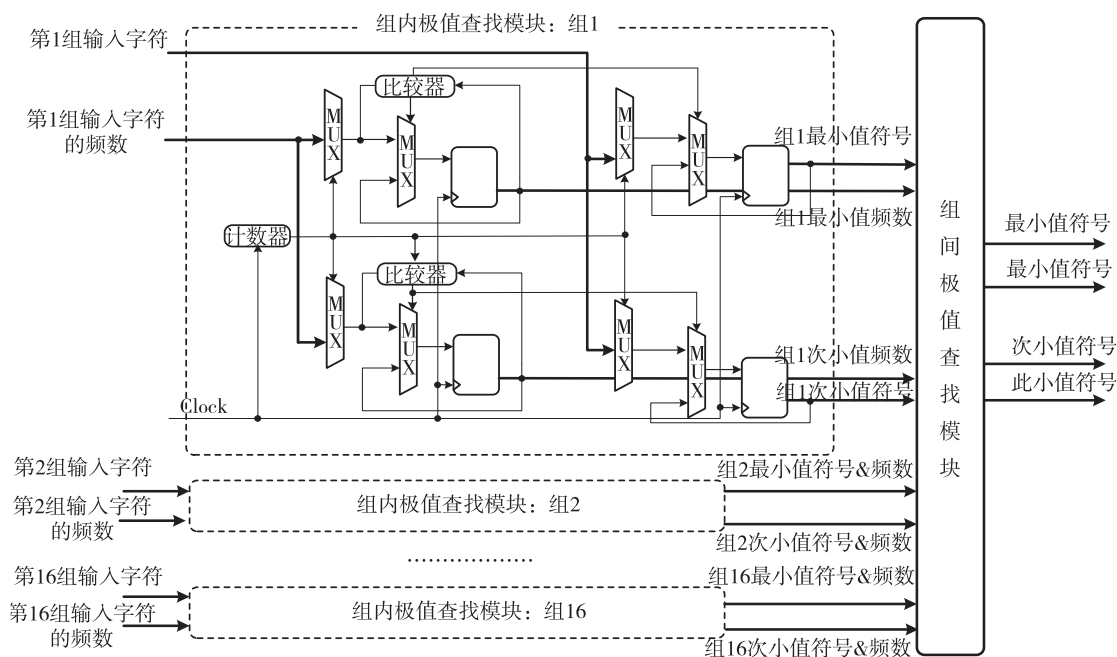


图3 分组并行加速排序模块

2.3 更新各符号对应 Code-Size 电路设计

Code-Size 更新的工作机制如下: 1) 找到两个分别具有最小频数和次小频数的符号, 分别记为 V1 和 V2; 2) 利用 V1 和 V2 创建一个新的节点, 新节点的频数为 V1 与 V2 的频数之和, 同时将 V1 和 V2 的 Code-Size 分别加 1; 3) 将新符号节点与其他符号重新排序, 找到新的 V1 和 V2。重复上述步骤, 经过多次迭代, 将会生成所有符号的代码大小。

上述工作机制涉及两个排序过程, 分别是对符号的多次排序与对 Code-Size 的排序。本文设计了 Code-Size 的更新电路结构, 主要包含 3 个模块: 分组并行加速排序模块、Code-Size 排序模块、状态机控制模块。

为了减小电路面积, 复用了分组并行加速排序模块。Code-Size 排序模块的工作原理与分组并行加速排序模块类似, 本文不再描述。状态机控制模块用来调度两个模块之间的运算, 状态转移如图 4 所示。

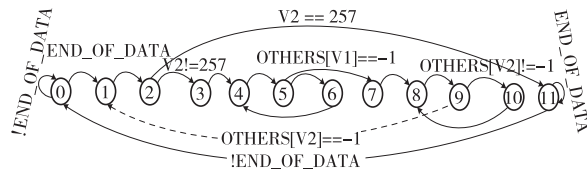


图4 状态机转移图

图 4 中, 状态“0”表示初始状态; 状态“1”表示寻找两个最小的符号 V1 和 V2; 状态“2~3”表示创建新的符号节点, 并计算 V1 和 V2 的频数之和; 状

态“4~10”表示计算 V1 和 V2 的 Code-Size,同时更新 V1 和 V2。

3 实验结果分析与比较

本文采用 Verilog HDL 来完成电路描述,对提出的 VLSI 结构进行了逻辑综合,分别从吞吐率、综合结果和压缩率三方面来测试结构性能。

编码周期主要消耗在排序阶段,通过比较排序所耗周期数,能够很好地说明编码效率。实验结果表明,编码 256 个 8 位数据时,本文结构完成全排序需要经过 $256 \times 48 = 12\,288$ 次,相比于文献[1]所需的 32 640 次,编码速度提升了 165%。

为了测试压缩率的提升效果,本文在图片质量处于[60:100]的区间、步长为 5 的递增条件下,对 100 张图片进行测试,结果如图 5 所示。图 5 中,横坐标为图片质量,用来表示被测图像相对于原图像在人眼视觉系统中产生误差的程度(百分比),纵坐标为压缩率提升的幅度。测试结果表明,最坏情况下(质量为 80),压缩率提升了 2.78%;最好条件下(质量为 95),压缩率提升了 12.24%。在图片质量为 80 时,100 张图片的压缩率分布如图 6 所示,其中横坐标表示图片序号,纵坐标表示提升压缩率的幅度。

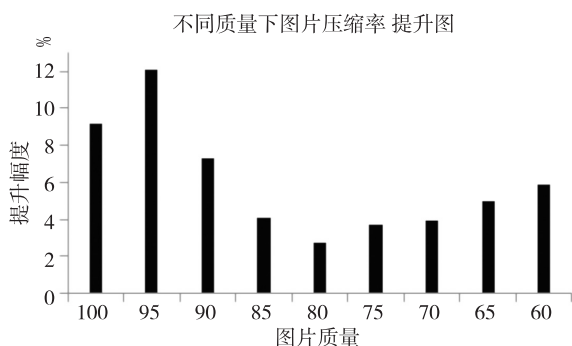


图 5 不同质量下 100 张图片的平均压缩率提升

本文从 ASIC 方面出发,对电路结构进行了综合。采用了 Synopsys 的 DC 工具,基于 SMIC 0.18 μm 标准工艺库进行综合,设置时钟频率为 142 MHz,测得该 VLSI 结构的功耗为 431.71 mW,面积为 4 887 846 μm^2 。与文献[4]的综合结果相比,本文结构的时钟频率提升了 184%,面积增大了 14 倍,平均压缩率提升了 7%。此外,本文采用 ICC 工具进行布局布线。实现结果表明,时钟频率为 100 MHz 时,该 VLSI 结构的面积为 5 813 607 μm^2 ,功耗为 445 mW。

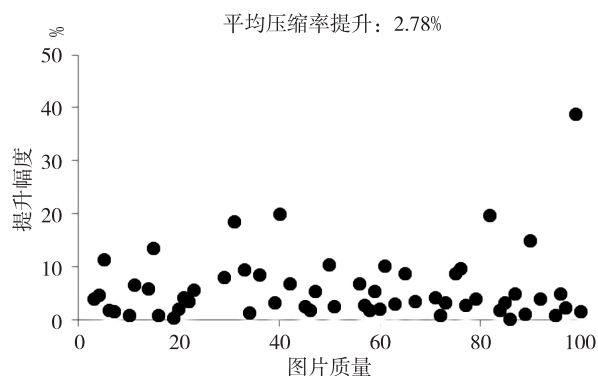


图 6 质量为 80 时 100 张图片的压缩率分布

4 结 论

本文设计了一种分组并行加速的范式霍夫曼编码 VLSI 结构,通过增大编码器吞吐量,达到减少编码时钟周期的目的。实验结果表明,相比传统编码方法,在编码 256 个字符时,本文结构的编码速度提升约 165%;在压缩不同质量的 100 张图片时,最坏情况下平均压缩率提升为 2.78%,最好情况下平均压缩率提升为 12.24%。本文结构可应用于图像、数据压缩等硬件系统中,在提升压缩率的同时,可提升编码吞吐量。

参 考 文 献:

- [1] 石博文,苑海朝,路慧泽,等. 基于二叉树和一维数组的哈夫曼编码[J]. 通信技术, 2017, 50(5): 867-872.
- [2] LIU Y, LUO L. Lossless compression of full-surface solar magnetic field image based on huffman coding [C] // IEEE 2nd ITNEC. Chengdu, China. 2017: 899-903.
- [3] LEE S J, YANG K H, SONG J S, et al. An efficient memory allocation scheme for Huffman coding of multiple sources [J]. Signal Process: Image Commun, 1997, 14: 311-323.
- [4] WEI R S, ZHANG X G. Efficient VLSI Huffman encoder implementation and its application in high rate serial data encoding [J]. IEICE Elec Expr, 2017, 14(1): 1-11.
- [5] LEI S M, SUN M T. An entropy coding system for digital HDTV applications [J]. IEEE Trans Circ Syst Video Technol, 1991, 1(1): 147-155.
- [6] KUMAKI L, KURODA Y, KOIDE T, et al. CAM-based VLSI architecture for Huffman coding with real-time optimization of the code word table [C] // IEEE Int Symp Circ & Syst. Kobe, Japan. 2005, 5: 5202-5205.
- [7] MATAI J, KIM J Y, KASTNER R. Energy efficient Canonical Huffman encoding [C] // IEEE 25th Int Conf Applic-Specific Syst, Architect & Process. Zurich, Switzerland. 2014: 202-209.

一种超低功耗基准电压源设计

闫苗苗, 焦立男, 柳有权
(长安大学 信息工程学院, 西安 710064)

摘 要: 设计了一种用于超低功耗线性稳压器电路的基准电压源, 研究了 NMOSFET 阈值电压的温度特性。采用耗尽/增强型电压基准结构, 显著降低了功耗。采用共源共栅型结构, 提高了电源抑制比。设计了数模混合集成熔丝修调网络, 优化了输出电压精度和温漂。电路基于 $0.35\ \mu\text{m}$ CMOS 工艺实现。仿真结果表明, 在 $2.2\sim 5.5\ \text{V}$ 输入电压下, 基准电压为 $814\ \text{mV}$, 精度可达 $\pm 1\%$ 。在 $-40\ ^\circ\text{C}\sim 125\ ^\circ\text{C}$ 范围内, 温漂系数为 $2.52\times 10^{-5}/^\circ\text{C}$ 。低频下, 电源抑制比为 $-99.17\ \text{dB}$, 静态电流低至 $27.4\ \text{nA}$ 。

关键词: 基准电压源; 超低功耗; 线性稳压器; 电源抑制比

中图分类号: TN432

文献标识码: A

文章编号: 1004-3365(2020)02-0171-05

DOI: 10.13911/j.cnki.1004-3365.190304

Design of an Ultra-Low Power Voltage Reference

YAN Miaomiao, JIAO Linan, LIU Youquan

(College of Information Engineering, Chang'an University, Xi'an 710064, P. R. China)

Abstract: A voltage reference was designed for ultra-low power linear regulator circuit. In this design, the temperature characteristics of NMOSFET threshold were studied. The power consumption was significantly reduced through enhancement / depletion mode voltage reference structure. Cascode structure was used to improve the power supply rejection ratio (PSRR). A mixed-signal fuse trimming network was designed to optimize the output voltage accuracy and temperature drift. The circuit was implemented in a $0.35\ \mu\text{m}$ CMOS process. The simulation results showed that the reference voltage was $814\ \text{mV}$ in a supply voltage range from $2.2\ \text{V}$ to $5.5\ \text{V}$, and the accuracy could reach $\pm 1\%$. The temperature coefficient was $2.52\times 10^{-5}/^\circ\text{C}$ from $-40\ ^\circ\text{C}$ to $125\ ^\circ\text{C}$. The PSRR was $-99.17\ \text{dB}$ at low frequency, and the quiescent current of the reference reached $27.4\ \text{nA}$.

Key words: voltage reference; ultra-low consumption; LDO; power supply rejection ratio

0 引 言

基准源作为电源管理芯片中的重要模块, 被广泛应用于模拟和混合 IC 中, 它不仅提供基准电压, 而且为电路提供稳定的偏置电流^[1-2]。因此, 基准源

性能的优劣直接关系到线性稳压器的输出精度和稳定性。传统的带隙基准采用运放进行箝位, 需考虑运放失调电压的影响, 静态电流为几十 μA 级, 不能满足可穿戴电子设备的超低功耗要求。

为了实现超低功耗、高精度的目的, 本文摒弃传统带隙基准结构, 采用集成度高、抗扰动能力强、依

收稿日期: 2019-05-21; 定稿日期: 2019-07-09

基金项目: 中央高校基本科研业务费专项资金资助项目(310824173401)

作者简介: 闫苗苗(1995—), 女(汉族), 河南信阳人, 硕士研究生, 研究方向为模拟集成电路设计。

焦立男(1975—), 男(汉族), 陕西洛南人, 副教授, 博士, 硕士生导师。研究方向为图像处理与分析、计算机视觉与模式识别、机器人运动规划和智能体与多智能体技术。通信作者。

柳有权(1976—), 男(汉族), 湖北秭归人, 教授, 博士, 硕士生导师。研究方向为计算机图形学、虚拟现实技术和计算机视觉。通信作者。

特性。

3 超低功耗基准电压源的设计

3.1 耗尽/增强型基准电压源

在本设计中,由于强调基准电压源的“低功耗”,基于耗尽型管开启电压 V_{TE} 绝对值的正温度特性、增强型管开启电压 V_{TD} 绝对值的负温度特性,以及两者的差值 ΔV_{TH} 在同一工艺下近似为零温漂系数的特点,对该类型基准电压源进行深入研究。经典的耗尽/增强型基准源结构如图2所示。

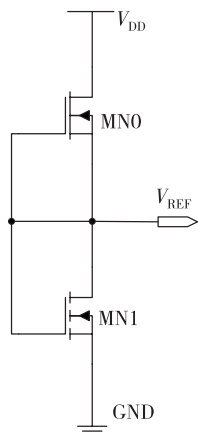


图2 耗尽/增强型基准源

MN0 为耗尽型 NMOS 管, MN1 为增强型 NMOS 管。MN0、MN1 管的阈值电压 V_{TH} 均具有负温度特性。增强型 MOS 管在栅极不加电压的情况下是关断的,只有当栅源电压 V_{GS} 满足 $V_{GS} \geq V_{TE}$ 时,才会形成导电沟道,即 $V_{TE} \geq 0$ 。

耗尽型 MOS 管在 $V_{GS}=0$ 时,漏-源极间已有导电沟道产生,只有当 V_{GS} 满足关断条件时,导电沟道才会夹断^[8],即 $V_{TD} \leq 0$ 。

增强型 NMOS 管阈值电压为^[5]:

$$V_{TE} = V_{FB} - \frac{Q_{ss}}{C_{ox}} + 2|\phi_F| + \frac{|Q_b|}{C_{ox}} + V_s \quad (8)$$

式中, V_{FB} 为平带电压, Q_b 为耗尽区电荷, V_s 为源电压。

耗尽型 NMOS 管阈值电压为:

$$V_{TD} = V_{FB} - \frac{Q_{ss}}{C_{ox}} + \phi_i + \frac{|Q_b|}{C_{oxl}} - \frac{|Q_i|}{C_{oxl}} + V_s \quad (9)$$

式中, Q_i 为栅氧化层掺杂正离子浓度。

耗尽型管阈值方程包含许多与增强型管方程相同的温度及过程相关项。因此,单独的阈值电压都不适合用作参考。对这两个电压求差值,得:

$$\Delta V_{TH} = V_{TE} - V_{TD} = 2|\phi_F| - \phi_i + |Q_b| \left(\frac{1}{C_{ox}} - \frac{1}{C_{oxl}} \right) + \frac{|Q_i|}{C_{oxl}} \quad (10)$$

式中,许多温度敏感项已被抵消。 ϕ_i 与 $2|\phi_F|$ 接近, C_{ox} 与 C_{oxl} 接近(因工艺制造误差相对较小, C_{ox} 、 ϕ_i 可忽略不计)。因此, ΔV_{TH} 主要由 Q_i 决定。该参数取决于易于控制和可再现的工艺步骤,并且 Q_i 的1阶项与温度无关^[6]。通过构建一个电路,其输出电压与 ΔV_{TH} 呈比例,即可得到相对稳定的基准电压源。

图2中, MN0 管的栅极与源极短接,则 $V_{GS0} = 0$, $V_{GS1} = V_{DS1}$ 。因此, MN0 管和 MN1 管均工作在饱和区。MN0 管和 MN1 管的饱和电流分别为:

$$I_0 = \frac{1}{2} \mu C_{ox} \frac{W_0}{L_0} (V_{GS0} - V_{TH0})^2 \quad (11)$$

$$I_1 = \frac{1}{2} \mu C_{ox} \frac{W_1}{L_1} (V_{GS1} - V_{TH1})^2 \quad (12)$$

由于同一支路上通过两管的电流相等,则 $I_0 = I_1$ 。将式(11)、式(12)联立,可得:

$$\mu C_{ox} \frac{W_0}{L_0} (V_{GS0} - V_{TH0})^2 = \mu C_{ox} \frac{W_1}{L_1} (V_{GS1} - V_{TH1})^2 \quad (13)$$

则基准电压为:

$$V_{REF} = V_{GS1} = V_{TH1} + \sqrt{\frac{W_0 L_1}{W_1 L_0}} |V_{TH0}| \quad (14)$$

令 $k = \sqrt{\frac{W_0 L_1}{W_1 L_0}}$, 在 5 V 输入电压下, $V_{TH0} \approx -325$ mV, $V_{TH1} \approx 740$ mV。

通过上述两种不同温度特性的 NMOS, 本文设计了一种输出电压受工艺误差、体效应影响较小的耗尽/增强型基准电压源。原因是 V_{TH0} 、 V_{TH1} 的绝对值分别具有正、负温度特性。通过合理设置 MN0、MN1 管的宽长比例系数 k , 就可得到一个零温度特性、高稳定的参考电压值, 即 $V_{REF} = k \times |V_{TH0}| + V_{TH1} \approx 814$ mV。

设置 MN0 管阈值电压为负值, 在宽长比值较小时, 就得到一个较低的基准电压, 为 814 mV(传统结构的基准电压为 1.2 V)。

3.2 超低功耗基准电路的设计

本文基准电压源的核心电路如图3所示。本文采用电压驱动的单极型 MOS 管替代传统电流驱动的双极型晶体管。MOS 管的静态电流小, 几乎不随负载的变化而变化, 近似为恒定值。该电路能大幅度降低静态电流, 实现超低功耗。

耗尽型晶体管的阈值电压为负值, 晶体管在输

入电压为零时即可导通,因此它为常通型晶体管。直至栅极电压超过阈值电压时,晶体管才会关断^[10]。为避免电路的零电流状态,采用自启动方式。二极管方式连接的耗尽型器件在系统上电后,必然有从电源到地的直流通路。因此,不需要额外的启动电路来摆脱静态电流为零的简并状态。

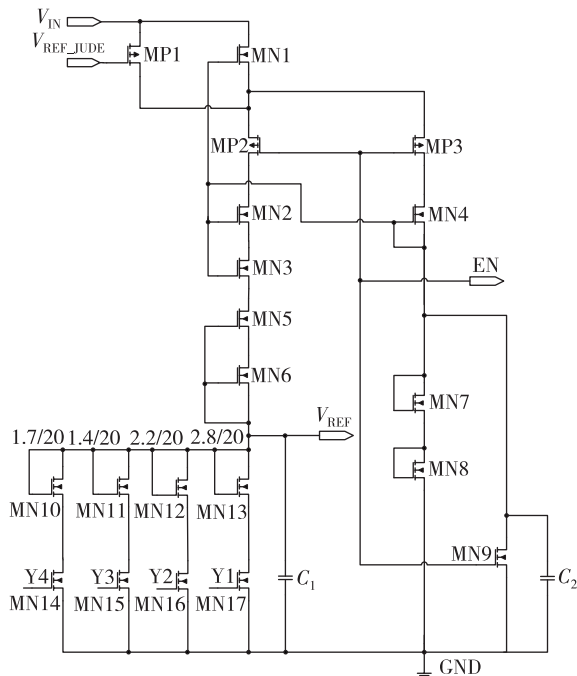


图3 本文基准电压源的核心电路

MN1~MN5 为耗尽型 NMOS 管, MN6~MN17 为增强型 NMOS 管, MP1~MP3 为增强型 PMOS 管。电路开始上电时, MP1 管导通, 向右侧偏置电路注入电流, 各 MOS 管逐渐工作在稳定状态。MN4 和二极管方式连接的 MN7、MN8 管产生一个稳定的输出电压, 为左侧支路提供一个偏置电压。上电完成后, MP1 管关闭, 不再影响核心电路的工作。

图3的左侧支路为基准电压源的核心电路。通过产生的偏置电压使得 MN1~MN3 管开启, 基准建立。此时, MP2、MP3 管的栅极有一个使能信号。当 MP2、MP3 管导通时, 基准电路开始工作, MN4、MN5 管阈值电压绝对值 V_{TD} 的正温度特性与 MN10~MN13 管阈值电压 V_{TE} 绝对值的负温度特性相互补偿, 得到一个与温度无关的电压值 V_{REF} 。

当 MP2、MP3 管的栅端输入高电平时, MP2、MP3 管截止, 基准电路关闭, MN9 管导通, V_{REF} 和偏置电压均为零。MN1~MN3 管采用共源共栅结构, 作为恒流源, 其等效输出阻抗 R_0 较大, 对电源电

压有“分压”的作用, 可屏蔽输入节点电压变化的影响, 从而提高电源抑制比。同时, 静态电流 I_Q 很小 (通常为 nA 级)。电容 C_1 和 C_2 用于稳定基准电路的输出电压, 降低输出噪声。

MN12 管在不修调情况下为常开, 与上部分耗尽型 NMOS 管组合起来, 产生基准电压。不同工艺角下, 基准输出电压会有一定的偏移量。为满足电路的高精度要求, 本文采用数模混合集成熔丝修调网络, 对基准电压进行修调。MN14~MN17 管均为宽长比为 10/10 的开关管。采用修调技术来控制 MN14~MN17 管的导通或关闭, 间接地控制宽长比不同的 MN10~MN13 管, 以达到对输出电压修调的目的。当基准电压因工艺产生偏移时, 通过修调模块来修调, 使得输出电压的精度稳定在 $\pm 1\%$ 的目标设计值。

4 仿真结果与分析

本文基准电压源采用 $0.35 \mu\text{m}$ CMOS 工艺, 在 Cadence Spectre 下分别对温度特性、线性调整率、电源抑制比和功耗 (静态电流) 进行仿真验证。在 5 V 电源电压、 $-40^\circ\text{C} \sim 125^\circ\text{C}$ 条件下进行 DC 扫描。基准输出电压的温度特性曲线如图4所示。

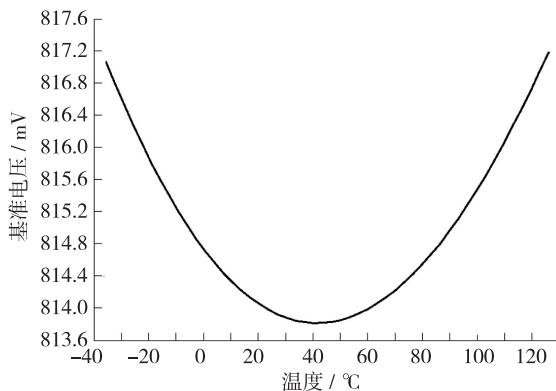


图4 基准输出电压的温度特性曲线

在 2.5~5.5 V 输入电压范围内, 对基准输出电压进行 DC 扫描。基准输出电压随输入电压的变化曲线如图5所示。可以看出, 基准输出电压变化了 0.06 mV, 线性调整率为 $0.002\%/V$ 。

在不同工艺角 (PVT) 下对基准输出电压进行 AC 扫描。电源抑制比曲线如图6所示。可以看出, 输入电压为 2.5 V 时, 在 1 kHz 频率下, 电源抑制比范围为 $-90.37 \sim -96.90$ dB; 在 100 Hz 低频下, 电源抑制比范围为 $-90.49 \sim -107.90$ dB。

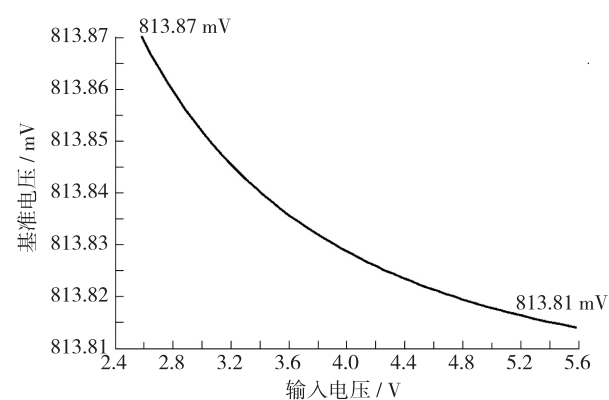


图 5 基准输出电压随输入电压的变化曲线

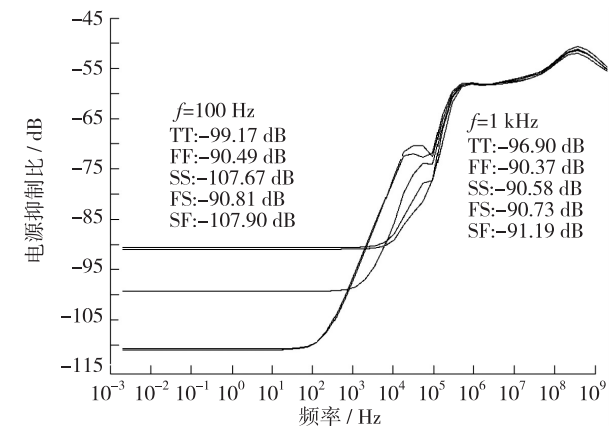


图 6 PVT 下电源抑制比曲线

在 5 种工艺角、极限温度(−40℃、125℃)条件下,对静态电流 I_Q 进行 DC 扫描。静态电流的变化范围为 5.12~50.30 nA。

基准电压源在室温、不同工艺角(TT、FF、SS、SF、FS)下的参数如表 1 所示。

表 1 不同工艺角下基准电压源的参数表(25℃)					
参数	TT	FF	SS	SF	FS
基准电压/mV	814	816	812	818	811
线性调整率/ ($10^{-3}\% \cdot V^{-1}$)	0.90	2.70	0.24	0.17	2.60
电源抑制比/ dB@100 Hz	−99.17	−90.49	−107.67	−90.67	−90.88
噪声(rms)/μV	37	31	30	27	35
静态电流/nA	27.40	47.28	5.90	6.34	45.32

5 应用实例

本文的基准电压源应用于一种采用 0.35 μm CMOS 工艺制作的超低功耗 LDO 中。本文的带隙基准电压源的版图如图 7 所示。版图尺寸为 120 μm×60 μm。

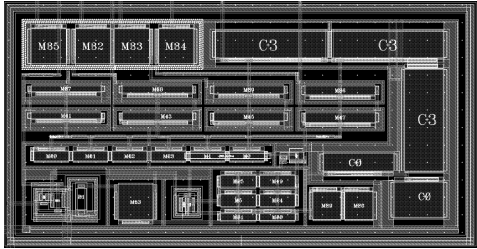


图 7 基准电压源的版图

本文与其他文献中基准电压源的参数对比如表 2 所示。

表 2 本文与其他文献中基准电压源的参数对比					
参数	本文	文献 [1]	文献 [3]	文献 [7]	文献 [9]
温度系数/ ($\times 10^{-6} \cdot ^\circ C^{-1}$)	25.2	30.3	29.1	35	50
温度范围/℃	−40~ 125	−40~ 125	−45~ 130	−40~ 125	−50~ 150
静态电流/nA	27.40	165.26	293.75	40	250
电源抑制比/ dB @100 Hz	−99.17	−75	−53	−50	−60

可以看出,文献[3]采用 Oguey 电流源结构来降低静态电流,但其电源抑制比不高。文献[7]提出的新结构实现了低功耗、小面积,但以牺牲低频下的电源抑制比为代价。本文电路在降低静态功耗的同时,实现了对电源抑制比和线性调整率的优化。

6 结 论

本文提出了一种应用于超低功耗 LDO 的基准电压源,具有高精度、低功耗、高电源抑制比等优点。本文摒弃传统结构中的运放和启动电路,采用耗尽/增强型 MOSFET 结构来产生基准电压,有效降低了失调电压对输出电压的影响。采用耗尽型 NMOS 管作为恒流源,在减小静态功耗的同时增大了电源抵制比。结果表明,该基准电源的功耗低至 27.4 nA,温度系数为 $2.52 \times 10^{-5} / ^\circ C$,电源抑制比高达 −99.17 dB。该基准电压源适用于超低功耗 LDO。

参 考 文 献:

[1] 杨艺丹,赵梦恋,刘胜,等. 一种低功耗高电源抑制比亚阈值基准电压源 [J]. 微电子学与计算机, 2018, 35 (8): 115-118.

(下转第 183 页)

一种基于数字逻辑控制的低损耗双半桥驱动芯片

臧延峰, 陈 畅, 常昌远, 凌德强, 韩 雄
(东南大学 微电子学院, 南京 210000)

摘 要: 设计了一种集成双半桥和四功率开关的驱动芯片。采用双路对称设计, 每一路可单独控制使能、自举和驱动。芯片内部采用高精度的基准源以及 LDO 电路, 同时具有欠压死锁、过压保护和过温保护功能。死区控制可避免上下功率管直通大电流, 自举设计可使上功率管的开启电压达到 5 V, 降低了功率管自身的损耗, 使功率管输出达到 11.90 V。采用 TSMC 0.18 μm BCD 工艺进行流片。测试结果表明, 输出的方波信号幅度为 11.96 V/11.95 V, 死区时间为 60 ns/80 ns, 静态功耗低至 478 μA 。

关键词: 高精度基准源; 过温保护; 自举; 死区控制

中图分类号: TN433

文献标识码: A

文章编号: 1004-3365(2020)02-0176-08

DOI: 10.13911/j.cnki.1004-3365.190320

A Low Loss Dual Half Bridge Driver Chip Based on Digital Logic Control

ZANG Yanfeng, CHEN Chang, CHANG Changyuan, LING Deqiang, HAN Xiong
(School of Microelectronics, Southeast University, Nanjing 210000, P. R. China)

Abstract: A driver chip with integrated dual half bridge drivers and quad power switch was presented. A two way symmetrical design was used, each of which could be individually controlled to enable, bootstrap and drive. A high precision reference source and LDO circuit was used, which had the functions of under-voltage deadlock, over-voltage protection and over-temperature protection. The dead time control could avoid the direct large current of the high side and low side power tubes. The boost design could turn the high side power tube to 5 V, which could reduce the loss of the power tube itself and make its output reach 11.90 V. The proposed circuit was fabricated in TSMC 0.18 μm BCD process. The tested results showed that a square wave signal with an output amplitude of 11.96 V/11.95 V and a dead time of 60 ns/80 ns was obtained. The circuit's static power consumption was as low as 478 μA .

Key words: high precision reference source; over-temperature protection; boost; dead time control

0 引 言

应用于无线充电的驱动电路出现于 20 世纪 70 年代。受当时工艺制造水平的限制, 可以利用的器件一般为 BJT。但是, BJT 属于电流控制型器件, 所需驱动电流较大, 与之配套的驱动电路设计较为复杂, 成本较高, 使得驱动电路的发展受限。直到 20

世纪 80 年代, MOSFET 和 IGBT 等新型电压控制型功率器件相继出现, 改变了驱动电路的格局。相比于之前的功率器件, 只要控制驱动新型功率器件的栅极电压, 就可减小驱动电流, 使得驱动电路设计更为方便, 成本也大大降低。驱动电路开始迅速发展, 出现了全桥功率驱动器、半桥功率驱动器、双 H 桥功率驱动器、三相变频电机驱动器等多种典型的功率集成电路^[1]。

收稿日期: 2019-06-01; 定稿日期: 2019-07-25

基金项目: 国家自然科学基金资助项目(61376029)

作者简介: 臧延峰(1995—), 男(汉族), 江苏泗阳人, 硕士研究生, 从事模拟集成电路设计和测试研究工作。

文献[2]提出具有恒定转换速率的PVT不敏感CMOS半桥驱动输出电路,利用恒定的上拉和下拉电阻来保持驱动器的转换速率,但只研究了驱动电路输出波形的摆率,并未介绍驱动电路内部结构。文献[3]提出一种半桥驱动器,采用新型高压二极管,代替了驱动器自举电路中的传统二极管,降低了导通损耗,提高了电流承受能力,虽然给出了驱动器内部框图,但未对每个模块进行分析。文献[4]对半桥驱动芯片的设计进行了较为完整的介绍,但芯片功能单一,欠压保护、过压保护、过温保护和过流保护等功能欠缺,可靠性不高。

近年来,随着无线充电领域的不断发展,又出现了集功能电路、驱动电路和功率管为一体的驱动芯片。集成化的驱动芯片具有体积小、可靠性高、效率高优点。文献[5]的驱动芯片正是基于这种要求来设计的。目前市场上已有多种类似芯片产品,如LP1130和SN-D05等,均采用半桥驱动结构,保护功能完善,集成度高,外围使用器件少。但是,输出交流电压幅值仅为 $V_{dd}/2$,且直流侧需要两电容器串联,应用于无线充电时,需要两颗芯片并联使用才能实现全桥驱动,且外置自举电路的导通压降高,BS损耗大。针对这个问题,本文设计了一种集成双半桥和四功率开关的驱动芯片。

文章第1节介绍了半桥驱动的原理与设计指标,第2节对芯片的关键模块进行了分析与设计;第3节介绍芯片版图与测试结果;第4节给出结论。

1 半桥驱动原理

半桥驱动结构如图1所示。两个功率管以图腾柱的形式相连,以中间点作为输出,提供方波信号。这种结构被广泛应用于PWM电机控制、DC-AC逆变、电子镇流等场合^[6]。上、下两个管子由反相信号控制。在正半周期时,上管开启,下管关断。在负半周期时,上管关断,下管开启。一个周期内,上、下管轮流导通和关断,这样在输出点OUT就能得到幅度为 V_{DD} 的脉冲信号。

由于开关延时的存在,当其中一个晶体管的栅信号变低时,该晶体管不会立刻关断。因此,必须在该晶体管关断一段时间后,另一个晶体管方可开启,以防止同时开启造成大电流直通现象,这个时间称为死区时间,即图2中的 T_d 。

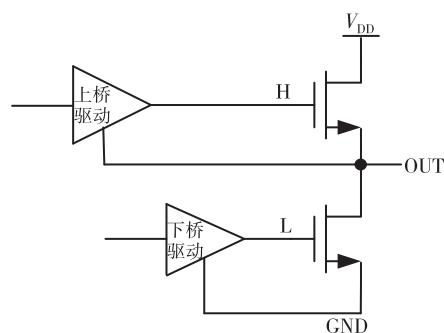


图1 半桥驱动结构

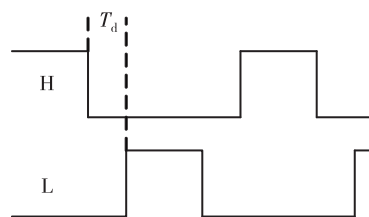


图2 死区时间

半桥电路通常具有较高的干线电压(V_{DD}),高侧驱动信号应以输出点OUT为参考地,在 $0 \sim V_{DD}$ 基础上浮动。低侧的控制信号需要送到高侧,以便正确开关高侧器件。有很多种方法可以实现向高侧传送驱动信号,较易实现集成的方法为自举法,如图3所示。

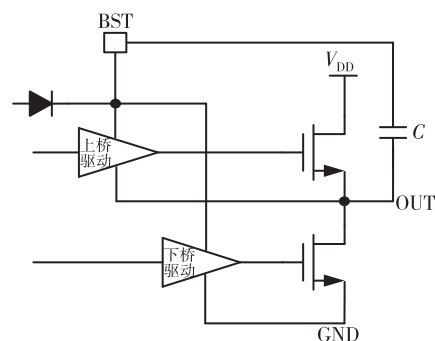


图3 自举电容法

自举电路也叫升压电路,利用自举二极管和自举电容等电子元件,使电容放电电压与电源电压相叠加,使得电压升高。其中,自举电容用于存储电荷,自举二极管防止电流倒灌。

整个驱动芯片的工作原理如图4所示。双路并联结构可在输出端实现全桥应用。

正半周期时,图4中的功率管 M_1 和 M_4 开启,电流从 V_{DD1} 流向 GND_2 ;负半周期时,功率管 M_2 和 M_3 开启,电流从 V_{DD2} 流向 GND_1 。在一个周期内, L 和 C 上流过大小相等、方向相反的电流。利用LC谐振的原理来实现电磁转换,从而达到对负载进行

无线充电的目的。

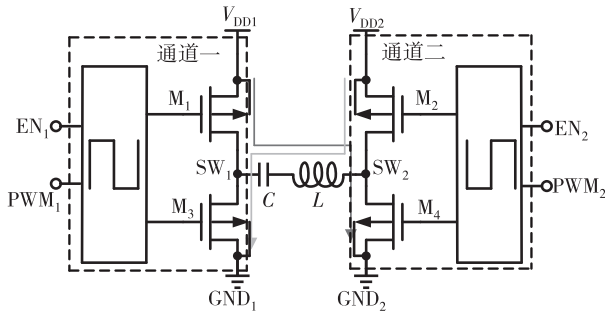


图4 芯片的工作原理

芯片的内部框图如图5所示。该驱动芯片由双路对称通道组成，每一路均由一个半桥驱动加两个功率开关组成。其中，基准源、低压差线性稳压器(LDO)、欠压保护(UVLO)、过温保护(OTP)、启动(POR)等电路为双路共用模块。

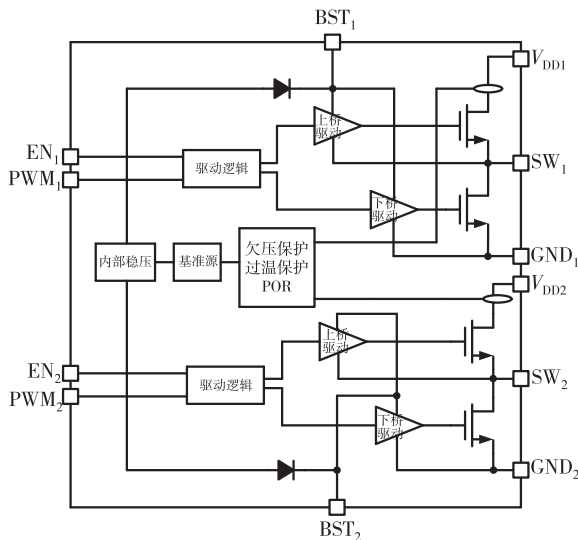


图5 驱动芯片的内部结构

结合目前市面上应用于无线充电的驱动芯片的性能参数,本文设计的双桥四功率开关驱动芯片的性能指标列于表1。

表1 本文驱动芯片的性能指标

性能参数	设计指标
输入电压/V	4.2~16
基准源温漂/($\times 10^{-6} \cdot ^\circ\text{C}^{-1}$)	20
内部电源/V	3.3
自举电压/V	5
SW 输出/V	11.90
死区时间/ns	90
静态功耗/ μA	500

2 芯片关键模块的分析与设计

2.1 高精度基准源

基准源是衡量电源管理类芯片性能的重要指标之一。DC-DC、AC-DC 芯片中的基准源甚至决定了整个闭环系统的性能。虽然半桥电路不存在闭环,但本文设计的基准决定了 LDO、OVP、UVLO、OTP 等多个保护模块的性能,是本文驱动芯片的重要模块之一。

带隙基准的原理是利用两个分别具有正、负温度系数的 PN 结电压 V_{BE} 与具有正温度系数的两个 PN 结电压差 ΔV_{BE} 相加,在一定条件下实现零温度系数。在 $V_{BE} = 750 \text{ mV}$, $T = 300 \text{ K}$ 时,使 V_{BE} 和 ΔV_{BE} 分别对 T 求导,可得:

$$\frac{\partial \Delta V_{BE}}{\partial T} \approx V_T \ln N \quad (1)$$

$$\frac{\partial V_{BE}}{\partial T} \approx -V_T \ln N \quad (2)$$

式中, N 为两个 PN 结的面积之比。 V_T 的温度系数为:

$$\frac{\partial V_T}{\partial T} \approx +0.087 \text{ mV/K} \quad (3)$$

通过对温度变化关系的分析,得到负温度系数和正温度系数的电压。选取合适的比例系数,就可以得到简单的 1 阶温度补偿的带隙基准电压,有:

$$V_{REF} = \alpha V_{BE} + \beta V_T \ln N \quad (4)$$

令 $\alpha = 1$, 只要满足式(4),便可得到零温度系数的 V_{REF} , 即有:

$$\beta \ln N \cdot 0.087 \approx 1.5 \text{ mV/K} \quad (5)$$

本文设计的基准源如图6所示。采用 5 V 低压管和 12 V 高压管,一起生成带隙基准源。其中, $MP_1 \sim MP_3$ 为低压管,用于电流镜匹配。 $MP_4 \sim MP_6$ 为高压管,用于高压隔离。 $MP_4 \sim MP_6$ 管与 $MP_1 \sim MP_3$ 管一起构成共源共栅结构,以提高电流镜的精度。电路开始上电, $STARTUPVREF$ 启动, MN_1 管导通,基准源开始建立。此后, MN_2 管导通, V_{REB} 被拉低,通过 POR 模块将 $STARTUPVREF$ 悬空,基准源进入自反馈状态。

由于修调模块的信号 $TRIM < 4 : 1 >$ 与基准源模块在版图中的距离较远,为避免外界信号的干扰,通过在基准中内置修调电路来对信号 $TRIM$

$<4:1>$ 进行保护。若 $\text{TRIM}<4:1>$ 为高电平, 则 $\text{MN}_3 \sim \text{MN}_6$ 管截止, 对应电阻导通。若 $\text{TRIM}<4:1>$ 为低电平, 则 $\text{MN}_3 \sim \text{MN}_6$ 管导通, 对应电阻被短路。

V_{REF} 的计算公式为:

$$V_{\text{REF}} = V_{\text{BE}} + 2 \frac{R_2}{R_1} V_T \ln N \quad (6)$$

式中, N 通常取为 8; $R_1 = 6R$; R_2 由修调电路决定, 这里取 $R_2 = 27R$ 。

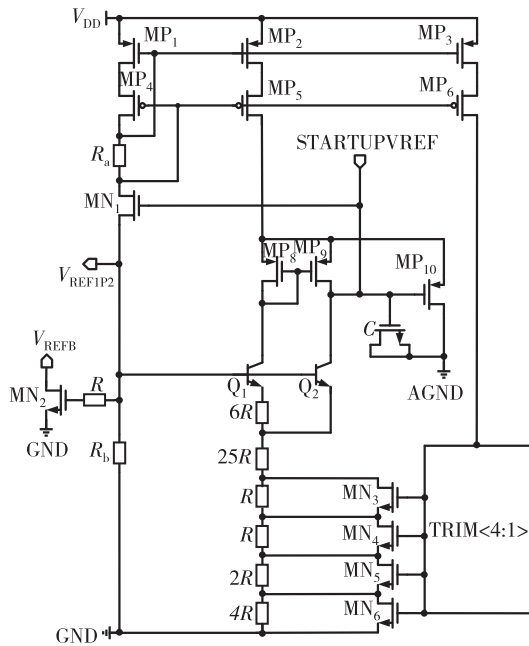


图 6 基准源的原理图

在不同修调模式下对基准源进行仿真, 发现 $\text{TRIM}<4:1>=0010$ 时, 可以获得最优仿真结果。在 $-45^\circ\text{C} \sim 125^\circ\text{C}$ 范围内对基准源进行温度扫描, 得到的温漂特性曲线如图 7 所示。

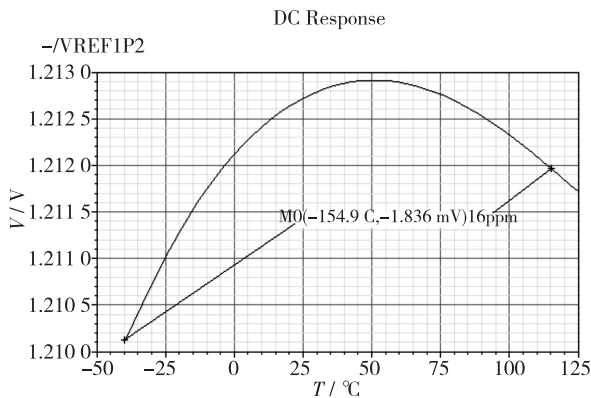


图 7 基准源的温漂特性曲线

温漂系数的计算公式为:

$$\text{PPM} = \frac{V_{\text{max}} - V_{\text{min}}}{V_{\text{average}} (T_{\text{max}} - T_{\text{min}})} \times 10^6 \quad (7)$$

经过计算, 基准源的温漂系数为 $1.6 \times 10^{-5} / ^\circ\text{C}$ 。

2.2 LDO 主电路

本文中, LDO 模块的作用是将高压 V_{DD} 降压, 产生 3.3 V 电源电压, 为内部供电, 同时为芯片内部其他模块提供偏置电流。LDO 的电路结构如图 8 所示。与一般采用 PMOS 器件作为功率管不同, 本文采用 NMOS 器件作为功率管, 构成输出级为 BUF 的形式, 其输出阻抗很低。只需对作为误差放大器的两级运算放大器进行密勒补偿, 即可保证整个 LDO 环路的稳定。

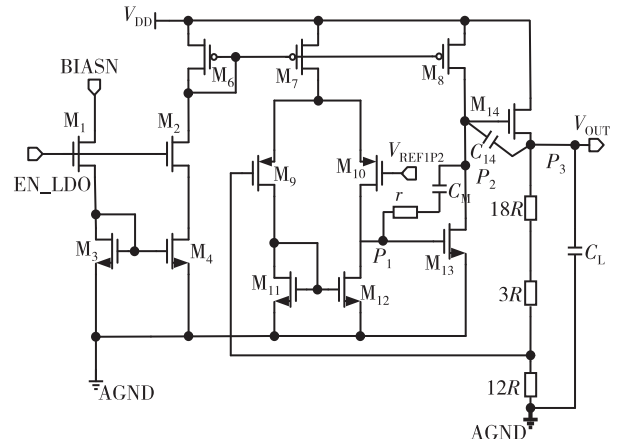


图 8 LDO 的电路结构

图 8 中, EN_LDO 为来自 POR 模块的使能信号, BIASN 为来自基准源的 PTAT 偏置信号。环路稳定后, LDO 的输出电压为:

$$V_{\text{OUT}} = \frac{18R + 3R + 12R}{12R} \times V_{\text{REFIP2}} = \frac{33}{12} \times 1.2 = 3.3 \text{ V} \quad (8)$$

补偿后, 电路的极点分布为:

$$P_1 = \frac{1}{r_{o1} A_{V2} C_M} \quad (9)$$

$$P_2 = \frac{g_{m13}}{C_{15} + C_M} \quad (10)$$

$$P_3 = \frac{g_{m15}}{C_L} \quad (11)$$

式中, r_{o1} 为第一级的输出阻抗, g_{m13} 为 M_{13} 管的跨导, g_{m14} 为 M_{14} 管的跨导, C_{14} 为 M_{14} 管的栅源寄生电容。 P_1 为主极点, P_2 为次极点, 通过密勒电容 C_M , 可将 P_1 极点向低频压缩, P_2 极点向高频扩展。 P_3 极点中, g_{m14} 为功率管的跨导, 其值很大。只要选择合适的 C_L , 即可保证 P_3 极点对 LDO 环路的相

位裕度不产生影响。LDO 的幅频特性曲线如图 9 所示。当 C_M 为 2.45 pF、 C_L 为 50 nF 时, LDO 环路增益为 87 dB, 相位裕度为 61.12°, 增益带宽积为 564.3 kHz, 带载能力为 110 mA。

2.3 自举电路

自举电路用于为驱动电路供电, 同时设定使能信号, 用于控制上、下管的开启和关断。本文所用 LDMOS 管的栅源耐压为 5 V, 故将自举电压设置为 5 V, 即将上、下管导通后的过驱动电压最大化, 以降低自身损耗。图 10 所示为自举电路的结构, 设定输入偏置电流为 6 μ A, 采用共源共栅电流镜来提高镜像精度。通过电阻 R_2 和 R_3 的分压, 得到 4.2 V 偏置电压和 4.7 V 偏置电压, 之后通过 MP₈ 和 MP₁₂、MP₁₆ 管升压, 通过耐压管 MN₁₀ 为下管驱动电路提供电流, 同时通过耐压管 MN₁₆ 和 MN₁₇ 对自举电容充电。由 R_4 、MN₁₃ 和 MN₁₄ 管构成的支路来设定上管驱动自举电容的充电电位 (5 V), 由 MN₁₁ 管设定下管驱动的静态供电工作点 (5 V), 利用 C_3 吸收浪涌电流, 同时过滤电路产生的纹波噪声, 避免对供电电路造成影响。同理, 利用 C_2 吸收耐压管 MN₁₆、MN₁₇ 启动时产生的浪涌电流, 同时滤除电路产生的噪声干扰。

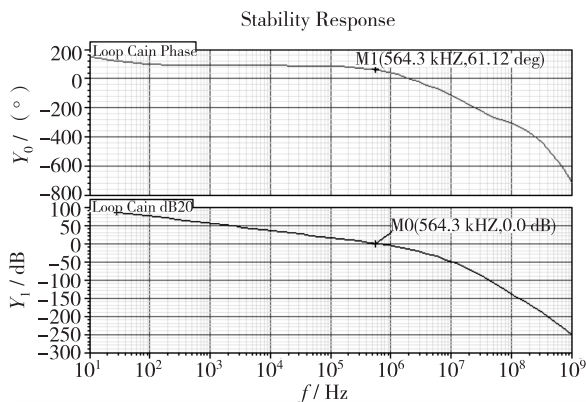


图 9 LDO 的频率特性曲线

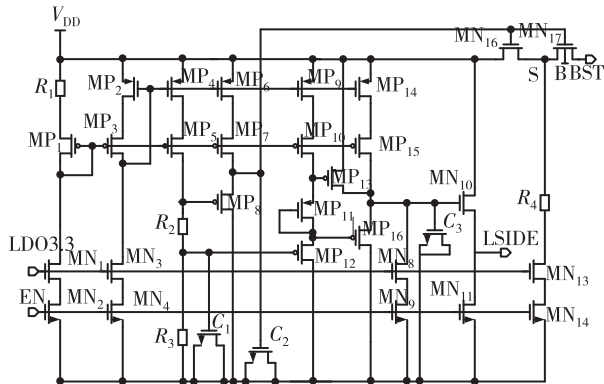


图 10 自举电路

自举电路仿真波形如图 11 所示。在 LDO 建立之后, 为上、下两管驱动电路供电的自举电压均稳定在 5 V。上管自举之后, MN₁₇ 管截止, 以保持 BST 点电位稳定在 $5\text{ V} + V_{DD}$, 而为下管供电的 LSIDE 点电位始终保持 5 V 输出。

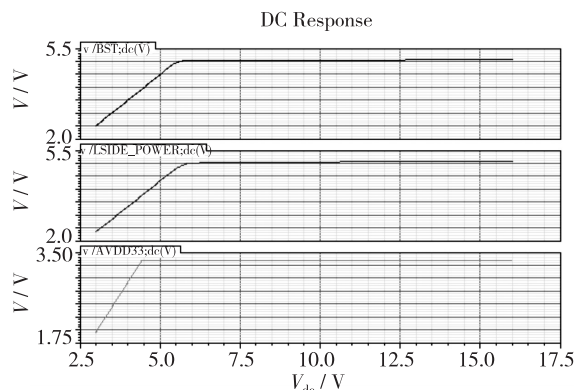


图 11 自举电路仿真波形

2.4 死区控制电路

与传统采用控制延迟时间来进行死区控制的方法不同, 本文通过逻辑门和电平移位的方法来检测高低边管栅极电压, 再将栅电压通过电平移位和逻辑门反馈回控制端, 避免了同一时间内高低边同时导通的情况。一方面可防止功率管烧毁, 另一方面可减小死区时间, 降低功率管的自身损耗, 尽可能提高发射效率。死区控制电路的结构如图 12 所示。

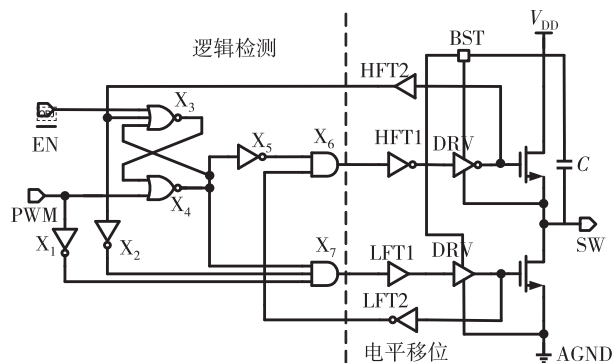


图 12 死区控制电路

图 12 中, EN 信号为低电平时, 死区模块停止工作。EN 信号为高电平时, 死区模块开始工作。整个死区模块的前半部分由逻辑检测电路组成, 后半部分由电平移位和驱动电路构成。逻辑检测的输出为 3.3 V 的 TTL 电平, 需经过电平移位将 3.3 V 电平转换成能为上管驱动供电的 $5\text{ V} + V_{DD}$ 电位, 以及为下管驱动供电的 5 V 电位。PWM 信号在对上下管进行控制时, 均需要经过与门 X_6 或 X_7 , 从而保证上下两管同一时刻只有一管开启, 而另一管为关

断状态。总的死区时间为逻辑检测与电平移位电路的延迟时间之和,并且可通过在各支路上增加或减少延时单元来进行微调。

死区控制电路的仿真波形如图 13 所示。仿真中,将 V_{DD} 设置为 12 V 典型应用,此时上管的栅电位经过自举之后为 16.95 V,下管栅电位为固定的 5 V,而 SW 输出 11.95 V,功率管自身损耗基本为 0。

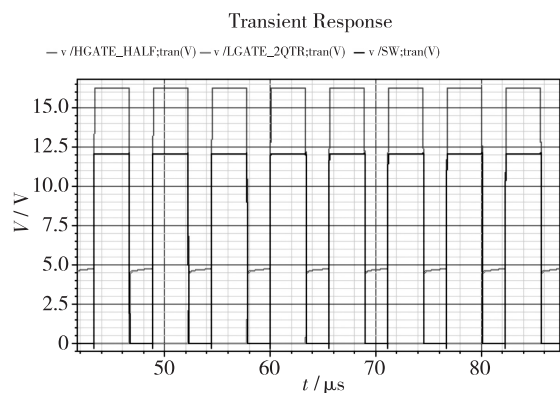


图 13 死区控制电路的仿真波形

上管和下管开启的死区时间局部放大波形分别如图 14 和图 15 所示。可以看出,本文死区控制基本实现上下管无交叉导通,上管开启的死区时间为 60 ns,下管开启的死区时间为 70 ns。

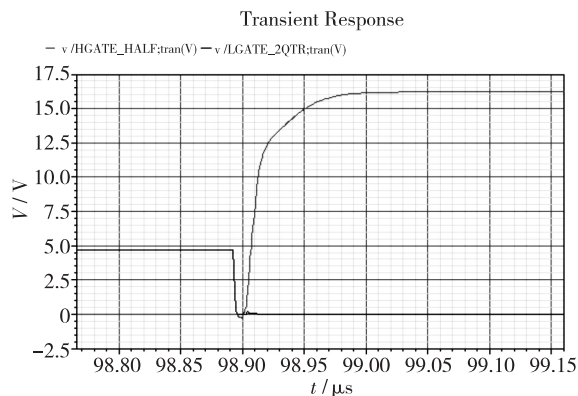


图 14 上管开启死区时间波形图

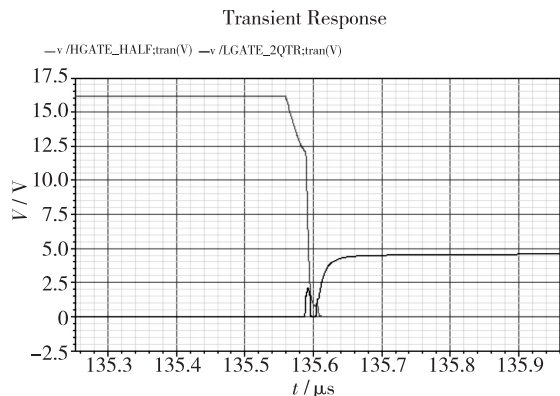


图 15 下管开启死区时间波形图

在完成各模块的仿真之后,将预期设计指标与仿真结果进行对比,结果列于表 2。可以看出,本文设计的驱动芯片能够满足设计指标要求。

表 2 设计指标与仿真结果的对比结果

参数	设计指标	仿真结果
输入电压/V	4.2~16	4.2~16
基准源温漂/ $(\times 10^{-6} \cdot ^\circ\text{C}^{-1})$	20	16
内部电源/V	3.3	3.3
自举电压/V	5	5
SW 输出/V	11.90	11.95
死区时间/ns	90	60/70

3 测试结果

驱动芯片的版图布局如图 16 所示。本文采用 TSMC 0.18 μm BCD 工艺进行设计,整体版图尺寸为 $1\,325\,\mu\text{m} \times 903\,\mu\text{m}$ 。其中,功率管占整个版图面积的 1/4。由于 LDO 和基准源是本文芯片的基础模块,将其设计在版图顶端。由于死区控制电路和驱动电路将 LDO 和基准源等模块与功率管相连,将其置于版图中间位置,以减少走线长度,降低寄生电容和寄生电阻等参数的影响。

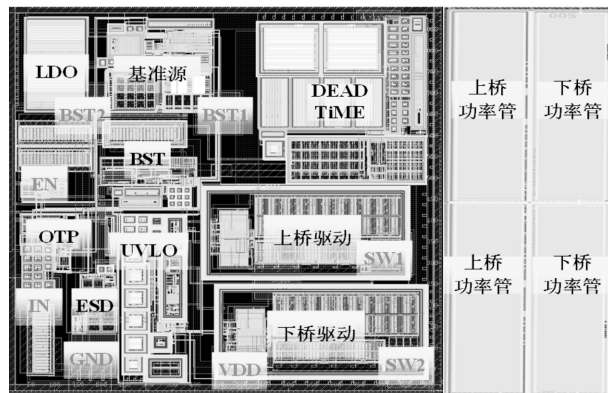


图 16 芯片的整体版图

对驱动芯片的功能及其性能进行测试,PCB 测试图如图 17 所示。主要引脚有 VDD、GND、SW1、SW2、BST1 和 BST2,均通过杜邦线引出。

当 V_{DD} 上电 12 V 时,测试得到的输入输出波形如图 18 所示。可以看出,输入频率为 115 kHz、幅值为 3.3 V、相位差为 180° 的 2 个 PWM 信号后,SW1 输出 11.96 V,SW2 输出 11.95 V,与预期仿真结果相符。

通道一和通道二的自举输出测试波形如图 19 所示。此时,SW1 与 SW2 交替导通,且 SW 与 BST 始终保持 5 V 压降,符合预期设计要求。

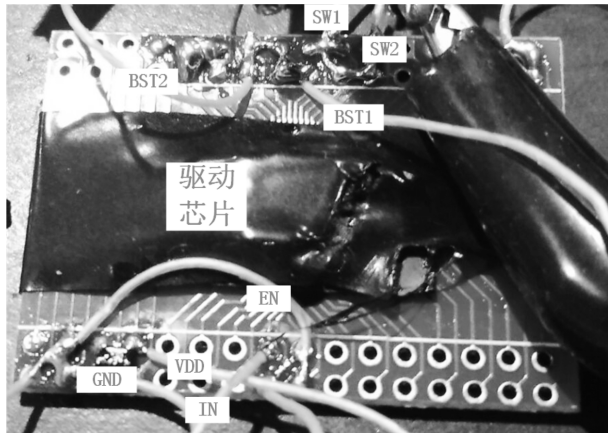


图 17 驱动芯片测试图

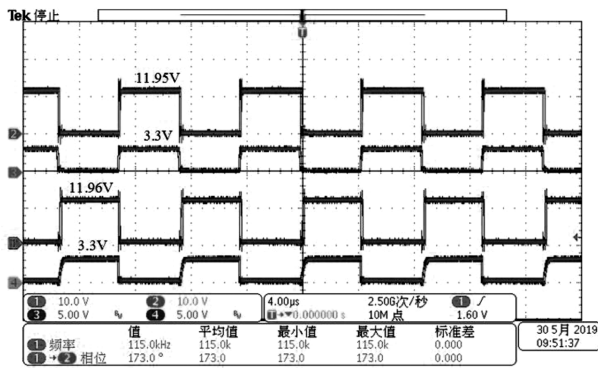


图 18 输入输出波形图

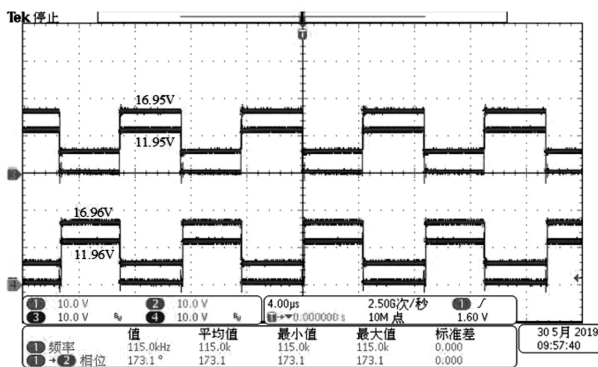


图 19 自举输出测试结果

由上管切换至下管,通道一和通道二的放大波形分别如图 20 和图 21 所示。可以看出,两个通道均无交叉导通的现象发生,且上管开启到下管关断的死区时间为 60 ns,下管开启到上管关断的死区时间为 80 ns,均满足设计指标要求。

静态功耗是指输出空载时驱动芯片的输入功率。为了体现本文设计芯片的低功耗,在输入电压

分别为 5、6、7、8、9、10、11、12 V 下,对芯片功耗进行测试,测试结果如图 22 所示。随着输入电压的增大,静态功耗逐渐增大。输入电压为 5 V 时,静态功耗为 313 μ A。输入电压为 12 V 时,静态功耗为 478 μ A,均满足芯片 500 μ A 的设计要求。

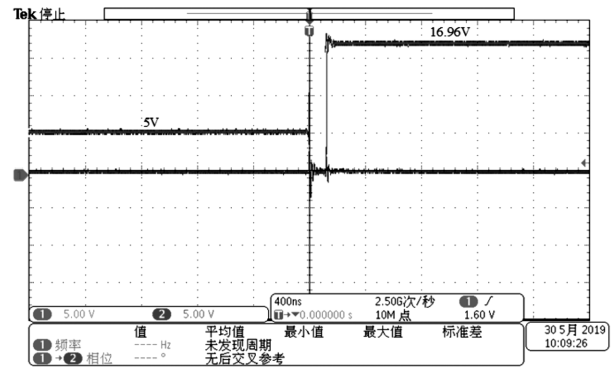


图 20 上管开启死区的测试结果

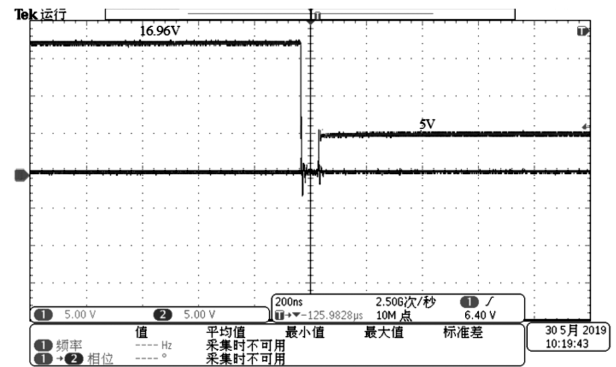


图 21 下管开启死区的测试结果

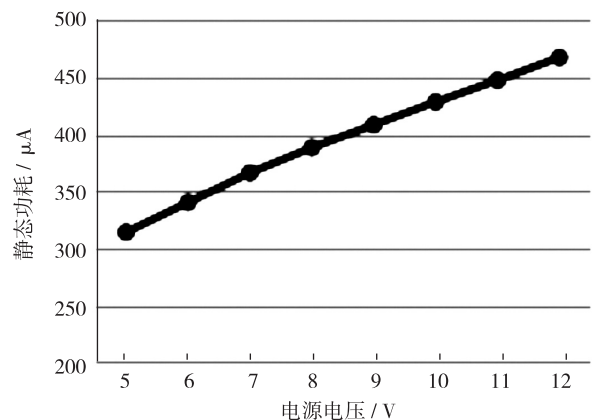


图 22 不同输入电压下的静态功耗

本文驱动芯片的设计指标及其对应的仿真与测试结果列于表 3。

由表 3 可以看出,BST1/BST2、SW1、SW2、上管开启死区时间、下管开启死区时间的仿真与测试结果均能满足设计指标要求,进一步验证了本文驱

动芯片的可行性与高效性。

表3 本文驱动芯片的设计指标及其对应的仿真与测试结果

性能参数	设计指标	仿真结果	测试结果
(BST1/BST2)/V	5	5	5
SW1/V	11.90	11.95	11.96
SW2/V	11.90	11.95	11.95
上管开启死区时间/ns	90	60	60
下管开启死区时间/ns	90	70	80
静态功耗/ μ A	500	-	478

4 结 论

本文介绍了半桥式驱动芯片的基本原理,给出具体设计步骤。在传统单路集成的基础上进行改进,设计为双路对称结构,并将自举电路内置,以解决导通损耗大的问题。逻辑检测与电平移位的死区控制电路有效避免了上下功率管的直通大电流,同时保证了驱动输出的高效性与可靠性。本文设计的驱动芯片完全达到预期指标要求,有望在无线充电

领域得到广泛应用。

参 考 文 献:

- [1] 苏红卫. 一种 MOSFET 管半桥驱动电路的设计概述 [D]. 江苏: 江苏商贸职业学院, 2017: 75-79.
- [2] CHOI S W, PARK H J. A PVT-insensitive CMOS output driver with constant slew rate [C] // Proceed IEEE Asia-Pacific Conf Advan Syst Integr Circ. Fukuoka, Japan, 2004: 784-790.
- [3] WATABE K, SHIMIZU K, AKIYAMA H. A half-bridge driver IC with newly designed high voltage diode [C] // Proceed 13th Int Symp Power Semicond Dev & ICs. Osaka, Japan, 2002: 1063-1071.
- [4] 伍滔. 一种高压 IGBT 半桥驱动芯片设计 [D]. 成都: 电子科技大学, 2015: 89-92.
- [5] 阎治, 赵发明, 冯宝文季. 一种功率 MOSFET 半桥驱动电路设计 [D]. 西安: 西京学院, 2016: 123-132.
- [6] LANUZZA M, CORSONELLO P, PERRI S. Low-power level shifter for multi-supply voltage designs [J]. IEEE Trans Circ & Syst II: Expr Bri, 2012, 59 (12): 922-926.
- [7] ZHANG H, LI D, WANG Q, et al. A resistor-less bandgap reference with improved PTAT generator for ultra-low-power LSIs [C] // IEEE Faible Tension Faible Consommat. Monaco, 2014: 1-4.
- [8] OSAKI Y, HIROSE T, KUROKI N, et al. 1.2-V supply, 100-nW, 1.09-V bandgap and 0.7-V supply, 52.5-nW, 0.55-V subbandgap reference circuits for nanowatt CMOS LSIs [J]. IEEE J Sol Sta Circ, 2013, 48(6): 1530-1538.
- [9] FAR A. A 400 nW CMOS bandgap voltage reference [C] // IEEE CEESE. Kuala Lumpur, Malaysia, 2013: 15-20.
- [10] ZHOU Z K, ZHU P S, SHI Y, et al. A CMOS voltage reference based on mutual compensation of V_{tn} and V_{tp} [J]. IEEE Trans Circ & Syst II: Expr Bri, 2012, 59(6): 341-345.
- [2] 侯德权, 周莉, 陈敏, 等. 一种低功耗曲率补偿带隙基准电压源 [J]. 微电子学, 2019, 49(1): 20-24.
- [3] 朱智勇, 段吉海, 邓进丽, 等. 一种超低功耗高性能的亚阈值全 CMOS 基准电压源 [J]. 半导体技术, 2016, 12(4): 261-266.
- [4] GRAY P R, HURST P J, LEWIS S H, et al. Analysis and design of analog integrated circuits [M]. 5th Edition. New York: John Wiley & Sons, Inc., 2009.
- [5] BLAUSCHILD R A, TUCCI P A, MULLER R S, et al. A new NMOS temperature-stable voltage reference [J]. IEEE J Sol Sta Circ, 1978, 13(6): 767-774.
- [6] EUNG K N, MOK P K T. A CMOS voltage reference based on weighted ΔV_{GS} for CMOS low-dropout linear regulators [J]. IEEE J Sol Sta Circ, 2003, 38(1): 146-150.

(上接第 175 页)

一种用于原边电流采样的自适应前沿消隐电路

王 强, 罗 萍, 邓成达, 张 辽, 唐天缘

(电子科技大学 电子薄膜与集成器件国家重点实验室, 成都 610054)

摘 要: 提出了一种用于原边反馈反激变换器的自适应前沿消隐电路。根据不同的原边峰值电流产生自适应的前沿消隐时间信号,使消隐时间可以跟随原边峰值电流变化。一方面,该自适应前沿消隐电路能使原边电流信息采样更准确,避免开关管导通时的高频尖峰引起误采样。另一方面,产生的自适应前沿消隐时间可以减小电流采样电路的轻载静态功耗。仿真结果表明,前沿消隐时间误差最小低至 1.5%,在不同工艺角下最大误差为 5% 左右。

关键词: 原边反馈; 前沿消隐; 电流采样; 自适应; 反激变换器

中图分类号: TN433

文献标识码: A

文章编号: 1004-3365(2020)02-0184-04

DOI: 10.13911/j.cnki.1004-3365.190278

An Adaptive Leading Edge Blanking Circuit Applied in Primary Current Sampling

WANG Qiang, LUO Ping, DENG Chengda, ZHANG Liao, TANG Tianyuan

(State Key Lab. of Elec. Thin Films and Integr. Dev., Univ. of Elec. Sci. and Technol. of China, Chengdu 610054, P. R. China)

Abstract: An adaptive leading edge blanking circuit applied in primary-side regulation flyback converter was proposed. An adaptive leading edge blanking time signal was generated by this circuit according to different primary peak current value, making the blanking time follow the primary peak current's variation. On the one hand, the primary side current information could be sampled more accurately by the proposed adaptive leading edge blanking circuit, avoiding mis-sampling caused by the high frequency spikes when the switch turned on. On the other hand, the static power of the current sampling circuit could be reduced by the adaptive leading edge blanking time at light load. Simulation results indicated that the minimum leading edge blanking time error could be limited to 1.5%, and the maximum error was about 5% at different corners.

Key words: primary-side regulation; leading edge blanking; current sampling; self-adaption; flyback converter

0 引 言

在反激开关电源中,采用副边反馈调节方式的控制电路比较复杂,系统成本也比较高。副边反馈调节方式需引入光耦器件,会增加静态功耗和面积。原边反馈调节方式利用辅助绕组的分压来检测输出电压,具有隔离的作用^[1]。更多的反激系统采用电

流模控制方式,通过检测系统电流来反映输入或者负载的变化^[2-7],并及时做出调整,相比于电压模控制方式,它可直接响应由输入电压引起的原边峰值电流的变化。

在原边反馈调节的反激变换器系统中,采样电阻 R_{CS} 串联在原边开关管的源极与地之间。在原边开关管导通阶段,对 R_{CS} 上的电压信息进行采样,该电压 V_{CS} 反映了原边电流信息,经过等效关系转换,

收稿日期: 2019-05-06; 定稿日期: 2019-05-31

作者简介: 王 强(1994—),男(汉族),四川广安人,硕士,研究方向为模拟集成电路设计和开关电源。

罗 萍(1968—),女(汉族),四川成都人,教授,博导,研究方向为智能功率集成电路与系统。通信作者, E-mail: pingl@uestc.edu.cn。

得到负载电流信息,并用作控制反激变换器的恒定电流输出,或者用作实现恒压输出下的输出过流保护功能。采用脉冲频率调制模式的反激变换器通常根据原边电流信息来控制开关管的导通与关断^[8],因此准确地采样原边电流信息至关重要。

在实际的反激变换器中,由于存在漏感和非理想因素,在每个开关周期内,能量并不是无损地从原边传输到副边。漏感能量无法通过磁芯耦合到副边,会导致每个开关导通初期的原边电流波形产生振荡,随着原边峰值电流增大,振荡更严重,导致原边电流采样误差。文献[2]-[5]只针对传播延迟引起的原边电流采样误差进行了补偿。文献[2]虽然设计了开关导通时振荡阶段的消隐时间控制,但是没有考虑不同振荡情况下的消隐方法。

为解决上述问题,本文提出了一种用于原边电流采样的自适应前沿消隐电路。文章第1节介绍自适应前沿消隐电路的基本原理,阐述电流采样自适应前沿消隐的必要性;第2节介绍原边电流采样自适应前沿消隐电路的具体实现;第3节分析实验仿真结果;第4节给出结论。

1 自适应前沿消隐电路基本原理

1.1 自适应前沿消隐技术的提出

在开关管导通阶段,原边漏感能量随着原边电流增大而增大,在原边开关管关断时,漏感存储的能量无法传输到副边。虽然大部分能量被电阻、电容、二极管电路(RCD)构成的尖峰吸收网络消耗掉^[9-10],但由于二极管本身的导通压降和反向恢复等效效应,漏感能量不能完全被消耗,仍有一部分存储于寄生的电感、电容中。在下个周期,原边开关管导通时,这一部分能量将通过原边开关管释放,使得原边电流产生振荡尖峰,可能导致原边开关管的电流信息被误采样,从而影响负载电流检测精度。

漏感上存储的能量与原边峰值电流成平方关系,在每个开关周期内,漏感能量随开关管的峰值电流变化而变化,使原边开关管导通初期的电流尖峰振荡情况有所不同。当负载为轻载时,开关管的导通时间较短,原边峰值电流较小,漏感存储的能量较小,到下个周期开关管导通时,这部分能量引起的振荡幅值较小,衰减时间也较短。当负载为重载时,开关管的导通时间较长,原边峰值电流较大,漏感存储的能量较大,到下个周期开关管导通时,这部分能量引起的振荡幅值较大,衰减时间也较长。轻载和重

载下的振荡情况如图1所示。

为解决未被RCD电路吸收的漏感能量在开关管导通初期会引起尖峰振荡的问题,传统的解决办法是在电流采样电路中引入一段固定的前沿消隐时间,以屏蔽导通初期的尖峰振荡,避免误采样^[2]。但是,当输入电压上升或负载变重时,原边峰值电流增大,过短的前沿消隐时间可能无法完全屏蔽掉电流振荡尖峰。当输入电压下降或者负载变轻时,原边峰值电流减小,过长的前沿消隐时间又可能将整个原边电流信息屏蔽掉,导致无法采样到电流信息。此外,较长的前沿消隐时间将增加系统的静态功耗。

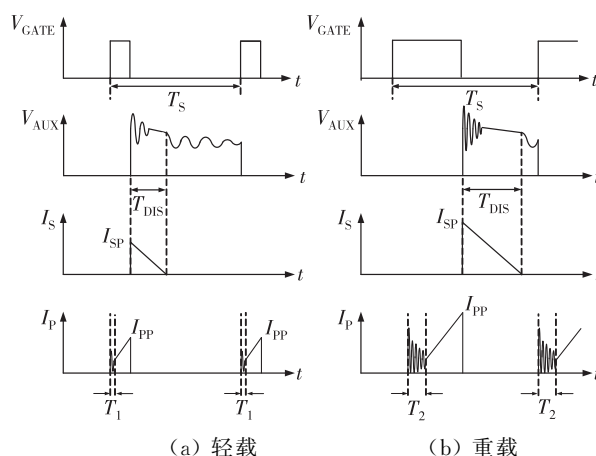


图1 轻载和重载下的振荡情况

1.2 自适应前沿消隐电路结构

本文提出的用于原边电流采样的自适应前沿消隐电路的系统架构如图2所示。

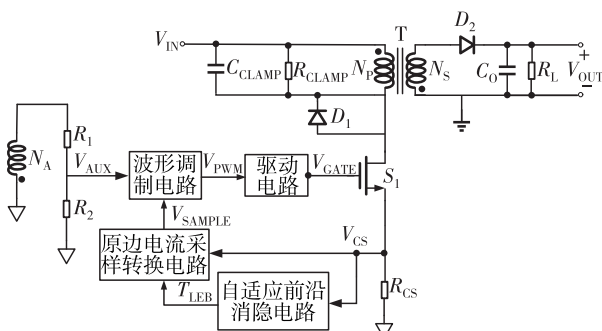


图2 自适应前沿消隐电路的系统框图

工作原理如下。首先,通过采样电阻 R_{CS} 上的电压 V_{CS} 来获得原边电流信息,并产生与原边峰值电流相关的前沿消隐信号 T_{LEB} ,用于控制原边电流采样转换电路在下个周期开关管导通阶段的采样时刻。前沿消隐信号 T_{LEB} 为低电平有效信号时,原边电流采样转换电路被屏蔽,不进行采样操作,直到 T_{LEB} 为高电平无效信号时,开始正常采样。最终,生

成能反映系统电流信息的电压采样信号 V_{SAMPLE} 。该信号经过波形调制电路产生方波信号 V_{PWM} ，再经过驱动电路产生开关信号 V_{GATE} ，以控制原边功率管 S_1 ，从而实现稳定的输出。

2 自适应前沿消隐及原边电流采样电路设计

2.1 自适应前沿消隐电路

本文提出的自适应前沿消隐电路的具体实现方式如图 3 所示。

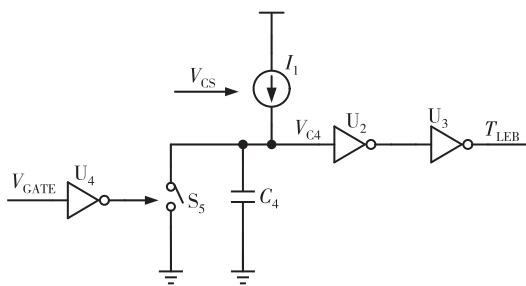


图 3 自适应前沿消隐电路

开关信号 V_{GATE} 经过反相器 U_4 来控制开关 S_5 。当 V_{GATE} 为低电平时，开关 S_5 闭合，电容 C_4 上的电压通过开关放电， V_{C4} 为低电平，经过反相器 U_2 和 U_3 输出前沿消隐信号 T_{LEB} ，此时 T_{LEB} 为低电平。当 V_{GATE} 为高电平时，开关 S_5 打开，受电压 V_{CS} 控制的电流源 I_1 开始对电容 C_4 进行充电，直到 C_4 上的电压 V_{C4} 达到 U_2 的翻转阈值， V_{C4} 经过 U_2 和 U_3 输出前沿消隐信号 T_{LEB} ，此时 T_{LEB} 为高电平。

I_1 的值与原边峰值电流成负相关。原边峰值电流越大， R_{CS} 上的电压 V_{CS} 也就越大，经过有效的 V - I 转换，产生的电流 I_1 越小。由电流对电容充电特性可知，电流越小，充电速度越慢。因此， C_4 上的电压 V_{C4} 达到 U_2 的翻转阈值所需的时间就越长，前沿消隐信号 T_{LEB} 的消隐时间也就越长。反之，原边峰值电流越小， R_{CS} 上的电压 V_{CS} 也就越小，产生的电流 I_1 越大，对 C_4 充电越快， V_{C4} 达到 U_2 的翻转阈值所需的时间就越短，前沿消隐信号 T_{LEB} 的消隐时间也就越短。

在当前周期内，产生的前沿消隐时间长短与原边峰值电流负相关。根据不同的原边峰值电流大小，产生不同的前沿消隐时间。再将前沿消隐信号 T_{LEB} 送到原边电流采样模块，控制下一个周期的采样时间。最终，当输入变化或者负载变化引起原边峰值电流变化时，将产生随之变化的自适应前沿消隐时间。

2.2 原边电流采样电路

原边电流采样电路由原边电流采样转换电路和 R_{CS} 构成。原边电流采样转换电路的具体实现方式如图 4 所示。

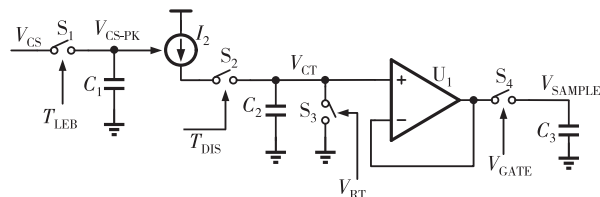


图 4 原边电流采样转换电路

开关 S_1 由自适应前沿消隐电路产生的消隐时间 T_{LEB} 控制。当 T_{LEB} 为使能有效信号时， R_{CS} 上的电压信号 V_{CS} 不传输；当前沿消隐时间 T_{LEB} 使能无效时，电压 V_{CS} 经开关 S_1 传输并通过电容 C_1 采样保持，得到采样电压 $V_{\text{CS-PK}}$ 。 $V_{\text{CS-PK}}$ 与原边峰值电流 I_{PP} 的关系为：

$$V_{\text{CS-PK}} = I_{\text{PP}} \times R_{\text{CS}} \quad (1)$$

$V_{\text{CS-PK}}$ 经过 V - I 转换得到与之成正比的电流 I_2 ：

$$I_2 = \alpha V_{\text{CS-PK}} \quad (2)$$

开关 S_2 由副边退磁时间 T_{DIS} 控制。在开关 S_2 闭合阶段，可以看作 I_2 对电容 C_2 在 T_{DIS} 这段时间内进行积分。 C_2 上的电压 V_{CT} 为：

$$V_{\text{CT}} = \frac{I_2}{C_2} \times T_{\text{DIS}} \quad (3)$$

开关 S_3 由窄脉冲信号 V_{RT} 控制。在每个开关周期结束后，将电容 C_2 上的电压 V_{CT} 清零。开关 S_4 由开关信号 V_{GATE} 控制。开关管关断时停止传输，当开关管导通时，电压 V_{CT} 通过单位增益负反馈接法的运放 U_1 传输并存储在电容 C_3 上，从而得到采样电压 V_{SAMPLE} 。

由图 1 可知，输出电流 I_O 表示为：

$$I_O = \frac{1}{2} \times \frac{N_P}{N_S} \times I_{\text{PP}} \times T_{\text{DIS}} \times f_{\text{SW}} \quad (4)$$

式中， N_P 、 N_S 分别为原边、副边的匝数， I_{PP} 为原边峰值电流， f_{SW} 为开关频率。因此，输出电流 I_O 可以用采样电压 V_{SAMPLE} 来表示，为：

$$I_O = \frac{1}{2} \times \frac{N_P}{N_S} \times f_{\text{SW}} \times \frac{C_2}{\alpha R_{\text{CS}}} \times V_{\text{SAMPLE}} \quad (5)$$

只要选取合适的参数，便能简化输出电流与采样电压的关系。自适应前沿消隐电路避免了原边电流采样电路误采样，根据输入或负载的变化产生合适的前沿消隐时间，提高了采样精度。

一种避免码间串扰的 LED 驱动芯片

苏 东, 冯全源

(西南交通大学 微电子研究所, 成都 611756)

摘 要: 针对单线传输 LED 驱动器在多级联传输时存在高误码率的问题, 采用信号“护城河”技术, 设计了一种避免码间串扰的 LED 驱动芯片。芯片具有三路 PWM 驱动端口, 可实现 256 级灰度输出, 为防止数据衰减, 数据自动整形转发。通过引入“护城河”技术, 隔离相邻数据, 消除延时误差积累, 从而避免码间串扰。实测结果表明, “护城河”技术在相邻码间建立了一个稳定时长大于 196 μs 的低电平, 并且在 800 kbit/s 的传输速率下, 传输特性良好。该芯片有望用于大型户外显示屏中。

关键词: LED 驱动; “护城河”技术; 码间串扰; 误差消除

中图分类号: TN432

文献标识码: A

文章编号: 1004-3365(2020)02-0188-05

DOI: 10.13911/j.cnki.1004-3365.190384

An LED Driver Chip Immune to Inter-Symbol Interference

SU Dong, FENG Quanyuan

(Institute of Microelectronics, Southwest Jiaotong University, Chengdu 611756, P. R. China)

Abstract: In order to solve the problem of high bit error rate of single-line LED driver in multi-cascade transmission, an LED driver chip was designed to avoid inter-symbol interference (ISI) by adopting signal moat technology. The chip had three PWM drive ports, which could carry 256-level grayscale output as well as automatically shaped and forwarded data to prevent data attenuation. By introducing the moat technology, the adjacent data was isolated, and the delay error accumulation could be eliminated, thereby having avoided ISI. The measured results showed that a low level was established between adjacent codes with a stable duration longer than 196 μs by the moat technology. Besides, the transmission characteristics were good at a transmission rate of 800 kbit/s. The designed chip was expected to be applied to large outdoor display screens.

Key words: LED drive; moat technology; inter-symbol interference; offset cancellation

0 引 言

LED 发光二极管是一种固态的半导体组件, 常被作为第四代绿色光源或者照明光源^[1]。相较于传统光源, LED 具有亮度高、热量低、使用寿命长等优点, 被广泛应用于户外广告屏、指示灯和装饰等领域^[2]。因此, 对 LED 驱动芯片的研究将产生良好的

环境效益和经济效益。

由于人类对光色彩需求的提高, LED 驱动芯片通过脉冲控制“红、绿、蓝”三色 LED 来实现全彩色效果^[3]。同时, 为了降低芯片的面积, 减少信道资源的损耗, 简化 LED 应用系统的复杂程度, 芯片通常采用单线传输数据信号, 同时从数据信号中提取所需时钟信息^[4]。输入信号的时钟提取模式主要有四种: 锁相环的闭环相位时钟提取模式、开环结构的位

收稿日期: 2019-07-02; 定稿日期: 2019-08-01

基金项目: 国家自然科学基金重点资助项目(61531016, 61831017); 四川省科技支撑计划重点资助项目(2018GZ0139); 四川省重大科技专项资助项目(2018GZDZX0001)

作者简介: 苏 东(1995—), 男(汉族), 四川资阳人, 硕士研究生, 研究方向为模拟集成电路设计。

冯全源(1963—), 男(汉族), 江西景德镇人, 教授, 博士, 主要研究方向为集成电路、RFID 技术等。

同步时钟提取模式、窄带滤波时钟提取模式和数字时钟提取模式^[5]。相较于其他模式,数字时钟提取模式具有输出时钟稳定、电路结构简单、适应高频时钟提取等优点。

在具体工程应用中,级联传输LED驱动芯片的传输特性 $h(t)$ 不够理想,使得传输波形有很长的“拖尾”现象,对相邻码元造成串扰现象,极大限制了芯片级联的个数^[6]。针对以上问题,本文在数字时钟模式的基础上,提出一种全新的“护城河”技术,避免了码间串扰问题,从而极大地拓展了LED驱动芯片级联的个数,增大了显示LED阵列的面积。

文章第1节介绍LED驱动芯片的数据传输原理和内部结构;第2节介绍数据传输过程中码间串扰的形成原因,以及利用信号“护城河”技术避免码间串扰现象的原理;第3节介绍电路仿真和实测结果分析;第4节得出结论。

1 数据传输原理和内部结构

1.1 LED驱动芯片数据传输原理

本文单线传输三通道LED恒流驱动控制芯片采用单极性归零码,数据传输速率^[7]为800 kbit/s。接收完数据后,芯片将自动级联输入的数据整形转发,保证数据在串联传输过程中不发生衰减^[8]。

如图1所示,芯片数据的接收与转发均采用归零码形式。这是因为归零码中具有丰富的位同步信息,在对信号解码时容易提取时钟信号,便于数据的传递。其中,码元周期 T 为 $1.25\ \mu\text{s}$ ^[4]。当传输“0”码时, T_{0H} 等于 $T/4$;当传输“1”码时, T_{1H} 等于 $3T/4$;当输入超过 $256\ \mu\text{s}$ 的低电平时,判决信号为Reset码,此时输入信号结束,内部移位寄存器清零,等待下一帧数据周期到来^[9]。

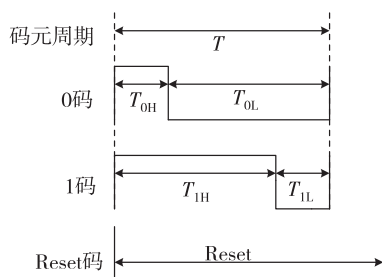


图1 LED驱动芯片的输入码型

本文芯片通过三路时分复用通道来控制红、绿、蓝三色LED灯,实现256级灰度调节^[9]。如图2所示,每帧数据以Reset码为结束标志。当芯片检测

到Reset码时,芯片采样最后输入的24位数据,存储到寄存器中,从而实现数据单线级联传输。



图2 LED驱动芯片的数据传输方式

1.2 LED驱动芯片内部结构

根据LED驱动芯片的数据传输原理,构建了图3所示的芯片内部结构。数据信号DIN进入芯片后,由时钟提取电路检测输入信号的上升沿,产生位同步时钟信号,为移位寄存器和数据重建模块提供时钟信息。芯片检测到Reset码后,将移位寄存器中24位数据搬移到寄存器中,进行PWM运算,输出相应的PWM波形,达到控制LED亮度的目的^[10]。

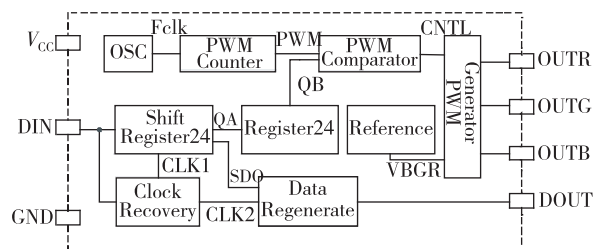


图3 LED驱动芯片的内部结构

设计过程中,要求时钟提取电路性能稳定,并保持高精度,否则在数据重新编码转发时,容易造成数据丢失、时序混乱等现象。因此,本文采取数字时钟提取模式,DIN经延迟单元、与逻辑后,在上升沿采样到脉宽为100 ns的脉冲信号DUTY04,如图4所示。同时,利用电容的充放电特性,在信号周期 $T/4$ 处产生100 ns的脉冲信号DUTY14。根据节点N2的电压情况,可以得出:

$$T_{D1} = \frac{V_{REF} \times C_1}{I_1} \quad (1)$$

式中, T_{D1} 为节点DUTY04到节点DUTY14的边沿延迟。

$$T_{D2} = T_{D1} + T_{D_PULSE} \quad (2)$$

式中, T_{D2} 为节点DIN到DUTY14的边沿延迟, T_{D_PULSE} 为DUTY04的脉冲宽度。

本文中, $I_1 = 10\ \mu\text{A}$, $V_{REF} = 1.25\ \text{V}$, $T_{D_PULSE} = 100\ \text{ns}$, $T_{D2} = T/4 = 312.5\ \text{ns}$,可得 C_1 容值:

$$C_1 = 1.7\ \text{pF} \quad (3)$$

同理,可以利用这种结构在信号周期 $T/2$ 、 $3T/4$ 处分别产生脉冲信号DUTY12、DUTY34,便于在芯片输入端和输出端实现数据译码与数据重新整形

转发。

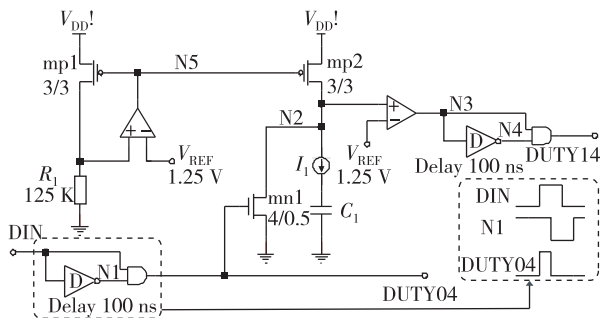


图 4 数字时钟提取模式原理

芯片每位数据以高电平开始,数据解码与重建原理如图 5 所示。当数据信号 DIN 来临时,移位寄存器检测到上升沿信号,并在数据周期 $T/2$ 处采样,将信号从归零码解码为自然二进制码。同时,“1”码与“0”码分别在 DUTY14 与 DUTY34 进行跳变,完成信号重建。具体实现时,数据解码与重建由数字逻辑电路处理,电路时序应符合要求,避免发生数据错乱现象。

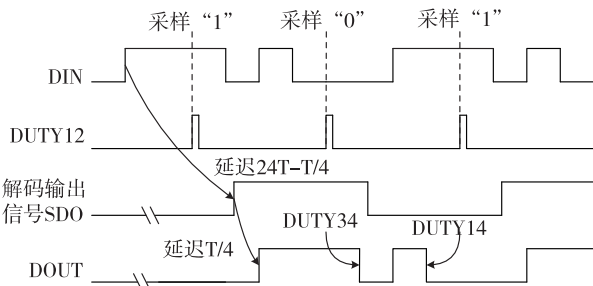


图 5 数据解码与重建原理

2 LED 驱动芯片关键电路设计

2.1 码间串扰的形成

信号在每颗芯片之间单线级联传输。在级联每一颗 LED 驱动芯片过程中,信号通过上升沿触发,同时产生下一级芯片的触发沿,由此构成一个数字基带系统。具体应用中,由于每颗芯片的传输特性不够理想,将会造成脉冲波形延时的不一致,从而使得相邻脉冲信号产生重叠,信号出现码间串扰现象,数据传输紊乱。

在通过 LED 驱动芯片时,信号传输延时原理如图 6 所示。信号由输入端通过芯片传递到输出端时,会产生不同的延时 T_d 。第一,由于不同频率分量的信号在信道中传输速率不同,越高频的信号,延迟越短,越低频的信号,延迟越长。第二,输入信号的占空比不同时,容性负载不同会引起信号的延时

差别。第三,芯片因温度、电源电压、工艺等差异会造成上升沿不同,容易形成延时 T_d 的差别。

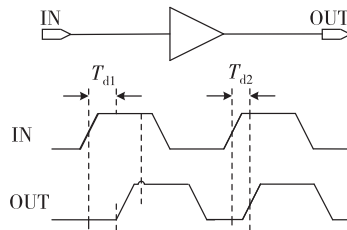


图 6 信号传输延时原理

由于传输延时的不一致性,信号在经过数百颗芯片级联后,会发生失效现象。信号传输失效原理如图 7 所示。假设第 m 位数据经过第一颗芯片后,信号延迟 $T_{d2} = 9$ ns,第 $m+1$ 位数据经过第一颗芯片后,信号延迟 $T_{d1} = 11$ ns,则这两位相邻数据在经过第一颗芯片后,第 m 位数据拓展 2 ns,而第 $m+1$ 位数据缩减 2 ns。因此,在最极端的条件下,数据经过 N 颗芯片后,延时误差不断被积累,使得信号上升沿被合并,形成码间串扰,数据发生丢失。

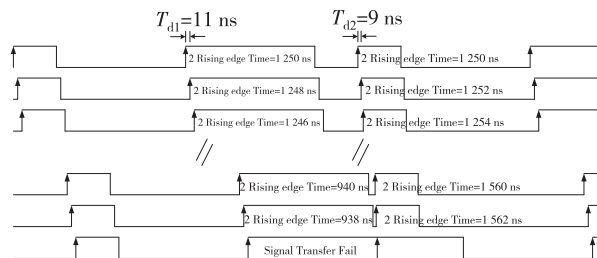


图 7 信号传输失效原理图

本文中,失效间隔时间 $\Delta T = T/4 = 312$ ns, $\Delta T_d = T_{d1} - T_{d2} = 2$ ns,可得 N 值:

$$N = \frac{\Delta T}{\Delta T_d} = 156 \quad (4)$$

在实际应用中(非极端条件),经过 300~500 颗芯片后,信号传输会发生失效现象,无法满足大型 LED 阵列的需求。

2.2 基于信号“护城河”技术的时钟提取电路

针对码间串扰问题,本文提出了信号“护城河”技术。为了避免信号边沿被合并,信号“护城河”技术在相邻码元间建立一个固定时长的低电平,作为信号间的“护城河”,保证信号的正确传输。

如图 8 所示,相邻数据 2 ns 的延时误差在经过 M 颗芯片积累后,边沿开始趋于合并。为了防止误码,在两个脉冲之间建立了一个时长 T_a 的信号“护城河”。当下一级信号往内靠时,信号“护城河”自动延后,保证在信号下降沿后的 T_a 时间内,不允许有上升沿发生。

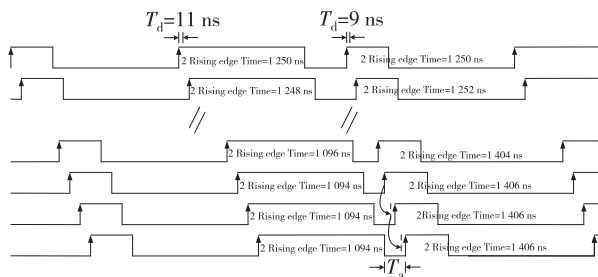


图8 信号传输改善原理图

基于上述思想,本文设计了信号重建电路,如图9所示。信号重建电路主要由“护城河”信号产生电路与信号重建电路两部分组成。首先,电路在检测到DUTY34的上升沿时,通过控制 I_2 和 C_2 的大小,产生一个时长 $T_a = 7T/8$ 的“护城河”信号DUTY78。然后,利用DUTY78进行数字逻辑运算,将二进制信号重建为归零码信号。

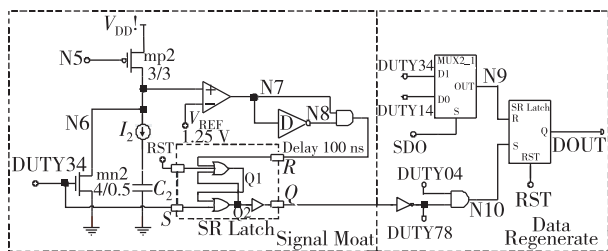


图9 基于“护城河”技术的信号重建电路原理

信号重建电路信号波形如图10所示。未发生延时误差时,BIT_0在位置①处发生“0”到“1”的跳变。经过多颗芯片延时误差积累,BIT_0上升边沿会逐渐向位置②靠拢。而DUTY78在经过逻辑运算后,会在位置③终止边沿靠拢现象,保证数据不会丢失。“护城河”技术完全解决了码间串扰问题。

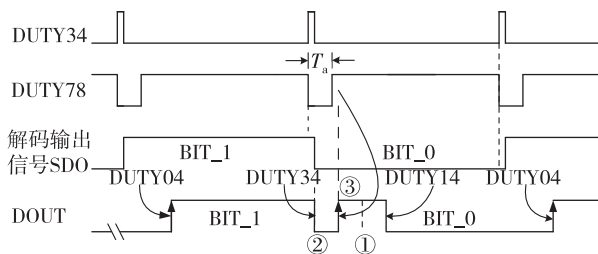


图10 信号重建电路信号波形

3 电路仿真和实测分析

3.1 LED驱动电路仿真结果

本文基于MXIC 0.18 μm CMOS工艺,在典型模型工艺下,利用数模混合仿真软件HSIM对芯片的瞬态响应进行仿真。

图11所示为芯片的整体仿真结果。DIN为输入数据流,DOUT为自动转发输出数据。DIN中第1组与第2组24位数据分别为“0000 1000 1000 0000 1100 0000”与6个“1010”,并且第1组24位数据中包含“红、绿、蓝”三色灯的输出PWM信息。由图11可知,在蓝灯数据为192时,蓝灯每毫秒点亮749 ns,输出电流为12 mA。

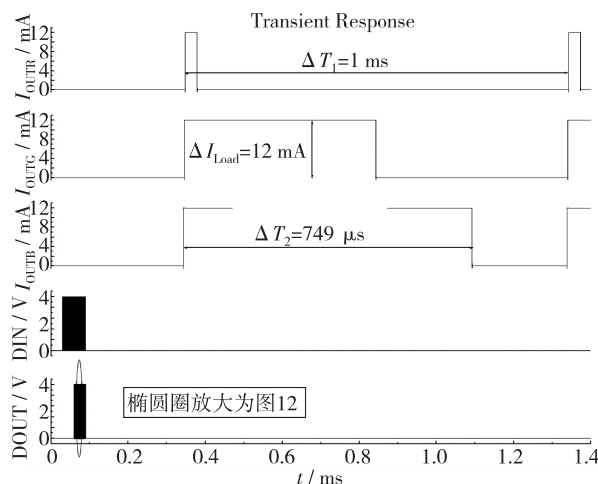


图11 芯片整体仿真结果

图12所示为使用“护城河”技术前后的输出波形。可以看出,未采用“护城河”技术时,DOUT0波形跟随具有延时误差效果的DIN波形,未对码间串扰现象进行改善。采用“护城河”技术后,在相邻码间建立了一个稳定时长为156 μs 的低电平,保证信号正确有序地传递。

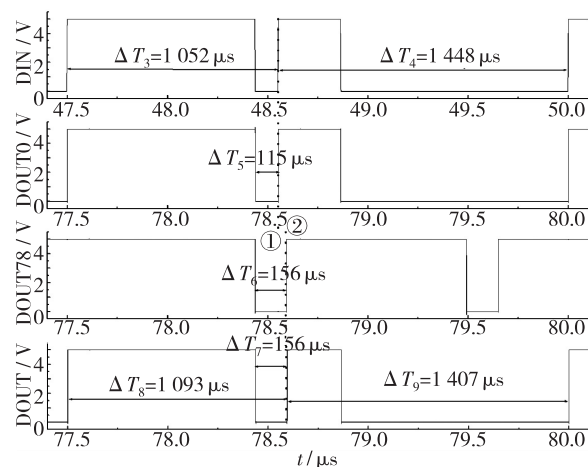


图12 使用“护城河”技术前后的输出仿真波形

在典型模型下,利用Hspice软件仿真芯片部分重要参数,结果列于表1。其中,DOUT端对地负载电容为30 pF。

3.2 LED驱动电路实测分析

对本文设计的LED驱动芯片进行版图绘制、流

片,并拟定产品设计验证测试计划书。利用数字示波器,在 800 kbit/s 的传输速率下对 30 颗样品进行逐项参数测试,测试结果列于表 2。

表 1 典型模型参数仿真结果(25 ℃)

参数	符号	仿真结果
芯片电源电压/V	V_{DD}	5
输出低电平电压/V	V_{OL}	0
输出高电平电压/V	V_{OH}	5
信号传输延迟/ns	t_{PLH}	9
	t_{PHL}	9
DOUT 转换时间/ns	t_{TLH}	20
	t_{THL}	20

表 2 LED 驱动电路参数测试结果(25 ℃)

参数	符号	测试结果
芯片电源电压/V	V_{DD}	5
输出低电平电压/V	V_{OL}	0
输出高电平电压/V	V_{OH}	5
信号传输延迟/ns	t_{PLH}	18
	t_{PHL}	26
DOUT 转换时间/ns	t_{TLH}	42
	t_{THL}	40

由表 1 与表 2 可见,输入、输出电平与仿真结果一致。但是,由于级联引脚端的寄生电容增加,信号传输延迟与 DOUT 转换时间增加。同时,由低电平到高电平与高电平到低电平的传输延迟和转换时间不一致,这将导致延时误差的产生。测试过程中,通过输入具有延时误差效果的波形,观察到相邻码间一个 196 μ s 的低电平。“护城河”技术在避免码间串扰方面具有明显优势。

4 结 论

本文基于 MXIC 0.18 μ m CMOS 工艺,设计了

一种避免码间串扰的 LED 驱动芯片。为了解决延时误差积累造成码间串扰的问题,在输出级采用“护城河”技术。实测结果表明,“护城河”技术在相邻码间建立了一个稳定时长大于 196 μ s 的低电平,避免了相邻数据产生码间串扰的现象。同时,在 800 kbit/s 的传输速率下,芯片传输特性良好。本文设计的芯片有望用于大型户外显示屏中。

参 考 文 献:

- [1] 沈慧,朱大中. 半导体照明光源恒流驱动芯片的研究[J]. 固体电子学与进展, 2006(2): 238-241.
- [2] 黄少卿,景为平. 采用自适应滞环控制的 LED 恒流驱动芯片[J]. 微电子学, 2016, 46(4): 467-470.
- [3] LIN M S, CHEN C L. A LED driver with pulse current driving technique [J]. IEEE Trans Power Elec, 2012, 27(11): 4594-4601.
- [4] 蔡鹏飞. 单线 LED 驱动芯片级联信号的改善方案[D]. 广州: 华南理工大学, 2012: 15-17.
- [5] 于彩灯. 三通道单线传输 LED 驱动集成电路的设计与研究[D]. 成都: 电子科技大学, 2013: 40-41.
- [6] 王晓玲,胡剑凌. 数字基带传输系统可靠性研究及相关因素分析[J]. 现代电子技术, 2018, 41(20): 100-103.
- [7] HUANG Y G, LIN Y C, WANG W. Design of high-stability driver for white LED [C] // Symp Photo & Optoelec. Wuhan, China. 2009: 14-16.
- [8] 文春山. 通信传输中信号衰减成因和改善策略[J]. 中国新通信, 2018, 20(1): 35.
- [9] 黄伟,翟江辉,杨秋玉,等. 三通道高亮度 LED 驱动芯片的 ASIC 设计[J]. 电子技术应用, 2015, 41(4): 46-49.
- [10] JOAQUIN G Z, ANTONIO M M, AURORA G D C, et al. Supraharmonics reduction in LED drivers via random pulse-position modulation [J]. Int J Elec, 2018, 105(12): 2128-2143.

(上接第 187 页)

- [6] WANG Z Y, LAI X Q, HE H S. High precision control technique for constant current regulation in primary-side regulation systems [J]. Elec Lett, 2014, 50(24): 1870-1872.
- [7] WANG Z Y, LAI X Q, WU Q. A PSR CC/CV flyback converter with accurate CC control and optimized CV regulation strategy [J]. IEEE Trans Power Elec, 2017, 32(9): 7045-7055.
- [8] YU J Z, XU S, QIAN Q S, et al. Modeling and analysis of primary side regulated flyback converter with pulse

frequency modulation [C] // 9th Int Conf Power Elec & ECCE Asia. Seoul, Korea. 2015: 429-434.

- [9] YANG S H, TSAI T H, CHEN H, et al. High accuracy knee voltage detection for primary-side control in flyback battery charger [J]. IEEE Trans Circ & Syst, 2017, 64(4): 1003-1012.
- [10] LIU S L, ZHANG F W, ZHANG Q. Optimal design of RCD parameters in flyback converter [C] // Int Symp Comput, Consum & Control. Xi'an, China. 2016: 583-586.

一种用于电源组件的保护电路的优化设计

唐万军, 廖建军

(中国电子科技集团公司 第二十四研究所, 重庆 400060)

摘 要: 对应用于电源组件中的过流/短路保护电路在高温环境下误启动的原因进行了分析, 确定导致电路失效的原因为电路参数设计不合理。在上电过程中, 误触发保护电路的状态锁存电路会使电路误入保护状态, 导致电源组件无法正常上电启动。基于 EDA 仿真分析工具, 得到设计优化方案。 R_1 由原来的 $10\text{ k}\Omega$ 降低至 $5.1\text{ k}\Omega$, R_4 由原来的 $6.8\text{ k}\Omega$ 增大至 $10\text{ k}\Omega$, C_1 由 510 pF 增大至 $0.1\text{ }\mu\text{F}$, 有效解决了保护电路的误启动问题。分析并总结了高可靠保护电路的一般设计流程和关注重点。

关键词: 失效分析; 保护电路; EDA; 容差分析

中图分类号: TN406

文献标识码: A

文章编号: 1004-3365(2020)02-0193-04

DOI: 10.13911/j.cnki.1004-3365.190585

Optimization Design of a Protection Circuit for Power Supply Module

TANG Wanjun, LIAO Jianjun

(The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing 400060, P. R. China)

Abstract: Reasons of transmitting false start in high temperature environments in the over current/short circuit protection circuits that were used in the power supply modules were analyzed. The reasons were that the circuit design parameters were unreasonable. During the process of power on, the state latch in the protection circuit would be triggered by mistake and make the circuit go into the state of protection, so the power module could not be powered on normally and start to work. Based on EDA simulation tools, a design scheme was optimized. R_1 was reduced from $10\text{ k}\Omega$ to $5.1\text{ k}\Omega$, R_4 was increased from $6.8\text{ k}\Omega$ to $10\text{ k}\Omega$, and C_1 was increased from 510 pF to $0.1\text{ }\mu\text{F}$. The problem of false start in the protection circuit was solved effectively. The general design flow for high reliability protection circuits was summarized, and precautions were given.

Key words: failure analysis; protect circuit; EDA; tolerance analysis

0 引 言

为使电子产品在恶劣环境及突发故障下安全可靠地工作, 必须设计多种保护电路^[1-4], 如防输入过/欠压、输出过流/短路、内部过热等保护电路。随应用领域或保护方式的不同, 产品在保护状态下的工作方式有所差异。在持续工作模式下, 保护电路的启动不能影响主电路的工作。在中断工作模式下, 保护电路启动后, 产品主要或部分模块会停止工作。

中断工作模式下的保护方式分为即时恢复、延时恢复或持续中断等^[5]。

电子产品中保护电路的基本要求是: 保护触发条件未发生时, 不进入保护模式, 不影响产品的正常工作; 保护触发条件发生时, 电路及时有效地进入保护模式, 避免产品失效或进入不安全状态, 且保护电路自身处于安全状态^[6]。工程实践中, 由于保护电路触发条件存在复杂性和多样性, 设计高可靠保护电路是一项重要的挑战。

本文对一种用于电源组件的保护电路在高温下

收稿日期: 2019-10-10; 定稿日期: 2019-11-26

作者简介: 唐万军(1974—), 男(汉族), 重庆人, 硕士, 高级工程师, 从事模拟集成电路设计和技术质量工作。

V_{GS} 电压仿真波形如图 2 所示。可以看出,在高温、36 V 输入时,存在与理论分析基本一致的电压

跌落现象。

V_{GS} 的实测电压仿真波形一如图3所示。可以看出,实测与理论分析一致。这表明,在高温、36 V输入时, M_2 管会短时导通。

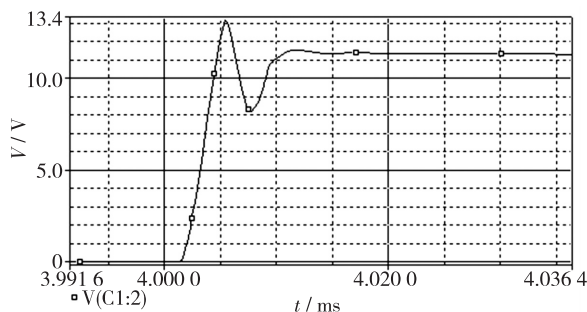


图2 V_{GS} 电压仿真波形

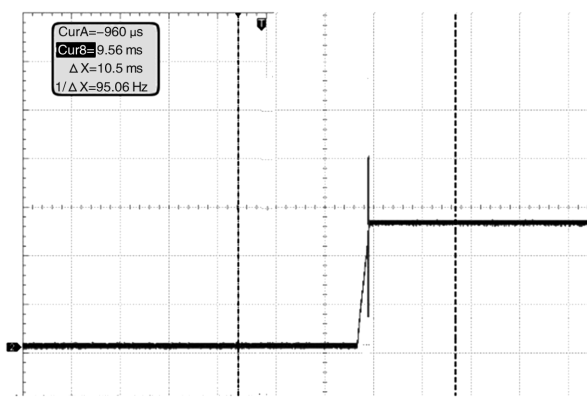


图3 V_{GS} 实测电压波形一

接着,验证 M_3 管是否先导通。假设 M_3 管先导通,将图1中的 M_2 去掉(目的是去掉锁存状态功能,分析 M_3 管的瞬态特性),检测高温、36 V输入时的 V_{GS} 波形。如果 M_3 管在上电过程出现导通,则 V_{GS} 电压同样会在上升过程中出现一次短暂的跌落(如图2所示)。

V_{GS} 的实测电压仿真波形二如图4所示。可以看出, V_{GS} 电压没有跌落现象,表明 M_3 管在上电过程中没有先导通。

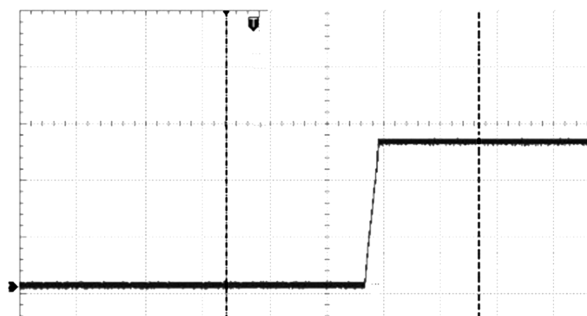


图4 V_{GS} 实测电压波形二

通过上述对比检测,可以确认是三极管 M_2 在上电过程中出现导通,等效为接收到了“过流/短路”的触发信号,让保护电路启动了“过流/短路”功能,电路进入保护状态而无正常输出。

2 失效机理及设计改进

2.1 失效机理

根据三极管的基本工作原理, M_2 管在高温下的上电过程中出现了导通^[8],导通的基本条件为 $\Delta V_{EB} \geq V_{EBO}$,假设在上电的 t 时刻(V_{GS} 达到稳定电压前),此时对应的 M_4 管的栅源电压为 V_{GS_t} , M_2 管基极电压为 V_{B2_t} ,则 M_2 管的EB结压差 ΔV_{EB_t} 为:

$$\Delta V_{EB_t} = V_{GS_t} - V_{B2_t} \quad (1)$$

仅当 ΔV_{EB_t} 大于 M_2 的 V_{EBO} 时, M_2 管才导通。结合图1,根据电容充电基本原理,设 V_{GS_t} 充电的时间常数为 τ_1 , V_{B2_t} 充电时间常数为 τ_2 ,则他们的表达式为:

$$V_{GS_t} = V_{in} [1 - \exp(-\tau_1 t)] \quad (2)$$

$$V_{B2_t} = V_{GS_t} [1 - \exp(-\tau_2 t)] \quad (3)$$

$$\tau_1 = 1/(R_4 C_1') \quad (4)$$

$$\tau_2 = 1/(R_1 C_B) \quad (5)$$

式中,忽略 V_{in} 自身建立时间的影响。 C_1' 包括了图1中的 C_1 和同节点的等效电容 C_g 。 C_B 包括了 M_2 管基极同节点的等效电容。

可以得出, t 时刻的 ΔV_{EB_t} 与各参数间的定性关系为:

$$\Delta V_{EB_t} \propto \frac{V_{in} R_1 C_B}{R_4 C_1'} \quad (6)$$

根据式(6)可知, ΔV_{EB_t} 大小与 R_4 、 R_1 、 C_1 的值有关,还与高温下的 C_B 、 C_g 有关。 M_2 管是否导通还与高温下的 V_{EBO} 有关。 V_{EBO} 为负温度系数,会随温度升高而降低。因此,这样的元件参数设计不合理。随着输入电压增大、温度增高, M_2 管可能出现异常导通。这与电路实际表现出的在输入电压大于30 V、温度为85℃下的工作失效现象相吻合。

2.2 设计改进

通过前述机理分析,不考虑输入电压、温度及参数温度性能等固有特性的情况下,设计改进的方向应该是减小高温下的 ΔV_{EB_t} 。

根据式(6)可知,通过调整 R_1 、 R_4 、 C_1 值或重新选用 M_2 、 M_4 ,能达到减小 ΔV_{EB_t} 的目的。但是, M_2 、 M_4 受等效参数的影响,器件型号间以及同型号元

件的批次间均有可能存在差异,其参数实际上难以进行有效控制。因此,设计改进的重点为前者,即对 R_1 、 R_4 、 C_1 值进行优化。

优化步骤为:1) 按原设计电路和选用器件,建立 EDA 仿真模型;2) 进行参数扫描,分析原设计参数下的 ΔV_{EB} 余量;3) 在 125 °C 和 40 V 输入电压下,以 $\Delta V_{EB} \geq V_{EBO}$ 为目标,分别优化 R_1 、 R_4 、 C_1 值;4) 按前述优化值分析其他参数的影响;5) 分析元件参数容差,反复迭代,确定各元件理论最优值^[9-10]。

通过上述 EDA 优化步骤后,将 R_1 由原来的 10 k Ω 降低至 5.1 k Ω , R_4 由原来的 6.8 k Ω 增大至 10 k Ω , C_1 由 510 pF 增大至 0.1 μ F。按优化后的元件参数,进行了三批次共超过 500 套产品的生产。结果表明,无一例失效,设计改进成功。

2.3 推荐设计流程

保护电路作为主电路中的子功能模块,通常被定义为设计保证,即生产过程不会像常规电参数那样经历多次检测验证。因此,在设计阶段需要进行充分的理论分析和实验验证,以保证自身的可靠性和可生产性。设计保护电路时,应遵循以下流程。1) 需求分析。开展需求分析,确定合适的保护工作模式(持续模式或中断模式、自恢复或重新上电恢复)。2) 拓扑选择。根据保护触发条件(物理量)及工作模式,确定基本线路,尽量选择简单可靠的线路。3) 功能验证。进行基本线路的功能性仿真验证,确保功能(含工作模式)满足预定要求。4) 线路优化。通过优化线路,选择最优的触发信号检测或识别电路,保证及时和有效地对触发信号进行检测,并满足全参数(温度及电信号)范围内设定的保护启动参数点或区间。5) 容差分析。对优化后的线路进行元件参数容差分析,基于容差分析结果,确定元件选型,并满足质量等级及应力降额要求。6) 可靠性分析与验证。利用容差分析方法(结合样品实物),进行评估验证,确认保护电路的自身抗干扰能力和环境适应能力,确保保护电路在各种可能的工作环境下不失效且能稳定可靠地工作^[11]。

功能验证、线路优化及容差分析需要进行反复迭代分析、优化和验证,应借助 EDA 工具进行。

3 结 论

本文对应用于电源组件中的保护电路工作在高温环境下误启动的原因进行了分析。分析后发现,保护电路误启动的原因为元件参数设计不合理,未充分考虑其他元件的寄生参数和温度特性,使得在上电时用于状态锁存的三极管出现了误开启,电路进入保护工作状态。本文利用 EDA 工具开展优化设计。结果表明,电路无一失效。本文研究并总结了基于 EDA 工具的保护电路的一般设计流程和关注重点,对于保护电路设计有参考价值。

参 考 文 献:

- [1] 姚晓平. 电子设备电源的保护电路设计 [J]. 电源世界, 2013(1): 34-37.
- [2] 强明辉, 丁磊, 骆国兴. 雷达电源保护电路设计 [J]. 现代电子技术, 2013, 36(10): 168-170.
- [3] 李云胜. 电源的截止型过流保护电路设计 [J]. 实验科学与技术, 2010, 8(1): 1-3.
- [4] 袁政, 薛超耀, 马任月, 等. 一种 DC/DC 转换器的短路保护电路设计 [J]. 电子科技, 2013, 26(7): 77-79.
- [5] 罗志聪, 黄世震. 一个高可靠性的短路保护电路设计及其应用 [J]. 电子设计工程, 2010, 18(10): 139-141.
- [6] 于月森. 本质安全型开关电源基础理论与应用研究 [D]. 中国矿业大学, 2012.
- [7] 朱坤峰. 一种用于双极电路 ESD 保护 SCR 结构研究 [D]. 重庆大学, 2009.
- [8] 陈禹哲. 三极管的结构与应用浅析 [J]. 科技资讯, 2016, 14(35): 63-65.
- [9] 夏述堰, 刘少强. 基于 Pspice9 电路参数优化设计 [J]. 自动化技术与应用, 2008(1): 106-108.
- [10] 陆冰, 裴东. 基于 Pspice 的电路容差分析方法 [J]. 兰州工业高等专科学校学报, 2005(1): 6-8.
- [11] 曾颖. 基于容差分析的电子电路可靠性评估方法及其应用研究 [D]. 电子科技大学, 2019.

一种支持 QoS 特性的 SpaceFibre 接口设计与实现

陈卫国, 任永杰, 董劭颖, 祁美娟, 王剑峰, 吴龙胜
(西安微电子技术研究所, 西安 710065)

摘 要: 为了满足航天星载系统中音视频、图像等多样化、复杂化业务数据的无冲突高速传输, 以及满足控制信息的实时处理, 并实现星载系统 SpaceWire-SpaceFibre 网络构建, 提出了一种支持服务质量(QoS)特性的 SpaceFibre 接口设计与实现方案。该 SpaceFibre 接口支持 SpaceFibre 协议和 SpaceWire 包层协议, 支持带宽预留、优先级和时隙调度 QoS 机制配置, 支持 64 个时隙和系统时隙同步更新, 可同时支持 4 种业务数据的无冲突和确定性传输, 带宽利用率达 90% 以上。

关键词: SpaceFibre; 虚拟通道; QoS

中图分类号: TN432; TN79

文献标识码: A

文章编号: 1004-3365(2020)02-0197-05

DOI: 10.13911/j.cnki.1004-3365.190684

Design and Implementation of a SpaceFibre Interface with Quality of Service Characteristics

CHEN Weiguo, REN Yongjie, DONG Shaoying, QI Meijuan, WANG Jianfeng, WU Longsheng
(Xi'an Microelectronic Technology Institute, Xi'an 710065, P. R. China)

Abstract: In order to meet the collision-free high-rate transmission of audio and video, images and other complicated data, to meet real-time processing of the key control information, and to implement SpaceWire-SpaceFibre networks construction in Spaceborne systems, a design scheme and implementation of SpaceFibre interface with QoS characteristics was presented. The realized SpaceFibre interface supported SpaceFibre standard, SpaceWire packet-layer protocol, bandwidth reservation, priority, and configuration of timeslot-scheduled QoS mechanism. The timeslot-scheduled QoS supported 64 timeslots and synchronous update of system timeslot. The collision-free and deterministic transmission of 4 kinds of service data could be implemented in SpaceFibre interface, with link bandwidth utilization-rate more than up to 90%.

Key words: SpaceFibre; virtual channel; QoS

0 引 言

随着航天科技应用领域的不断拓展, 星载系统处理数据呈现多样化、复杂化的趋势, 原星载 SpaceWire 总线已难以满足航天星载系统中音视频、图像等多样化、复杂化业务数据的大容量传输需求。基于此, STAR-Dundee 公司提出了 SpaceFibre 总线技术^[1-2]。

SpaceFibre 总线技术以实现星载系统载荷数据高速传输和控制信息的实时处理为目标, 可提供统一的用于连接传感器、数据处理单元、大容量存储器的基础架构, 可实现多用户、多任务、大数据量信息的传输、交互和处理, 可实现星载系统 SpaceWire-SpaceFibre 网络的构建, 已成为 ESA、NASA 的研究热点^[3-4]。STAR-Dundee 实施了 SpaceFibre 接口 IP 和交换器 IP 设计, 并进行了流片和组网验证^[5]。N. Matveeva 等人进行了 SpaceFibre 和

收稿日期: 2019-10-26; 定稿日期: 2019-11-26

基金项目: 总装新品资助项目(2018XJ0003)

作者简介: 陈卫国(1983—), 男(汉族), 河南开封人, 高级工程师, 从事高性能总线电路设计与研究。

时隙的快速更新,在系统层面上保证业务数据传输的确定性。

数据发送缓存控制及 QoS 控制逻辑单元框图如图 3 所示。

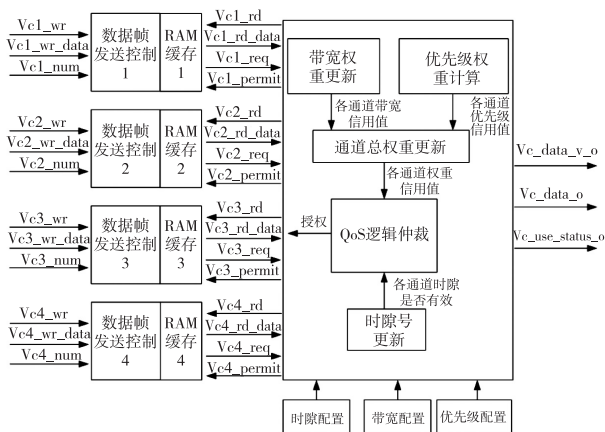


图 3 发送缓存控制及 QoS 控制逻辑单元

当 1 个输出虚拟通道中有数据需要发送时,且对端接收虚拟通道缓存具有足够的缓存空间来接收数据时,则发送端的输出虚拟通道缓存控制逻辑向 QoS 控制逻辑发出数据发送请求。QoS 控制逻辑根据各虚拟通道的优先级、带宽配置和时隙配置,来确定虚拟通道的数据发送权。在高优先权的虚拟通道请求数据发送时,如果低优先权的虚拟通道正在进行数据发送,则高优先权通道必须在低优先权通道完成当前数据帧传输后,再进行数据发送。在高优先权通道发送完数据后,低优先权通道继续发送剩余数据帧。

2.2.1 带宽预留机制

带宽预留机制是一种包含多个虚拟通道的链路数据发送保护机制,可实现链路带宽的优化利用。带宽信用是某个虚拟通道可以发送的数据量。带宽信用 r_{BC} 为:

$$r_{BC} = \sum_{Frames} r_{BA} - \frac{r_{UB}}{r_{EB}} \quad (1)$$

式中, r_{BA} 为带宽容量,即链路所能发送的数据总量; r_{UB} 为已使用带宽,即上次数据发送中链路所发送的数据量,对于发送数据的虚拟通道, r_{UB} 为发送数据量,对于未发送数据的虚拟通道, r_{UB} 为 0。 r_{EB} 为期望带宽,即各虚拟通道期望占用的链路总带宽的比例。

数据链路在完成 1 帧数据发送后,每个虚拟通道根据上述带宽信用更新机制,进行带宽信用值的更新^[1,8],然后确定下次链路中虚拟通道数据发送

次序。

如果某一虚拟通道长时间没有使用链路带宽,则它将具有较高的数据发送优先权。当这个虚拟通道发送完成 1 帧数据时,其优先权将降低;在一段空闲时间后,其优先权将再次升高。如果 1 个虚拟通道频繁使用链路带宽,则其数据发送优先权会明显降低。

为减少带宽信用计算所需硬件资源,本文设置了带宽信用最大和最小限额值,并设置最小带宽信用阈值(为最小限额值的 90%),以保证虚拟通道带宽占用的可靠性。一旦某个虚拟通道的带宽信用小于最小带宽信用阈值时,将在带宽占用状态寄存器中标记该状态。这表示,该虚拟通道实际使用带宽接近其期望带宽极限,需降低其优先权,以避免其继续占用带宽。虚拟通道带宽机制原理如图 4 所示。

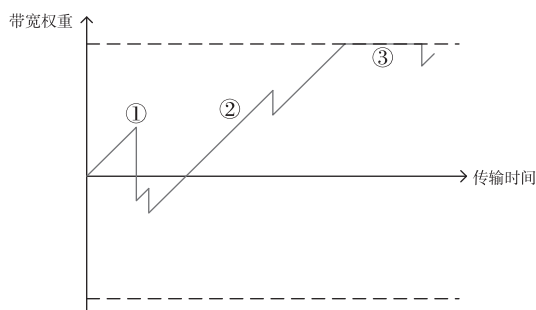


图 4 虚拟通道带宽机制原理示意图

当虚拟通道在位置 1 处发送数据后,其带宽权重将降低。随着链路的运行,其他虚拟通道占用链路进行数据传输,则该虚拟通道的权重进一步增加,如位置 2 处所示。如果带宽权重值进一步增加,且达到带宽信用最大限额值时,将启动虚拟通道空闲超时,如位置 3 处所示。如果虚拟通道带宽权重稳定在最大限额值的时间超过虚拟通道空闲时间,则说明该虚拟通道的带宽出现占用不足的状态,即虚拟通道在实际工作中数据传输所需要的链路带宽比预期带宽设置要小。为避免链路带宽浪费,主机需重新调整此虚拟通道占用带宽,以实现链路带宽的优化利用。

2.2.2 优先级机制

SpaceFibre 协议为链路的虚拟通道各分配一个优先级值,本设计支持四个优先级(优先级 0~3,0 为最高优先级),优先级最高的虚拟通道具有较高的链路使用优先权。

虚拟通道的优先权计算公式为:

$$R=2P \times (3-N)+P \quad (2)$$

式中, R 为虚拟通道优先权, N 为优先级级别, P 为带宽信用限额值, 优先级 3 的优先权为 P 。

在使用 SpaceFibre 接口的过程中, 如果四个虚拟通道的优先级设置为同一优先级, 则 QoS 按带宽预留机制进行仲裁; 如果四个虚拟通道的优先级设置为全不相同优先级, 则 QoS 首先按优先级机制进行仲裁; 其余情况则是优先级和带宽预留机制同时有效。

图 5 给出了四个虚拟通道设置为三个优先级时的 QoS 仲裁示意图, 其中两个虚拟通道设置为同一优先级。高优先级的虚拟通道数据发送总是优先于低优先级的虚拟通道, 除非高优先级虚拟通道的带宽信用达到了最低信用限额。这一机制可以防止高优先级的虚拟通道在失效时对链路带宽无效占用。

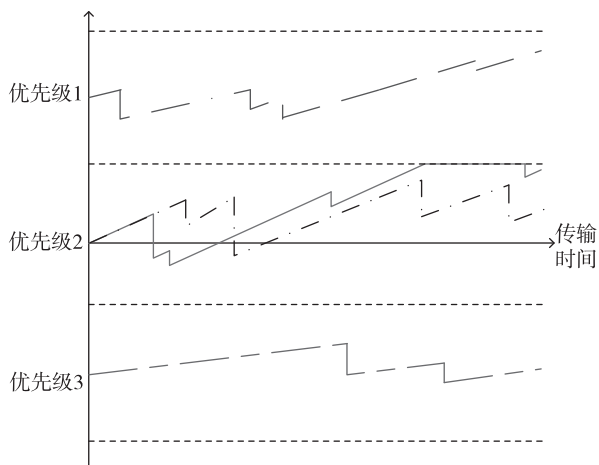


图 5 多优先级 QoS 机制原理示意图

2.2.3 时隙调度机制

为了保证 SpaceFibre 虚拟通道数据的确定性传输, 本文也设计实现了时隙调度机制功能。每个虚拟通道被分配于一个或多个时隙中, 虚拟通道只允许在被分配时隙中进行数据传输, 时隙持续时间默认值为 $100 \mu\text{s}$, 在 $100 \mu\text{s} \sim 16 \text{ ms}$ 范围内可配置^[1]。

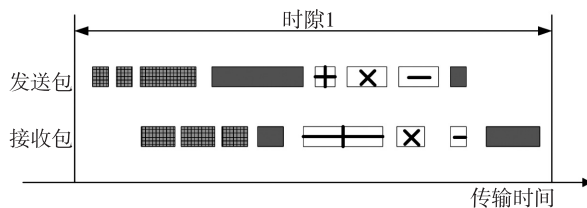
如果一个虚拟通道在某个时隙内允许发送数据, 则将根据优先级和带宽信用机制, 使该虚拟通道与其它在该时隙内允许发送的虚拟通道进行竞争。如果系统不希望使用时隙调度机制, 则可以将虚拟通道配置为在时隙调度表内每个时隙都允许数据发送, 即在任一时隙内允许所有虚拟通道发送数据, 则虚拟通道将基于优先级和带宽信用机制进行数据发送仲裁。

如果一个时隙只允许一个虚拟通道发送数据, 但其无数据发送, 则会造成链路带宽浪费。为了避免这种情况, 可在一个时隙内将关键虚拟通道给予高优先级, 其余虚拟通道配置为低优先级。这样当时隙到达时, 高优先级的虚拟通道将首先被允许发送数据, 如果其数据没有准备好, 则低优先级的虚拟通道可以先占用该时隙, 从而避免带宽闲置。

在一个复杂的网络系统中, 可以用时隙调度机制进行确定性数据传输, 而使用带宽预留和优先级机制进行非确定性传输, 如图 6 所示, VC1 和 VC2 代表确定性数据流量, 例如姿态和轨道控制系统、内控系统中的数据流量。确定性虚拟通道只允许在分配的时隙中发送数据, 从而确保数据的确定性传输。当分配的时隙出现时, 确定性虚拟通道可以首先发送所有数据, 当它不再有任何数据发送时, 其他虚拟通道可以基于带宽和优先级机制占用链路。

时隙	1	2	3	4	5	6	7	8
VC1(高优先级)	■				■			
VC2(低优先级)		■						
VC3	■	■	■	■	■	■	■	■
VC4	■	■	■	■	■	■	■	■
VC5	...	...	...	...	...	...	...	...
VC6	+	+	+	+	+	+	+	+
VC7	+	+	+	+	+	+	+	+
VC8	×	×	×	×	×	×	×	×

(a) 支持多优先级的时隙配置表



(b) 时隙 1 内不同虚拟通道的数据发送和接收

图 6 具有时隙调度和优先级机制的混合 QoS 机制示意图

QoS 机制可以解决虚拟通道的数据发送冲突问题, 进而可以实现不同业务数据的及时和确定性传输, 以及带宽的优化利用。链路带宽利用率可以达到 90% 以上, 数据处理等待延时为 2 个系统周期。同时支持时隙系统同步功能, 可以快速实现与系统时隙的同步更新。

QoS 机制也可以实现故障检测。当虚拟通道数据发送带宽小于预期配置时, 其带宽信用将有可能达到最大信用限额值。如果最大限额值稳定时间超过配置的虚拟通道空闲时间, 则意味着可能出现带宽占用故障。

当虚拟通道占用过多的链路带宽时,其带宽信用将持续下降,有可能将达到最小信用阈值,此时将向系统报告链路占用故障。主机系统评估其严重程度,并采取适当的措施实现链路重启和故障恢复。系统使用这一机制可以检测链路使用过程中的 Babbling-idiot 错误。

基于 SMIC 65 nm CMOS 工艺,项目组设计实现了支持 QoS 特性的 SpaceFibre 接口,其寄存器规模为 11 184 个,单元数为 49 938 个。集成了两个 SpaceFibre 接口,一个包括含 ECC 功能的 40 bit DDR3 的 SpaceFibre 控制器,最终的物理实现版图如图 7 所示。

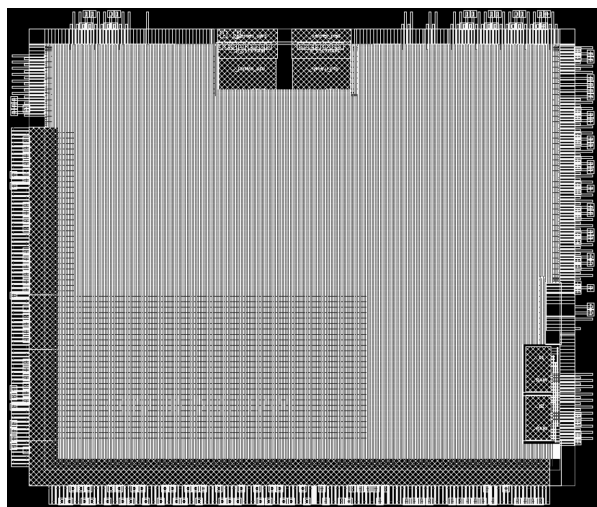


图7 集成了两个 SpaceFibre 接口的控制器实现版图

3 结 论

SpaceFibre 技术研究对于我国自主发展高性能空间高速总线、形成自主体系产品、打破航天数据传输技术发展瓶颈、实现星载系统信息网络标准化等具有重要的意义。为解决星载系统中多业务发送冲突问题,实现多业务无冲突和确定性传输及带宽的

优化利用,本文设计并实现了一种支持 QoS 特性的 SpaceFibre 接口。该接口支持双向、点对点数据传输,端口速率为 2.5 Gbit/s;支持四个虚拟通道传输,支持 QoS 服务机制。该 SpaceFibre 接口设计为实现星载系统 SpaceWire-SpaceFibre 数据网络构建提供了一种可行方案,在卫星、空间站及探测器等领域具有良好的应用前景。

参 考 文 献:

- [1] European cooperation for space standardization, SpaceFibre- very high-speed serial link [S]. ECSS-E-ST-50-11C, 2019-05-15.
- [2] FERRERFLORIT A, PARKS S, VILLAFRANCA A G, et al. SpaceFibre multi-lane [C] // Int SpaceWire Conf. Yokohama, Japan. 2016: 314-321.
- [3] 徐曙清,王震,董瑶海,等. SpaceWire 与 SpaceFibre 高速总线发展与研究 [J]. 上海航天, 2014, 31(1): 29-36.
- [4] SUESS M, PARKS S. Mix SpaceWire- SpaceFibre networks [C] // Int SpaceWire Conf. San Antonio, TX, USA. 2011: 25-32.
- [5] PARKS S, FERRERFLORIT A, VILLAFRANCA A G, et al. A radiation tolerant SpaceFibre interface device [C] // Int SpaceWire Conf. Gothenburg, Sweden. 2013: 123-128.
- [6] MATVEEVA N, SUVOROVA E, SHEYNIN Y, et al. QoS mechanisms in SpaceFibre and RapidIO [C] // Int SpaceWire Conf. Yokohama, Japan. 2016: 305-312.
- [7] 伊小素,王家兴,姜梦茹,等. SpaceFibre 星载网络服务质量实现研究 [J]. 宇航学报, 2019, 40(2): 207-214.
- [8] KIMMERY C. SpaceFibre virtual channels and flow control [C] // Int SpaceWire Conf. Nara, Japan. 2008: 33-40.

· 动态与综述 ·

高性能 A/D 转换器校准技术研究进展

赖 凡¹, 徐梓丞², 戴永红¹

(1. 中国电子科技集团公司 第二十四研究所, 重庆 400060; 2. 电子科技大学 格拉斯哥学院, 成都 611731)

摘 要: A/D 转换器(ADC)的校准技术是提高高性能 ADC 转换精度的必要手段,它分为模拟校准技术和数字校准技术。数字校准技术较之模拟校准技术更为有效和更具灵活性。数字校准技术是在数字域进行错误代码计算,减轻了对模拟电路的精度要求。在主流制造工艺小尺寸化的趋势之下,许多创新的校准技术得到发展,并广泛应用于包括射频直接采样 ADC 在内的高速高精度 ADC 中。本文在分析最新的高速高精度 ADC 中采用的主要校准技术的基础上,重点研究了几种高采样率高精度 ADC 所采用的校准技术,侧重分析了数字校准技术。

关键词: A/D 转换器; 模拟校准; 数字校准; 时间交织; 单通道校准; 通道间校准

中图分类号:TN79⁺2

文献标识码:A

文章编号:1004-3365(2020)02-0202-05

DOI:10.13911/j.cnki.1004-3365.200070

Research Progress of Calibration Technologies for High Performance A/D Converters

LAI Fan¹, XU Zicheng², DAI Yonghong¹

(1. The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing 400060, P. R. China;

2. Glasgow College, Univ. of Elec. Sci. and Technol. of China, Chengdu 611731, P. R. China)

Abstract: The A/D converters' (ADC) calibration technology was a necessary means to improve the accuracy of the A/D conversion, and it could be divided into analog calibration and digital calibration. Digital calibration technologies were more effective and flexible than analog calibration technologies. In digital calibration, the error code calculation was performed in the digital domain, so the accuracy requirements of analog circuits were alleviated. Under the trend of small size of mainstream manufacturing process, many innovative calibration techniques had been developed and widely used in the research of high speed, high precision ADCs, including radio frequency direct sampling ADCs were analyzed. Based on the analysis and research of the main calibration techniques used in the research of high speed and high precision ADCs in recent years, several high sampling rate and high precision ADCs were analyzed, and digital calibration technologies were emphasized.

Key words: A/D converter; analog calibration; digital calibration; time interleaving; single channel calibration; channel-to-channel calibration

0 引 言

高性能 ADC 主要指高采样率、高转换速度、高精度、低功耗等,其结构有以下几种实现方式:流水

线 ADC 及其对应的时域交织架构;基于 SAR 的流水线 ADC 及其对应的时域交织架构;基于 SAR 的时域交织架构。虽然通过时域交织架构可以实现很高的采样速度,但是其组成单元(包括单通组成单元、各个子 ADC(sub-ADC)组成单元)之间的失调、

收稿日期:2020-01-15;定稿日期:2020-02-20

作者简介:赖 凡(1963—),男(汉族),重庆北碚人,研究员,长期从事模拟集成电路技术研究工作。

徐梓丞(2000—),男(汉族),四川眉山人,大学生,研究方向为电子信息技术。

增益和时间的失配会限制整体的性能。随着商用ADC主流工艺逐渐采用28 nm、16 nm、14 nm节点,逐步减小的特征尺寸会降低开关电容电路的精度,并导致匹配性问题,而采样时间的失配则带来了更大的挑战。当输入信号频率很高时,采样时间的失配会极大地影响ADC性能。随着高性能ADC转换器技术的发展,多种校准技术不断出现和组合应用,不仅实现了ADC的射频直接采样,而且将高速ADC精度大幅提升至12位以上。

校准技术可分为模拟校准技术和数字校准技术。早期的设计人员倾向于使用误差平均、参考前馈、行走参考和比率独立等模拟校准方法。但是模拟校准技术增加了电路复杂度和模拟硬件,降低了功率效率。数字校准技术较之模拟校准技术更为有效和更具灵活性。数字校准技术在数字域进行错误代码计算,减轻了对模拟电路的精度要求。数字校准技术可在保证转换速率的基础上提高ADC的精度,涉及的方面主要包括比较器失调、运放增益误差、电容、电阻或通道失配。在校准时,若不中断ADC的正常工作,则称之为后台校准,否则称之为前台校准。

无线通信是高速高精度ADC的最主要应用领域。第五代移动通信(5G)中,峰值数据速率需大于10 Gbit/s,无线延迟小于1 ms。我国工信部的5G通信标准中,ADC的速度和精度分别达3.6 GS/s、12位^[1]。研究高速高精度ADC对无线通信技术具有重大意义和价值。

在ADC主流制造工艺小尺寸化的情况下,出现了许多创新的校准技术,制作出了许多新型高性能ADC。校准算法得到较大发展,并广泛应用于高精度射频ADC(RF ADC)中。ADI公司的高速高精度ADC研发小组采用相关校准技术^[2-4],开发了几种单通道流水线ADC,性能指标分别达到14位1 GS/s、14位2.5 GS/s、12位1.5 GS/s。

本文研究分析了近年来的高速高精度ADC样品或产品采用的主要校准技术。在此基础上,重点研究了几种高速高精度ADC所采用的校准技术。

1 几种数字校准新技术

安捷伦科技公司报道了一种时间交织后台校准技术,他们设计了数字动态线性校准器(DCL),实现了动态采样非线性校准,2阶、3阶动态谐波失真得到明显改善^[5]。该技术采用一个斜率估计有限单位

脉冲响应滤波器(FIR),估计输入信号的导数,通过DLC计算出信号及其导数的2阶、3阶乘积,再计算出动态线性校准值。对于200 MHz~1 GHz的输入信号,无杂散动态范围(SFDR)提高了8 dB。

德克萨斯大学奥斯汀分校、麻省理工学院和哈佛大学报道了采用0.18 μm CMOS工艺制作的11位20 MS/s流水线ADC。该ADC采用新颖的双模数字校准算法,可以一并校准由增益不足、增益非线性和电容失配引起的误差^[6]。特别是采用了一种低增益单级运算放大器,而没有采用传统的高增益多级运算放大器,使得ADC达到2.9 mW的总功耗,实现收敛所需的样本数为 1×10^5 (对应很短的收敛时间)。该校准方案可将信噪失真比(SNDR)从45 dB提升至60 dB, SFDR从50 dB提升至60 dB,品质因数(Figure-of-Merit)达到174 fJ/conv-step。

文献[7]为美国国防先期研究计划局(DARPA)的HEALICS计划资助项目。作者研究了时间交织ADC通道失配的模拟校准和数字校准方法,用于校准交织通道之间的失调失配、增益失配和采样时间误差。数字域校准技术使用了FIR滤波器^[8]。模拟域时间校准则采用了一种可变延迟线技术^[9-12]。实验结果表明,该ADC在输入频率超过500 MHz时,通过校准技术,将混叠成分降低到-75 dB。

法国STM公司研究了时间交织结构时钟偏移的一种后台校准技术^[13]。采用基于数字导数的时间不匹配估计方法,使得增益、失调和偏移的不匹配校准完全在数字域内完成。采用40 nm CMOS工艺,实现了12通道、嵌入式后台失配校准的时间交织9位、1.62 GS/s ADC,其交织杂散低于70 dBFS。

博通公司报道了一种比较器失调校准技术^[14],该技术用作满足所有不归零(NRZ)10 G以太网标准要求的数字信号处理(DSP)基带接收器的模拟前端。ADC的校准采用了共用8位DAC和嵌入在4个阵列中的5位DAC。ADC微架构可以对比比较器的顺序进行动态重新配置,缩小了所需比较器的失调调整范围。采用该算法及40 nm CMOS工艺,设计了一种6位10.3 GS/s Flash ADC。对于0~6 GHz信号带宽,该ADC的SNDR恒定在33~35 dB范围内。

2 RF ADC的校准技术

发展RF ADC旨在满足5G等无线网络对高带宽、高吞吐量和低延迟的要求。主要应用领域为无

线基站。RF ADC 的采样率通常超过 GS/s 的数量级,该 ADC 主要使用时间交织技术,因此,存在通道偏移、增益和相位/时间不匹配等问题。这些通道失配效应会产生杂散,需要采用校准技术来降低。虽然所有这些杂散需要校正到可接受的水平,但无线应用时,要特别注意失调失配。

2.1 数字校准技术

RF ADC 的设计需要利用多种数字校准技术,这些数字校准技术可分为单通道校准和通道间校准两类。以文献[15]为例。RF ADC 的设计方案如图 1 所示。该 ADC 采用了大量的数字校准技术。单通道校准环路的作用是对 ADC 通道进行线性化,这需要调整 DAC 电容值、残差放大器失调及增益、比较器失调等。所有这些调整最初都在前台中进行了快速启动校准。因为比较器失调和残差放大器增益对电压和温度敏感,所以采用支持性后台校准回路。前台校准会采样内部产生的共模电压,并将其直接用于校准比较器和残差放大器失调。对于其他误差校准,SAR DAC 在对电容校准时产生误差信号或在对残差放大器增益校准时产生基准电压。所有这些回路工作的本质均是将 ADC 后端的数字输出与所需要的结果进行比较,再调整模拟修调,以减少两者之差。文献[16]对前两级的比较器和两个残差放大器增益进行了后台校准。第三级比较器未在后台中校准,这是因为前面有残差放大器增益,输入参考失调漂移不会引起微分非线性(DNL)明显降低。

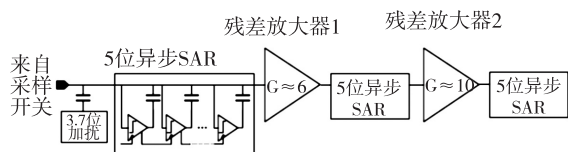


图 1 RF ADC 设计方案

通道间校准的目的是调整不同的通道信号之间的偏移、增益和时间偏斜。文献[15]实现了标准增益校准,对每个 ADC 通道的输出功率进行测量和数字调整,直至相互匹配。这需要修改偏移量和时差回路,以支持斩波架构。标准失调校准回路测量每个通道输出的平均值,再调整此平均值,直至相互匹配。

2.2 测试结果

该 ADC 采用 16 nm FinFET 工艺实现,总面积为 1.1 mm^2 ,包括数字校准和电源去耦电路。在 5 GS/s

采样率下,SFDR 和 SNDR 分别为 60.9 dB 和 55.3 dB。

3 高速高精度 ADC 的校准技术

3.1 采用 28 nm CMOS 工艺的 12 位 10 GS/s 交织式流水线 ADC

3.1.1 概述

ADI 公司 S. Devarajan 等人提出了一种 12 位 10 GS/s 交织式流水线 ADC,采用 28 nm CMOS 工艺制造^[17]。该 ADC 的 SNDR 达 55 dB,SFDR 达 66 dB,输入信号为 4 GHz,功耗为 2.9 W。采用八个流水线子 ADC 交织结构,最终达到 10 GS/s 的采样率。该 ADC 校准采用后台校准技术,还采用多种技术来降低流水线子 ADC 功耗。例如,避免使用(或少用)专用采样保持放大器,运用残差缩小、闪烁后台校准、加扰和级间增益误差后台校准等方法。采用高频线性优化的推挽输入缓冲器驱动交织的子 ADC,实现了 7 GHz 的带宽。采用快速开启自举开关,采样时间达 100 ps。该 ADC 具有随机化子 ADC 选择模式,能进一步减少残留交织杂散。

3.1.2 数字校准技术

该 12 位 10GS/s ADC 的结构框图如图 2 所示。流水线子 ADC 为相互交织结构,采样率达 10 GS/s。采用单个公共输入缓冲器,将输入信号 V_{IN} 加到八个子 ADC 上。八个子 ADC 的数字输出分别送至各自的子 ADC 数字校准模块,然后由该模块校准子 ADC 的误差。将经过单独校正的子 ADC 输出信号送入公共交织校准块,估计和校正子 ADC 之间的失配,如不校正则会产生失配声^[18-19]。所有估计和校正操作均在片上实现。一个差分时钟接收器由片下 10 GHz 时钟发生器驱动,时钟接收器的输出进入时钟生成电路。该时钟生成电路生成所有交织时钟相位,控制子 ADC 采样、闪存中的粗量化,以及乘法 DAC(MDAC)残差生成等工作过程。该 ADC 包括片上基准电压和偏置电流电路。

失调、增益和时序失配在后台进行校准,以确保良好的频谱指标。失调、增益失配可在数字域估算和校正。但是,对于时序不匹配,估计操作在数字域完成,校正操作却在模拟域完成。为单独估计时序偏斜,假设交织失调和增益失配已得到校准。如果所有子 ADC 在时间间隔相等的瞬间定时采样,那么子 ADC 与相邻子 ADC 的相关性的平均值是相同的。如果子 ADC 采样时间提前,则它与前面一

个样本的相关性更强,而与后一个样本的相关性更低。每个子ADC在输出和随后的采样之间执行相关运算。如果 $ADC[n]_{sub-ADC_M}$ 是取自第 M 个子ADC的第 n 个ADC的全部样本,则所关注的相关值为: $Corr_M = E(ADC[n]_{sub-ADC_M} \times ADC[n+1])$ 。其中, E 为期望值或均值。

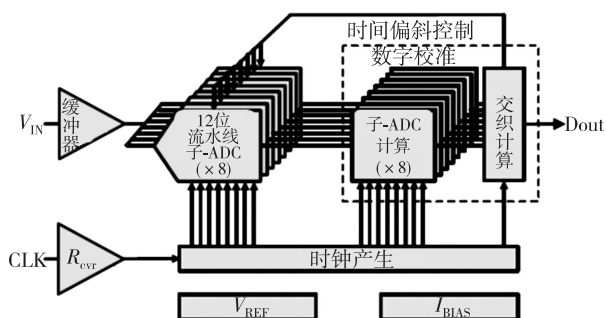


图2 12位10 GS/s ADC结构框图

将其中一个子ADC作基准,则其他子ADC的定时偏斜会基于它们与基准相关的差值,通过一个后台工作的连续采样样本平均递归数字反馈回路进行定时调整^[20]。这种时间失配校正可以通过FIR滤波器,采用数字校准技术实现。但即使在28 nm CMOS这样的先进工艺中,具有10 fs时间分辨率的滤波器的功耗也大大高于模拟偏斜校正技术。而模拟校准可用电容式数模转换器(DAC)加上时钟驱动器来完成^[21]。

3.2 采用16 nm FinFET工艺、时间交织斩波校准的13位5 GS/s ADC

在文献[22-23]的ADC校准中,采用采样开关斩波技术从输入信号里提取通道失调信号,以降低通道闪烁噪声效应。但是,斩波开关的失调和时间偏移限制了性能。赛灵思(Xilinx)公司的校准中,综合使用斩波和加扰技术,以降低失调和时间偏移。该校准技术应用于一种13位5 GS/s时间交织ADC^[24],降低了交织效应的闪烁噪声,并增加了ADC对输入信号特征的免疫能力。该ADC采用增强的失调和时间偏斜校准算法,最大程度地提高了有非理想采样开关存在时的性能。在5 GS/s采样率下,该ADC的功耗为641 mW,SFDR和SNDR分别为62 dB和57 dB。在输入幅度降至-20 dBFS时,可保持第一奈奎斯特频带上的SFDR优于70 dBc。此外,3.7位伪随机二进制序列(PRBS)加扰在采样后注入,然后从数字域移除,进一步清洁了存在小信号功率情况下的频谱。

3.3 采用后台校准和加扰的14位2.5 GS/s和5 GS/s RF采样ADC

文献[25]提出了一种14位2.5 GS/s非时间交替流水线ADC。通过相关的后台校准技术,校正了级间增益、动态稳定性、反冲和存储错误。采用在输入端注入一个大的扰动信号的方法,将ADC驱动器上的非线性反冲回去。再注入另一个大的扰动信号,以反冲流水线上其他残留的非线性。为了校正老化对比较器的影响,采用了新的后台校正技术,以校正比较器的失调。采用28 nm CMOS工艺,制作了两个2.5 GS/s时间交织流水线ADC,具有可选交织模式,片上的两个ADC经过时间交织,获得一个14位5 GS/s ADC。在芯片上实现了失调和增益不匹配后台校准,以及两通道定时不匹配的固定校准。

3.4 冗余级推导新算法,提高增益误差校准精度

国内不少机构致力于校准技术研究。电子科技大学报道了一种应用于1 GS/s采样流水线RF ADC的后台数字校准技术^[26]。针对伪随机(PN)序列可进行增益校准,但会内生噪声,限制了校准精度。该文献提出了一种增加冗余级以减小噪声影响、提高增益误差校准精度的新算法,明显减少了后续级的增益误差。该文献设计并实现了12位1 GS/s采样流水线RF ADC。结果表明,在1 GS/s采样率下,校准后,SNDR达66.6 dB,ENOB为9.72位。

4 结束语

对采用低节点工艺制作的ADC进行校准是必要的,校准对高速ADC的精度提高尤为重要。除了采用误差平均、参考前馈和比率独立等模拟校准技术外,ADC的失配、跨导效率、噪声等性能的改善可采用数字校准技术来实现。组合使用模拟校准技术和数字校准技术可取得良好效果。通过采用先进数字校准技术,不仅可以降低节点工艺制作的ADC推向射频直接采样,而且可达到更高的有效精度,从而满足无线基站应用对高速、高精度、高带宽的更高要求。

参考文献:

- [1] 贺文伟. 超高速折叠插值ADC关键技术的研究与设计[D]. 东南大学, 2017.
- [2] ALI A M A, DINC H, BHORASKAR P, et al. A

- 14-bit 2.5 GS/s and 5 GS/s RF sampling ADC with background calibration and dither [C] // IEEE Symp VLSI Circ. Honolulu, HI, USA. 2016: 1-10.
- [3] ALI A M A, DINC H, BHORASKAR P, et al. A 14 bit 1 GS/s) RF sampling pipelined ADC with background calibration [J]. IEEE J Sol Sta Circ, 2014, 49(12): 2857- 2867.
- [4] DEVARAJAN S, SINGER L, KELLY D, et al. A 12-b 10-GS/s interleaved pipeline ADC in 28-nm CMOS technology [J]. IEEE J Sol Sta Circ, 2017, 52 (12): 3204- 3218.
- [5] SETTERBERG B, POULTON K, RAY S, et al. A 14 b 2.5 GS/s 8-way-interleaved pipelined ADC with background calibration and digital dynamic linearity correction [C] // IEEE ISSCC. San Francisco, CA, USA. 2013: 466-468.
- [6] SUN N, LEE H S, HAM D. A 2.9-mW 11-b 20-MS/s pipelined ADC with dual-mode-based digital background calibration [C] // IEEE Proc ESSCIRC. Bordeaux, France. 2012: 269-272.
- [7] RAZAVI B. Design considerations for interleaved ADCs [J]. IEEE J Sol Sta Circ, 2013, 48 (8): 1806-1817.
- [8] JAMAL S M, FU D H, CHANG N C J, et al. A 10-b 120-Msample/s time-interleaved analog- to -digital converter with digital background calibration [J]. IEEE J Sol Sta Circ, 2002, 37(12): 1618-1627.
- [9] HUANG C C, WANG C Y, WU J T. A CMOS 6-bit 16-GS/s time-interleaved ADC using digital background calibration techniques [J]. IEEE J Sol Sta Circ, 2011, 46(4): 848-858.
- [10] EL-CHAMMAS M, MURMANN B. A 12-GS/s 81-mW 5-bit time-interleaved flash ADC with background timing skew calibration [J]. IEEE J Sol Sta Circ, 2011, 46(4): 838-847.
- [11] WANG C Y, WU J T. A background timing-skew calibration technique for time-interleaved analog-to-digital converters [J]. IEEE Trans Circ Syst II: Expr Bri, 2006, 53, (4): 299-303.
- [12] STEPANOVIC D, NIKOLIC B. A 2.8-GS/s 44.6-mW time-interleaved ADC achieving 50.9 SNDR and 3-dB effective resolution bandwidth of 1.5 GHz in 65-nm CMOS [C] // IEEE Proc Symp VLSI Circ. Honolulu, HI, USA. 2012: 84-85.
- [13] LE DORTZ N, BLANC J P, SIMON T, et al. A 1.62 GS/s time-interleaved SAR ADC with digital background mismatch calibration achieving interleaving spurs below 70 dBFS [C] // IEEE ISSCC. San Francisco, CA, USA. 2014: 386-387.
- [14] VERMA S, KASAPI A, LEE L M, et al. A 10.3 GS/s 6 b flash ADC for 10 G Ethernet applications [C] // IEEE ISSCC. San Francisco, CA, USA. 2013: 462-464.
- [15] VERBRUGGEN B, VAZ B, ERDMANN C, et al. Next-generation ADCs, high-performance power management, and technology considerations for advanced integrated circuits [M]. New York: Springer, 2019: 91-105.
- [16] VERBRUGGEN B, IRIGUCHI M, DE LA GUIA SOLAZ M, et al. A 2.1 mW 11 b 410 MS/s dynamic pipelined SAR ADC with background calibration in 28 nm digital CMOS [C] // IEEE Symp VLSI Circ. Kyoto, Japan. 2013: 268-269.
- [17] DEVARAJAN S, SINGER L, KELLY D, et al. A 12-b 10-GS/s interleaved pipeline ADC in 28-nm CMOS technology [J]. IEEE J Sol Sta Circ, 2017, 52 (12): 3204-3218.
- [18] VOGEL C. The impact of combined channel mismatch effects in time-interleaved ADCs [J]. IEEE Trans Instrum Measurem, 2005, 54(1): 415-427.
- [19] CHOI J S, LEE K. Design of CMOS tapered buffer for minimum power-delay product [J]. IEEE J Sol Sta Circ, 1994, 29(9): 1142-1145.
- [20] WANG Y T, RAZAVI B. An 8-bit 150-MHz CMOS A/D converter [J]. IEEE J Sol Sta Circ, 2000, 35 (3): 308-317.
- [21] STRAAYER M Z, BALES J, WANG X J, et al. A 4 GS/s time-interleaved RF ADC in 65 nm CMOS with 4 GHz input bandwidth [C] // IEEE ISSCC. San Francisco, CA, USA. 2016: 464-465.
- [22] JAMAL S M, FU D H, HURST P J, et al. A 10-b 120-Msample/s time-interleaved analogto-digital converter with digital background calibration [C]//IEEE ISSCC. San Francisco, CA, USA, USA. 2002: 157-159.
- [23] JANSSEN E, DORIS K, ZANIKOPOULOS A, et al. An 11 b 3.6 GS/s time-interleaved SAR ADC in 65 nm CMOS [C] // IEEE ISSCC. San Francisco, CA, USA. 2013: 464-465.
- [24] VAZ B, VERBRUGGEN B, ERDMANN C, et al. A 13 bit 5 GS/s ADC with time-interleaved chopping calibration in 16 nm FinFET [C] // IEEE Symp VLSI Circ. Kyoto, Japan. 2018: 99-100.
- [25] ALI A M A, DINC H, BHORASKAR P, et al. A 14 b 1 GS/s RF sampling pipelined ADC with background calibration [C] // IEEE ISSCC. San Francisco, CA, USA. 2014: 482-483.
- [26] PENG X Z, SHI S S, BAO Q Q, et al. A 1 GSPS RF sampling pipelined ADC with novel background digital calibration [C]. IEEE Int MTT-S. Kyoto, Japan. 2018: 257-259.

GaN 功率器件栅驱动电路技术综述

冯旭东, 胡 黎, 张 宣, 明 鑫, 周 琦, 张 波

(电子科技大学 功率集成技术实验室, 成都 610054)

摘 要: 第三代宽禁带半导体 GaN 晶体管具有低导通阻抗、低寄生参数和更快的开关速度, 有望取代传统 Si MOSFET, 成为未来高性能电源系统实现方案。GaN 器件的优势在 400 V 以上高压系统中更为明显, 可以实现更高的开关频率和功率密度, 显著提高系统的转换效率, 特别适合电源模块小型化发展趋势。介绍了 200 V 以下低压 GaN 驱动电路的应用和关键技术。分析了从低压系统拓展到 400 V 以上高压系统时需要作出的优化与改进。详细介绍了高压 GaN 系统中基于无磁芯变压器耦合隔离的隔离驱动技术和耗尽型 GaN 负压栅驱动技术。最后, 总结了目前高压 GaN 驱动电路在工业领域的具体应用。

关键词: 低压 GaN 驱动; 高压 GaN 驱动; 无磁芯变压器隔离; 耗尽型 GaN; 负压栅驱动

中图分类号: TN323+.4

文献标识码: A

文章编号: 1004-3365(2020)02-0207-07

DOI: 10.13911/j.cnki.1004-3365.190220

Overview of GaN Power Device Gate Driving Circuit Technology

FENG Xudong, HU Li, ZHANG Xuan, MING Xin, ZHOU Qi, ZHANG Bo

(Power Integration Technology Lab, University of Electronic Science and Technology of China, Chengdu 610054, P. R. China)

Abstract: The third generation wide bandgap semiconductor GaN transistors are expected to replace the traditional Si MOSFET as the high performance power system implementation in the future because of its low on-resistance, less parasitic parameter and high switch speed. The advantages of GaN devices are more obvious in high voltage (HV) system over 400 V. GaN devices can achieve higher switching frequency and power density, significantly improve the HV system efficiency, and are especially suitable for the trend of miniaturization of power supply modules. The applications and key technologies of low voltage GaN system under 200 V were introduced firstly, then the optimizations in HV system were analyzed. In view of the applications of HV system, the isolated drive technology based on the coupling isolation of coreless transformer and the d-mode GaN negative voltage gate drive scheme were introduced in detail. Finally, the applications of HV GaN systems in industry were summarized.

Key words: low voltage GaN drive; high voltage GaN drive; coreless transformer isolation; d-mode GaN; negative voltage gate drive

0 引 言

近年来, 数据存储、5G 通信、无线传输及快速充电产业飞速发展, 业界对更高功率密度变换器的需求随之增长。从 1993 年 M. A. Khan 等人发表关于 GaN HEMT 工艺制造的文章到现在, 在高速高

功率密度的电子应用领域, 以第三代宽禁带半导体 GaN 为材料的功率器件已成为主流选择。

表 1 列出几种 Si MOSFET 与 GaN 器件的参数对比^[1-6]。可以看出, GaN 器件有着更高的击穿电压、更小的 $R_{ds(on)}$ 和 Q_G , 这意味着 GaN 器件能实现更高的转换效率和可靠性。GaN 器件中, 将极化效应产生的二维电子气(2DEG)作为载流子, 以实

收稿日期: 2019-04-17; 定稿日期: 2019-05-28

基金项目: 国家重点研发计划资助项目(2017YFB0402800)

作者简介: 冯旭东(1995—), 男(汉族), 辽宁沈阳人, 硕士研究生, 研究方向为功率集成电路。

现沟道导通。相比 Si MOSFET, GaN 器件的迁移速率高出 2 倍以上, 且 2DEG 可以实现沟道双向导通, 无反向恢复时间, 器件工作频率可以提升至少 20 倍, 工作速度更快^[1]。另外, GaN 器件的阈值电压 V_{th} 和上限栅源电压 $V_{gs, max}$ 均较低。死区时间内无反向导通的寄生体二极管在高 di/dt 和 dV/dt 下存在更加明显的寄生效应^[1]。因为 GaN 器件与 Si MOSFET 存在这些物理差异, 应用时, 不能简单地通过 GaN 器件替代 Si 功率器件来实现驱动电路重构。

表 1 几种 Si MOSFET 和 GaN 器件关键参数对比

器件名称	类型	$V_{th}/$ V	$R_{ds, on}/$ m Ω	$Q_G/$ nC	$Q_{RR}/$ nC
IRFS4020PbF	200 V Si MOS	3.0	85	18	280
EPC2010C	200 V E-GaN	1.4	18	3.7	0
IPB60R099P7	600 V CoolMOS	3.5	99	45	2 100
IGO60R070D1	600 V E-GaN	1.2	70	5.8	0
PGA26E07BA	600 V GIT	1.2	56	5	0

1 200 V 以下低压 GaN 驱动电路应用及其关键技术

1.1 48~12 V DC-DC 中间总线转换电路应用

48~12 V 中间总线转换电路 (Intermediate Bus Converter, IBC) 可用于汽车电子领域。目前, 汽车中大多数电动机均采用标准 12 V 供电系统。汽车的电动起止、涡轮增压、LED 仪表和电动门锁等系统均采用 12 V 电动机来驱动。

Data Center 供电系统主要集中在 48~12 V 的 IBC 应用。为减小供电系统的 SWaP (Size Weight and Power), IBC 的工作频率一般在 MHz 量级。由于带载为大型服务器, IBC 的输出功率一般在 300 W 以上。相比于传统 Si MOSFET, 在功率级采用 GaN 器件, IBC 的功率密度提高 50%, 功率损耗降低 40%, 系统损耗降低 15%, 满足低功耗下高速大功率栅驱动应用要求。

1.2 宽压输入、低占空比的汽车电子供电应用

汽车电子系统由电源 V_{IN} 供电, 启动过程经历冷车发动和负载转储阶段, 具体如图 1 所示。冷车发动时, V_{IN} 可低至 3 V。负载转储阶段, 电压浪涌可达 42~60 V。对于新型汽车电源, 后续搭载的 ADAS 系统需要一个或多个低压轨, 电压范围横跨 0.82~10 V。通常, 汽车电子的开关频率应避免开

AM 频段 (540~1 600 kHz), 而典型应用下栅驱动开关频率一般在 2 MHz 以上, 因此, GaN 器件可以发挥其性能优势。大转换比应用 (如 42 V 输入 0.82 V 输出) 时, 栅驱动电路工作频率在 500 kHz 以下, 占空比非常小, 上管开启时间很短, 导致栅驱动电路的传输延时不能太长。

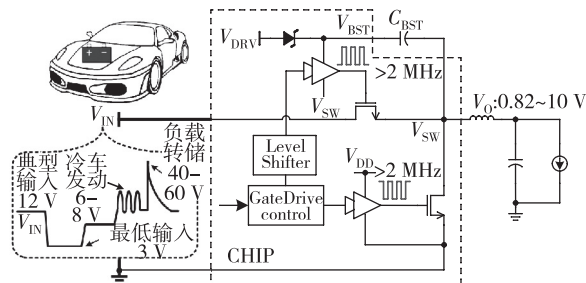


图 1 汽车电子应用示意图

1.3 HPA 高速大功率供电应用

脉冲雷达系统在信号传输中需要快速开关大功率放大器 (HPA), 典型输入电压在 28~50 V, 传输延迟为 10 ns^[7], 具体如图 2 所示。脉冲雷达对输出脉冲调制信号过冲、振铃等现象的控制要求较高。因此, 功率级采用 GaN 器件。GaN 器件较小的栅极寄生电容可以减小电路传输延迟, 极大地缓解因控制信号延迟造成的容性负载过冲现象。

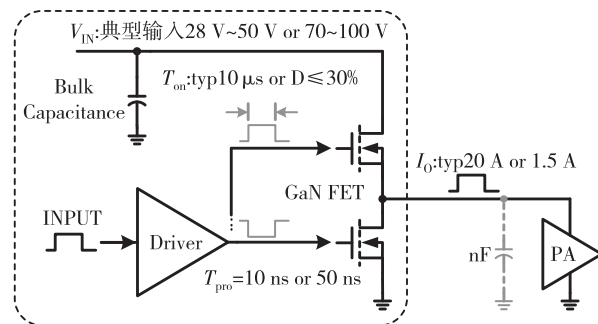


图 2 HPA 高速大功率供电需求

图 2 中, PA 可等效为一个 nF 量级的容性负载。因此, 与 Buck 电路相比, 用 PA 来供电不存在电感续流过程。在 SW 点电压被拉高至 V_{IN} 或拉低至 GND 之前, GaN 器件均处于饱和区, 会以很大的饱和区电流对 PA 充放电。功率级器件始终处于硬开关工作条件, 产生很大的开关损耗。因此, 对于 HPA 供电应用, 功率级器件如何实现高效率和高功率密度尤为重要。

1.4 低压 GaN 驱动电路的关键技术

考虑到 GaN 器件与 Si MOSFET 的物理差异, 以及低压 GaN 驱动电路在上述几种典型应用中面临的问题, 需要在传统 Si MOSFET 驱动电路的基础上对

示。数字隔离器中,通过内部绝缘介质构成的共模噪声隔离带来隔离高频开关节点产生的共模噪声,

可以将其等效为一个电容。前级电路(Chip1)的相对电源和地分别为 V_{CC1} 和 GND_1 , 次级电路(Chip2)的相对电源和地分别为 V_{CC2} 和 GND_2 。电源欠压解锁后,前级编码电路将 MHz 量级的 PWM 信号编码为一个 GHz 量级的高频信号,通过隔离带耦合传输到次级的译码电路,解码恢复为与初始输入信号相同频率的 PWM 信号。数字隔离器通过耦合作用传输信号,不改变输出信号的电压幅值,根据前级和后级电路参考地(GND_1 和 GND_2)所接电位不同(如 GND_1 接芯片地, GND_2 接半桥电路开关节点 HS),可以实现输出信号相对于输入信号的电平移位。

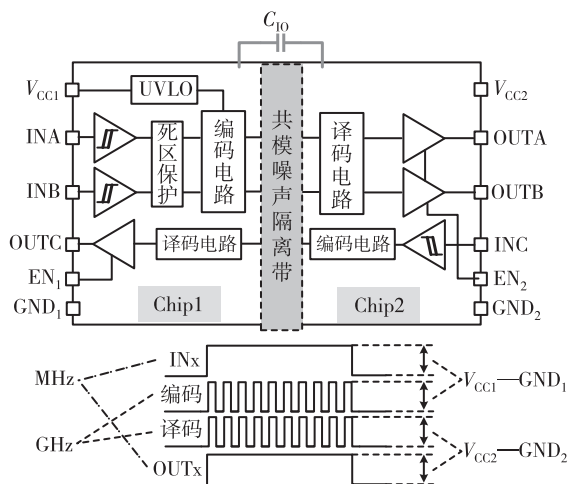


图4 双通道双向传输的数字隔离器

3.1.2 数字隔离器的隔离结构

如图5所示,数字隔离器采用的隔离结构主要有两种^[16]。一种是电容耦合(Capacitance Coupling)隔离结构,如 TI 公司的 ISO7831 和 Silicon Lab 公司的 Si827x 系列。另一种是无磁芯变压器(Coreless Transformer)隔离结构,如 ADI 公司的 ADuM210N。两种隔离结构均可以较好兼容当前的 CMOS 工艺,可以实现片上全集成。

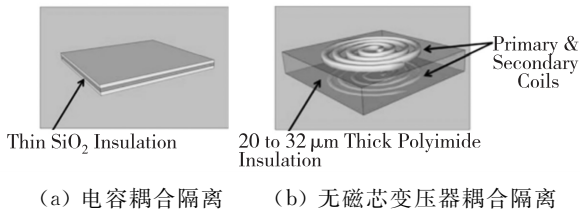


图5 隔离结构

电容耦合隔离结构实际上为一个平板电容器,中间采用 SiO_2 作为绝缘的隔离介质。无磁芯变压器隔离结构采用厚膜高分子聚酰亚胺材料作为绝

缘的隔离介质,隔离介质上下两侧分别为变压器的初级和次级线圈。当初级线圈处传来一个脉冲电流,通过线圈产生一个很小的局部磁场,耦合到次级线圈来激发脉冲电流,以此实现信号通过隔离带的传输。由于脉冲电流脉冲宽度很短,整个传输过程的平均电流很小,实现了低功耗工作。

无磁芯变压器耦合隔离结构的信号传输性能并不受限于变压器线圈之间的距离,而电容耦合隔离结构则需要考虑两个极板之间的距离。因此,相比于电容耦合隔离结构,变压器耦合隔离结构可以通过增加绝缘介质的厚度来实现更高的隔离性能,而且具有更长的使用寿命。

3.1.3 无磁芯变压器耦合隔离结构

ADI 公司基于 iCoupler® 技术的数字隔离器就是由高带宽片上无磁芯变压器结合 CMOS 工艺技术实现的。iCoupler® 技术利用 CMOS 半导体制造工艺,在片上集成了一个微型变压器。变压器的初级和次级线圈均由 CMOS 工艺金属走线制作的螺旋线构成。采用高分子绝缘介质材料制作共模噪声隔离带,提供电隔离。两种技术的融合为数字隔离器提供了高稳定性、小尺寸、低功耗、高速和高精度等优良性能。无磁芯变压器初级和次级线圈绕组分别连接接收芯片(Receiver IC)和传输芯片(Transmitter IC),如图6所示。接收芯片通过磁耦合,接收来自传输芯片的脉冲激励,实现信号的 T/R 传输。微型变压器可以做在其中任意一块 IC 上,其位置不会影响功能。

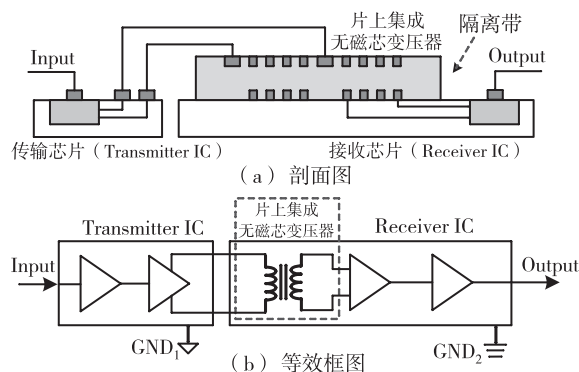


图6 无磁芯变压器耦合隔离结构

3.1.4 数字隔离器中信号传输方式

光电二极管耦合方式通过 LED 的开关来编码“0”和“1”两种状态,通过光电转换来实现信号通过隔离带的传输。但是,若传输状态“1”时,LED 会一直保持开启,系统会持续产生功耗。iCoupler® 数字隔离器采用更加先进的编-译码方式来实现数据的

高效传输,即单端数据传输和差分数据传输^[17]。这两种传输方式都以 PWM 信号的上升/下降沿作为触发,将其编码为脉冲信号,通过变压器传输到接收端,如图 7 所示。因为电路只在信号的上升/下降沿触发,不会持续产生功耗,所以相比于光电耦合传输方式,数字隔离器能大大降低系统功耗。

单端数据传输中,变压器初级绕组的一端接地。传输芯片将 PWM 信号的上升沿编码为两个连续脉冲,将下降沿编码为单个脉冲,脉冲激励相对于地面始终为正极性。隔离介质材料另一侧的接收芯片根据接收到的脉冲激励个数来确定 PWM 的边沿,进而解码重构输出信号。

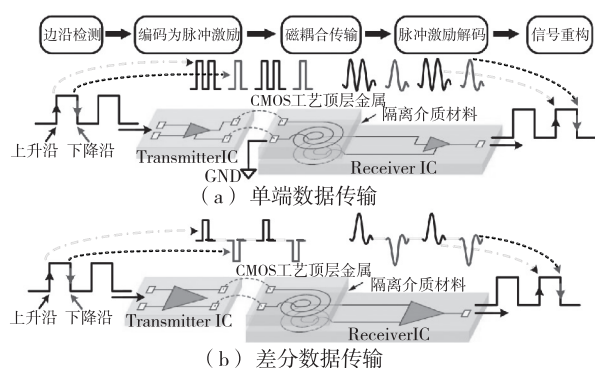


图7 数据高效传输方式

差分数据传输的传输芯片为全差分结构,将 PWM 信号的边沿分别编码为正/负极性的脉冲激励,且仅发送单个脉冲。接收芯片也为全差分结构,根据接收到的脉冲激励极性来确定输出信号的上升沿与下降沿。

单端数据传输方式的优点主要在于低数据传输速率下功耗更低。而在高吞吐速率下,差分数据传输方式具有更低的功耗。因为接收芯片只需要根据脉冲极性判断上升/下降沿,不需要确定是单个还是两个脉冲。另外,与单端系统相比,差分系统具有更小的传播延迟,接收芯片中的全差分结构还会抑制隔离系统中普遍存在的共模噪声干扰,显著提高数字隔离器的瞬态共模噪声抑制能力(CMTI)。

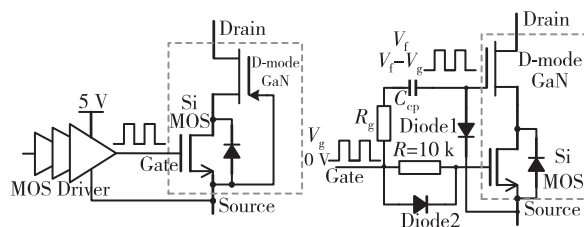
3.2 耗尽型 GaN 栅驱动技术

对于总线电压在 400 V 以上的高压应用,E-mode GaN 器件因阈值电压小,存在严重的可靠性问题。在相同尺寸条件下,耗尽型 GaN 器件可以达到更低的导通阻抗。但是,作为常开型器件,在 V_{gs} 为 0 时,耗尽型 GaN 器件因存在 2DEG 沟道而导通,通常需要在耗尽型 GaN 的源极串联一个低压

MOSFET 来实现常关特性。

3.2.1 栅-源串联驱动技术

图 8(a)所示为传统栅-源串联驱动方式。GaN 栅极与 Si MOSFET 源极相连,MOSFET 栅极受驱动信号控制。栅-源串联驱动方式本质上是直接驱动 Si MOSFET,驱动方式简单,可以采用传统的 Si 基驱动方案。但在每个周期内,仍需开关 MOSFET,因此,仍然存在 Si 体二极管带来的反向恢复损耗。另外,栅-源串联的连接形式导致 MOSFET 的输出电容 C_{oss} 中包括 GaN 的 C_{gs} ,大大增加了 MOSFET 的开关损耗,降低了系统效率。



(a) 传统栅-源串联驱动

(b) 电荷泵负压栅驱动

图8 栅驱动技术

3.2.2 电荷泵负压栅驱动技术

Toshiba 公司提出一种耗尽型 GaN 电荷泵负压栅驱动方案,解决了栅-源串联驱动方案存在的损耗问题^[18]。图 8(b)所示为耗尽型电荷泵负压栅驱动方案。功率级 GaN 漏端接总线电压(400 V)。在初始态, Gate 端输入电压 V_g 为 0 V,此时 Si MOSFET 保持关断状态,其漏源电压 V_{ds_Si} 上升。当 V_{ds_Si} 超过 $|V_{th_GaN}|$ 后,即 GaN 的栅源电压低于 $-|V_{th_GaN}|$ 时, GaN 反向阻断。因此,初始态下, GaN 和 Si MOSFET 均为关断状态。

在开启状态, $V_g = 15$ V。通过二极管 Diode2 迅速将 Si MOSFET 栅极电压充电至 $(15 - V_f)$ V, V_f 为 diode 压降,则 Si MOSFET 为导通状态,此时通过 R_g 给 GaN 栅极充电。由于二极管 Diode1 的箝位作用, GaN 栅极电压最终只会上升到 V_f (低于 1 V),可以保证 GaN 安全开启, C_{cp} 两端电压最高为 $V_g - V_f$ 。关断状态下, $V_g = 0$ V,此时 C_{cp} 左极板被拉至 0 V。由于电容电压不能突变,右极板电压此时为 $-(V_g - V_f)$,近似为 -14 V,低于耗尽型 GaN 阈值电压(约 5 V),可以完全关断 GaN。此时, Si MOSFET 栅极通过栅电阻 R 放电。 R 很大,放电速度很慢。在关断状态, Si MOSFET 的栅电压还不能放电至阈值电压以下,因此, Si MOSFET 仍然保持开启状态。

采用耗尽型 GaN 电荷泵负压栅驱动方案时,正

常工作下,只有 GaN 有开关动作, MOSFET 保持常开状态,相当于直接对 GaN 栅极进行驱动控制,不再存在 Si MOSFET 管的开关损耗和反向恢复损耗,在高压高频应用中可以达到更高的系统效率。除了降低系统损耗,该方案还可通过改变 R_g 来控制 GaN 的开启速度,进而控制半桥应用中节点 SW 的 dv/dt 斜率。同时, GaN 功率管关断时, GaN 管栅极电压可以比阈值电压低约 5 V,在高频高压应用中可以大大提高栅极 dv/dt 抗扰能力,避免误开启。

4 400 V 以上高压 GaN 驱动电路应用

输入总线电压上升到 400 V 以上时,功率级器件的开关损耗和导通损耗会随着总线电压的上升而增大。对于高压 Si MOSFET 器件,器件寄生效应会比低压 MOSFET 器件更严重。因此在高压应用中,相对于 Si MOSFET,功率级使用 GaN 器件在速度和效率上的优势更加明显。目前,600 V 的增强型 GaN 晶体管已经商业化,逐渐替代 Si MOSFET,被广泛应用于半桥 Buck 电路、PFC、LLC 等主流电路,以实现高频、高效率及高功率密度的电压变换。

4.1 AC-DC 一次电源架构

图 9 所示为高压 GaN 器件在 AC-DC 电源转换电路中的应用^[19]。AC-DC 电源供电链在输入端对 AC 电源进行功率因数校正(PFC),将 85~265 V 的 AC 电源转换为 400 V 的 DC 电源。第二级采用 LLC 谐振变换拓扑,将 400 V DC 高压降压为 36~60 V 的 DC 低压。通常将 PFC+LLC 称为一次电源,而将其后续 DC/DC 转换器称为二次电源。

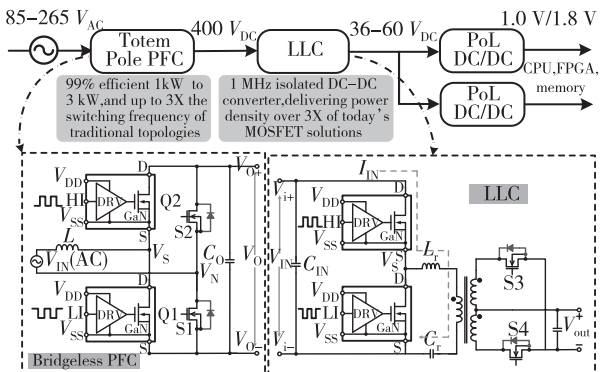


图 9 AC-DC 电源供电系统

图腾柱 PFC 是最高效的电路拓扑。1 kW GaN 无桥 PFC 转换效率可达 99.2%,且 LLC 谐振变换

器可以实现原边 GaN 功率管的 ZVS 开启,采用 GaN 方案的一次电源系统的功率密度是目前 MOSFET 方案的 3 倍以上。因此, PFC+LLC 的电源供电系统在未来高压高功率密度的电源研究发展中有着非常大的优势,可大大降低电路损耗,减小体积,降低综合成本,提高功率密度和转换效率等。

4.2 AC-DC 适配器应用

移动电子设备需要高效率和高功率密度的通用适配器。目前,快速充电适配器支持 5~20 V 输出电压,输出功率高达 65 W,功率密度可达 1.83 W/cm³。

图 10 所示为一种 AC-DC 适配器快速充电系统拓扑^[20]。系统采用准谐振反激式变换器拓扑,可以实现超过 94% 的效率。初级侧芯片集成了高压 GaN FET 和驱动电路。次级控制芯片具有检测反馈和同步整流驱动功能。由次级侧芯片到初级侧芯片的反馈方式采用封装引线框和键合线构成的磁耦合反馈机制(Fluxlink)。系统输入端 V_{in} 接入由 220 V 市电转换的 DC 电源(约 311 V)。初级侧功率器件进行准谐振时, V_{sw} 可能高达 650 V,需要采用 650 V 高压 GaN 器件作为功率级。另外,在 V_{ds} 电压宽范围变化时, GaN 器件的 C_{oss} 变化很小,有利于准谐振拓扑应用。

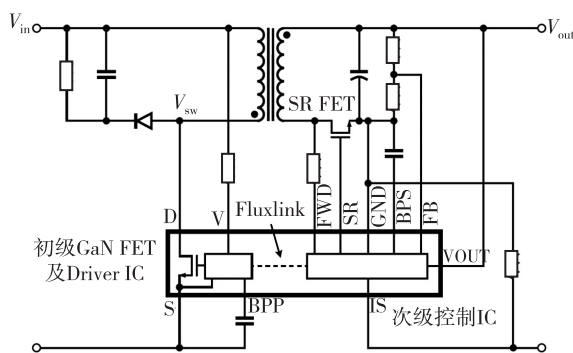


图 10 AC-DC 适配器快速充电系统拓扑

5 结论

本文首先对比了 GaN 管与传统 Si MOSFET 的物理特性,根据具体应用需求,引出了设计低压 GaN 驱动电路的关键技术。当应用拓展到 400 V 以上的高压系统时,低压驱动方案在传输延时、 dv/dt 抗扰、系统损耗和可靠性等方面均不能满足高频高压 GaN 栅驱动电路的应用。针对高压 GaN 驱动电路中开关节点的高 dv/dt 带来共模噪声串扰问

题,重点介绍了基于无磁芯变压器耦合隔离技术的隔离驱动技术。典型情况下, dv/dt 抗扰能力可以达到 100 V/ns ,传输延时在 20 ns 内,同时可以较好地兼容 CMOS 工艺,实现片上全集成,具有优异性能和可靠性。最后,本文介绍了一种耗尽型 GaN 负压栅驱动方案,可以解决传统栅-源串联驱动方案中开关损耗大的问题,并在高压驱动应用下保证良好的栅极 dv/dt 抗扰能力,非常适合高频高压高功率密度的电压转换应用。

参考文献:

- [1] LIDOW A, STRYDOM J, REUSCH D, et al. GaN transistors for efficient power conversion [M]. 2nd ed. Aliso Viejo: Efficient Power Conversion Corporation, 2015: 2-12, 19-38.
- [2] INFINEON. IRFS4020PbF datasheet [EB/OL]. <https://www.infineon.com/dgdl/irfs4020pbf.pdf?fileId=5546d462533600a401535636d48b218a>, 2009-5-15/2019-4-26
- [3] INFINEON. IGO60R070D datasheet [EB/OL]. https://www.infineon.com/dgdl/Infineon-IGO60R070D1-DS-v02_01-EN.pdf?fileId=5546d46265f064ff016685f053216514, 2018-10-12/2019-4-26
- [4] INFINEON. IPB60R099P7 datasheet [EB/OL]. https://www.infineon.com/dgdl/Infineon-IPB60R099P7-DS-v02_01-EN.pdf?fileId=5546d4625ee5d4cd015f2a8704aa0489, 2018-5-15/2019-4-26
- [5] EPC. EPC2010C enhancement mode power transistor [EB/OL]. <https://www.epc-co.com/epc/Products/eGaNfETs/EPC2010C.aspx>, 2018.
- [6] Panasonic. PGA26E07BA datasheet [EB/OL]. https://industrial.panasonic.com/content/data/SC/ds/ds4/PGA26E07BA_E.pdf, 2017.
- [7] TARANOVICH S. Enhancing the inefficiency of an RF power amp: the envelope tracking (ET) system. [EB/OL]. <https://www.edn.com/design/power-management/4422469/Enhancing-the-inefficiency-of-an-RF-power-amp-The-envelope-tracking-ET-system>, 2013.
- [8] 明鑫, 张宣, 周琦, 等. 增强型 GaN 功率器件栅驱动技术设计考虑 [J]. 电力电子技术, 2017, 51(8): 75-78.
- [9] WU T. Cdv/dt induced turn-on in synchronous buck regulators [EB/OL]. <http://citeseerx.ist.psu.edu/viewdoc/download;jsessionid=9CEDDCC41A6FE52F09BDE8DA77D7AC88?doi=10.1.1.176.7250&rep=rep1&type=pdf>, 2010.
- [10] MING X, ZHANG X, ZHANG Z W, et al. A high-voltage half-bridge gate drive circuit for GaN devices with high-speed low-power and high-noise-immunity level shifter [C] // IEEE 30th Int Symp Power Semicond Dev & ICs. Chicago, IL, USA. 2018: 355-358.
- [11] KE X, SANKMAN J, CHEN Y, et al. A 10 MHz 3-to-40 V VIN tri-slope gate driving GaN DC-DC converter with 40.5 dB μ V spurious noise compression and 79.3% ringing suppression for automotive applications [C] // IEEE Int Sol Sta Circ Conf. San Francisco, CA, USA. 2017: 430-431.
- [12] KE X, MA D B. A 3-to-40 V VIN 10-to-50 MHz 12 W isolated GaN driver with self-excited t_{dead} minimizer achieving 0.2 ns/0.3 ns t_{dead} , 7.9% minimum duty ratio and 50 V/ns CMTI [C] // IEEE Int Sol Sta Circ Conf. San Francisco, CA, USA. 2018: 386-388.
- [13] KE X, SANKMAN J, SONG M K, et al. A 3-to-40 V 10-to-30 MHz automotive-use GaN driver with active BST balancing and VSW dual-edge dead-time modulation achieving 8.3% efficiency improvement and 3.4 ns constant propagation delay [C] // IEEE Int Sol Sta Circ Conf. San Francisco, CA, USA. 2016: 302-304.
- [14] ZHANG W, HUANG X, LEE F C, et al. Gate drive design considerations for high voltage cascode GaN HEMT [C] // IEEE APEC. Fort Worth, TX, USA. 2014: 1484-1489.
- [15] ZHANG Y, ZHU J, SUN W, et al. A capacitive-loaded level shift circuit for improving the noise immunity of high voltage gate drive IC [C] // IEEE 27th Int Symp Power Semicond Dev & IC's. Hong Kong, China. 2015: 173-176.
- [16] KRAHAUER D. 数字隔离器剖析 [EB/OL]. https://www.analog.com/media/cn/technical-documentation/tech-articles/MS-2234_cn.pdf, 2011.
- [17] CARR D. 差异数据传输:有何区别 [EB/OL]. https://www.analog.com/media/cn/technical-documentation/tech-articles/differential_data_transfer_cn.pdf, 2012.
- [18] Texas Instruments. AC-to-processor: powering tomorrow's datacenters with TI GaN [EB/OL]. <http://www.ti.com/lit/sg/slyt717/slyt717.pdf>, 2017.
- [19] Power Integrations. InnoSwitch3-Pro data sheet [EB/OL]. <https://ac-dc.powerint.cn/design-support/product-documents/data-sheets/innoswitch3-pro-data-sheet/>, 2018.
- [20] KOYAMA M, IKEDA K, TAKAO K. Novel cascode GaN module integrated a single gate driver IC with high switching speed controllability [C] // 20th Europ Conf Power Elec & Applic. Riga, Latvijas Republika. 2018: 1-8.

硅基异质集成技术发展趋势与进展

武俊齐, 赖 凡

(中国电子科技集团公司 第二十四研究所, 重庆 400060)

摘 要: 目前主流的异质集成技术有单片异质外延生长、外延层转移和小芯片微米级组装。硅基异质集成主要是指以硅材料为衬底集成异质材料(器件)所形成的集成电路技术。它首先在军用微电子研究中得到重视,并逐渐在民用领域扩展。硅基异质集成技术正处于芯片级集成向晶体管级集成的发展初期,已有关于晶体管级和亚晶体管级集成的报道。本文重点研究了单片三维集成电路(3D SoC)、太赫兹 SiGe HBT 器件、超高速光互连封装级系统(SiP)、单片集成电磁微系统等硅基异质集成技术前沿,展现了硅基异质集成技术的发展趋势,及其在军用和民用通信、智能传感技术发展中所具有的重要意义。

关键词: 硅基异质集成; 3D SoC; 光互连 SiP; 太赫兹 SiGe HBT 器件; 电磁微系统

中图分类号: TN405

文献标识码: A

文章编号: 1004-3365(2020)02-0214-05

DOI: 10.13911/j.cnki.1004-3365.190756

Trends of Silicon-Based Heterogeneous Integration Technologies

WU Junqi, LAI Fan

(The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing 400060, P. R. China)

Abstract: The current mainstream heterogeneous integration technologies include monolithic hetero-epitaxial growth, epitaxial layer transfer and microchip-level assembly. Silicon-based heterogeneous integration mainly refers to the integrated circuit technology formed by integrating heterogeneous materials (devices) with a silicon material as a substrate. It has first gained attention in military microelectronics research, and gradually expanded in the civilian field. Silicon-based heterogeneous integration technology is in the early stages from chip-level integration to transistor-level integration. There have been reports on transistor-level and sub-transistor-level integration. This article focused on the frontiers of silicon-based heterogeneous integration technologies such as monolithic three-dimensional integrated circuits (3D SoCs), terahertz SiGe HBT devices, ultra-high-speed optical interconnect package-level systems (SiP), and monolithic integrated electromagnetic microsystems. It showed the development trend of silicon-based heterogeneous integration technology and its significance in the development of military and civilian communications and intelligent sensing technology.

Key words: silicon-based heterogeneous integration; 3D SoC; optical interconnect SiP; terahertz SiGe HBT device; electromagnetic microsystem

0 引 言

一项新技术常常是在军事领域得到先期发展,然后在民用领域获得广泛应用。以硅基异质集成为主流的异质集成技术也是这样发展起来的。美国国

防部高级研究计划局(DARPA)于 20 世纪 90 年代末率先提出了异质集成(Heterogeneous Integration)技术的概念。根据应用需要,其制造技术可分别采用小芯片微米级组装、单片异质外延生长、外延层转移等不同工艺方法,以实现异质芯片或晶体管的互连。例如,CMOS 处理器实现芯片和存

收稿日期:2019-07-01;定稿日期:2019-09-10

基金项目:模拟集成电路国家重点实验室基金资助项目(614280205030517)

作者简介:武俊齐(1964—),男(汉族),四川石棉人,高级工程师,从事微电子技术情报研究及期刊出版工作。

存储器芯片在一个衬底上集成;不同晶体管直接互连,采用层间通孔(ILV)互连技术,把碳纳米管场效应晶体管(CNTFET)、硅基晶体管和阻变存储器(RRAM)通过3D异质集成技术集成到一个硅晶圆上^[1-5]。

微系统是异质集成技术的主要应用领域之一,硅器件较III-V族化合物器件具有更低的击穿电压。目前硅工艺尺寸节点已缩减到极致,单位面积集成的晶体管数可以高于多种化合物4个数量级,但其Johnson品质因数(Johnson's figure of merit,即晶体管截止频率与击穿电压的乘积)也要低一个数量级^[6],所以将两者集成在一起以提高器件集成度、击穿电压和频率特性是自然而然的想法,这样可满足5G无线应用、汽车雷达、传感器和毫米波等应用要求。作为超越摩尔定律发展的重要途径之一,异质集成技术已从多种不同材质芯片的二维/三维集成,发展到在同一衬底上外延集成具有多种材料和结构的器件。国外在单片异质集成方面的研究多集中在硅基CMOS和III-V族器件的异质集成。可以利用二者的各自优势在单芯片上集成射频、混合信号CMOS器件、MEMS/NEMS器件、光电/电光转换器件等,实现各种无线和光电片上子系统^[7]。麻省理工学院已经研制出真正意义上的单片3D SoC样品,实现了不同晶体管的片上直接互连。异质集成目前的普遍问题主要有量产成品率较低、芯片散热能力有限、可靠性较差等。

1 硅基异质集成向晶体管级-亚晶体管级集成发展

DARPA勾画出了异质集成的发展方向^[8],如图1所示。在从阵列向单元级、块级集成发展的过程中,异质集成的成份逐渐增多,最后实现异质晶体管与晶体管(例如硅晶体管与碳纳米晶体管)直接集成,甚至亚晶体管级(晶体管内部)异质集成。可以异质集成的晶体管或器件有:硅和非硅晶体管、射频/模拟电子系统中应用的双极器件(SiGe和III-V族HBT)、MEMS/NEMS等机械量检测器件、光电/电光转换器件等。

硅基异质集成向晶体管级-亚晶体管级集成已有初步进展。美国劳伦斯伯克利国家实验室于2016年利用二硫化钼沟道、二氧化锆栅介质和SiO₂/Si衬底上的单壁碳纳米管(SWCNT)制成了栅极长度为1 nm的晶体管^[9],实现了准亚晶体管级异质集成。目前硅基异质集成正在多个方向上酝

酿重大突破。

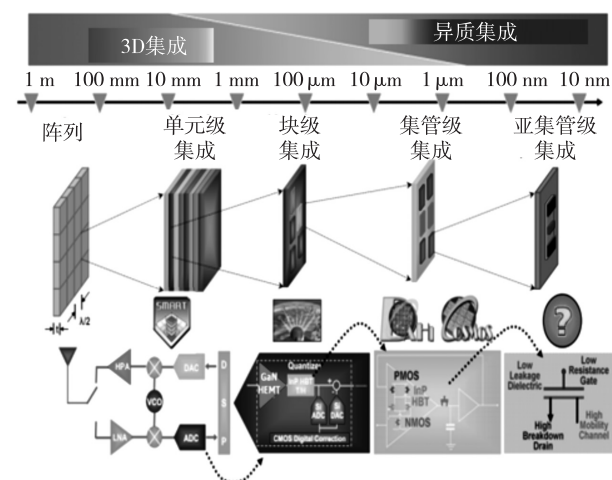


图1 DARPA提出的三维集成和异质集成技术路线

2 单片3D SoC达到新阶段

受DARPA电子复兴计划(ERI)资助,由美国麻省理工学院(MIT)Shulaker教授领导的“新兴集成电路”研究团队首次把CNTFET、硅基晶体管和RRAM通过3D异质集成工艺整合到了一个硅晶圆上^[10],该成果验证了单片3D集成的可行性,其目标是利用旧工艺制造出与目前最先进的技术所制造出来的芯片相媲美的芯片。

2.1 单片3D SoC的技术细节

这是一种新兴的晶体管级集成工艺,它在单片3D SoC中将CNTFET和RRAM构建在普通CMOS逻辑芯片之上^[11]。采用了SkyWater公司的90 nm工艺。该工艺是一种晶体管级集成的单片3D集成技术,它是直接在芯片同一基板上的前一电路层上制作下一个电路层,各层之间采用层间通孔(ILV)互连,每层器件之间的间距可以达到局域互连的尺度。

这种高密度垂直互连可以通过在厚度为10 nm的极薄硅衬底上制造顶层晶体管来实现,它有别于TSV(硅穿孔)模块化封装集成。CNTFET和RRAM适合低温制造,具有实现更高器件密度的潜力,是目前实现单片3D集成的最佳技术。未来的3D IC有望能实现更小的特征尺寸,从而实现更高的性能。

2.2 最新进展和最终目标

MIT研究团队继续推进这项研究。2017年SkyWater科技代工厂将200万个CNTFET和100万个RRAM存储单元构建在一个硅片之上,并通过层与层之

间密集排列的金属连接线将它们连接在一起,制成一个用于酒精嗅探的多层电子鼻 SoC,如图 2 所示^[11]。

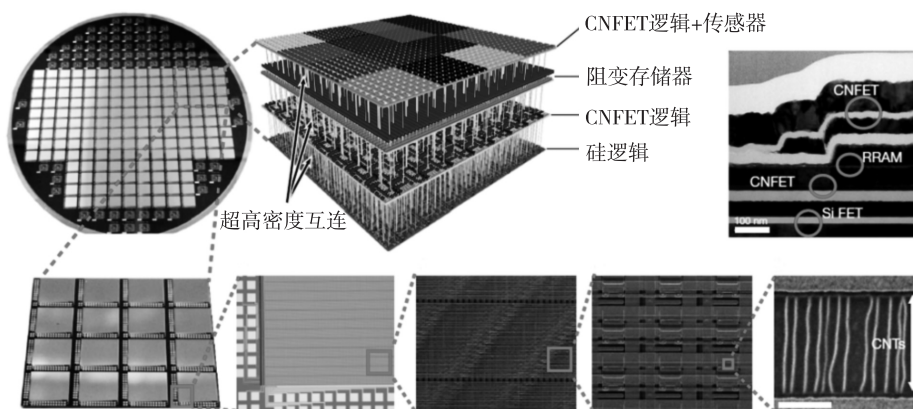


图 2 单片 3D IC 多层结构示意图

在 DARPA 电子复兴倡议 2019 年峰会上,MIT 展示了最新进展。项目包括采用 CNTFET 实现的复杂数字 ASIC、多层 CNTFET 等 3D SoC 架构、在 SkyWater 科技代工厂制作的 CNTFET、RRAM 及校准工艺设计包。

项目最终目标是让使用 90 nm 半导体特征尺寸的 3D IC 系统与现在使用最先进 7 nm 工艺的芯片相比,具有 50 倍的能效(PaP)优势。项目启动已有 1 年多的时间,但 5 年后项目运行结束时,DARPA 想要做到的是制造具有 5 000 万个逻辑门的芯片和 4 G 字节的非易失性存储器,电路逻辑层之间互连密度达到每平方毫米 900 万个,总互连数据率达 45 Tbit/s,互连能效比达到 2 pJ/bit。但目前这种碳纳米管 3D IC 还处于学术研究阶段。

2.3 影响意义

3D SoC 肩负着 DARPA“利用密集的细粒度的单片 3D 集成技术变革计算系统”的使命,可实现边缘计算和智能化处理,满足物联网、可穿戴设备对芯片多样化的需求。随着研究的进一步推进,碳纳米管 SoC 将首先在可穿戴生命体征传感器、成像传感器等领域获得商业化应用,以后会在军事和工业领域有更广泛的应用。

3 SiGe HBT 迈向太赫兹领域

近年来,欧洲通过 DOTSEVEN 计划开发出最高振荡频率($f_{\max}$)高达 700 GHz 的 SiGe 异质结双极晶体管(HBT),为 SiGe HBT 在军民领域打开广阔的应用空间^[12]。DOTSEVEN 通过 0.1 至 1 THz 范围内的基准电路和系统应用,清楚地展示出了 CMOS 技术的可制造性和集成度,以及 0.7 THz

SiGe HBT 技术的功能和优势。DOTSEVEN 联盟的主要目标是改善并进一步加强欧洲在 SiGe HBT 工艺技术、建模和 SiGe HBT 推动的毫米波应用方面的领先优势,从而在全球竞争中保持领先地位。

3.1 向太赫兹频段发展

太赫兹技术是一个新兴领域,已显示出广泛的应用潜力。预计第六代移动通信技术(6G)将可能使用太赫兹频段的器件。大量研究已经确定了许多有吸引力的应用领域,并且为广泛使用太赫兹系统铺平了技术道路。太赫兹技术的发展目前处于关键阶段,太赫兹应用最紧迫的挑战之一是为日常应用开发出具有高成本效益的、小型和高效的太赫兹信号源和接收器,SiGe BiCMOS 是重要可选技术之一。在此背景下,DOTSEVEN 计划继续推动完全集成的高性价比太赫兹电子解决方案,其核心技术就是 SiGe BiCMOS。一些应用领域如图 3 所示。

3.2 军事应用价值

SiGe 技术是 DARPA 电子复兴计划自适应电子技术(ART)项目的重要研究内容。ART 的 SiGe 技术将开发一种可重置的射频前端,该电路覆盖 30 GHz 及以上频谱范围,能够识别、接收和发送该频率范围内 100 多种军用和商用波形。该项目寻求在一个封装中实现上述的所有功能,封装后的电路要比现有硬件具备更小的体积、重量和功耗。项目还寻求开发一个前端电路,该电路可用于检测和识别特定谱域波形的完整波形灵敏信道和模拟传感信道。电路采用 TowerJazz 公司的商用 180 nm SiGe-on-SOI BiCMOS 工艺制作。承包商 BAE 公司在 2016 年就已经做出两代 MATRIC 芯片,每代芯片都包含 4 个 1~20 GHz 微波组成单元(MW)、4 个直流到 6 GHz 射频/基带单元(RF/BB)、2 个

0.01~20 GHz 可配置频率发生器(CFG)。2018 年 DARPA 的相关资料显示, SiGe BiCMOS 仍然作为其异质集成的最佳培育技术之一。

4 硅光子技术

硅光子技术是基于硅材料, 利用现有 CMOS 工

艺进行光器件开发与集成的新一代通信技术。硅光子技术的核心理念是“以光代电”, 将光学器件与电子元件整合到一个独立的微芯片中, 激光用作信息传导介质, 以提升芯片间的连接速度。随着流量的持续爆发, 芯片层面的“光进铜退”将是大势所趋, 硅光子技术有望实现规模商用化^[13-14]。

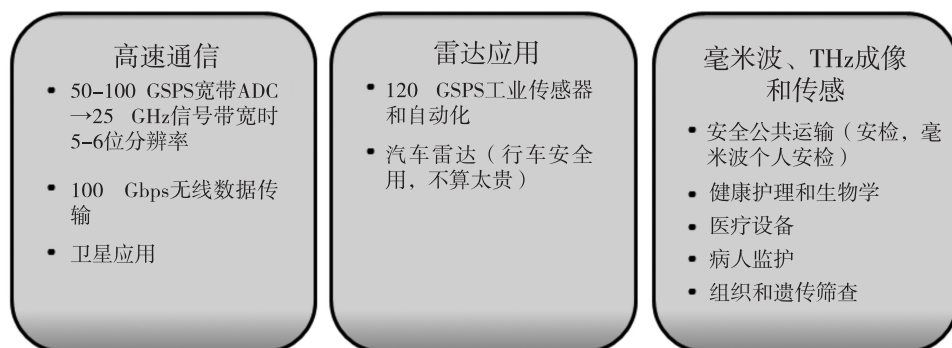


图3 毫米波和太赫兹应用简图

硅光子技术的主要目标是实现封装级超高速光互连。虽然系统级、电路板级光子收发模块已经可以通过光纤实现长距离、高带宽、低损耗的光子通信, 但当数据在光子收发器和先进集成电路之间传输时, 就会出现瓶颈, 这极大地限制了系统的整体性能。

解决通信领域这一瓶颈的关键技术途径是, 通过微缩技术将芯片之间的光互连从系统、电路板级向芯片封装内部甚至芯片本身内部扩展, 这是光学互连技术发展的路线图, 预计采用封装级互连最高可以达到 1 Pbit/s (1 024 Tbit/s) 量级数据传输速度, 可将并行计算通信速度提升至前所未有的高度。目前世界一流企业正在推进在封装内实现光互连。成本、带宽密度和功率效率三要素是每一级推进必须面临的重大挑战。

近十年来, Intel 公司是硅光子的主要推动者, 一直坚持将硅光子连接作为数据中心的分解计算、存储等的愿景方案。Intel 公司在 2019 年宣布其光子产品进入批量出货阶段。针对 400 Gbit 市场研制出 400 Gbit QSFP-DD DR4 收发器。从 25.6 Tbit 或 51.2 Tb 交换机芯片开始, Intel 公司的混合封装光器件已开始商业化。

Intel 公司在 300 mm 硅晶圆上集成了 InP 光源, 该技术回避了硅激光器发光效率低的缺点(硅基光器件目前只有硅激光器尚未实用化), 而将硅器件用作调制及其他功能。Intel 公司解决方案的最大特点就是可以进行大规模的工艺处理。除了

集成激光器、探测器和调制器等器件外, 它还有一大关键优势, 即在硅衬底上可以刻蚀需要的无源元件, 并在硅片上进行紧密的耦合封装。

Intel 方案中, 硅芯片上集成激光器的方案是将芯片与交换机 ASIC 混合封装。Intel 将在 2020 年上半年展示其混合封装方案。Intel 和合作伙伴 Ayar 实验室联合开发的光 I/O 芯片和 PFPGA 集成方案如图 4 所示^[15]。此外还提出了基于下一代 45 nm CMOS 技术平台的未来硅光子实现方案。

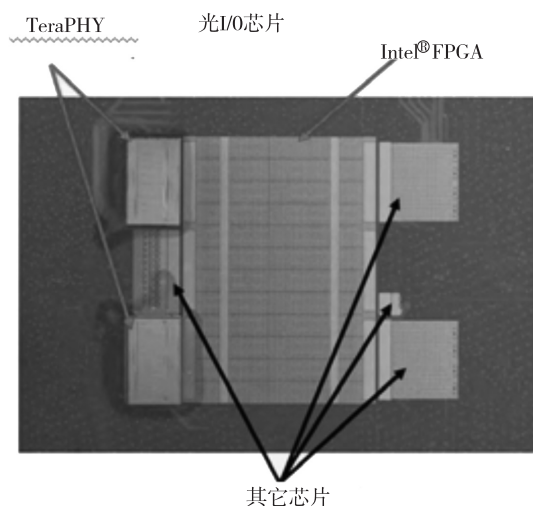


图4 Ayar实验室和Intel集成光I/O芯片和PFPGA

5 单片集成电磁微系统

DARPA 启动了“磁性、小型、单片集成器件”

(M³IC)技术研发计划^[16],拟实现环形器和隔离器等磁性器件的小型化,以及与晶体管和电容器等微电子器件的集成。该计划的主要目标是研发出具备更大能力的电磁微系统,实现雷达和其他射频系统领域的芯片级创新,以及为日益拥挤的军民频谱应用带来更大的灵活性。

2016 年 4 月,DARPA“商业时标阵列”项目提出一个开创性的设计方案,使用硅集成电路最常用的 CMOS 制造工艺,首次实现了环形器的微型化,以及与标准硅集成电路的单片集成。

6 结束语

未来微电子、光电子及智能微系统技术将沿着小型化、集成化和智能化的方向发展。这种发展趋势对异质集成技术提出了巨大的需求,异质集成也将为后摩尔时代微电子技术的发展开辟一条全新的道路。在保持原有器件和工艺尺寸的基础上,发展异质材料和器件集成技术,实现单一芯片的功能多样化,特别是可实现光电、微能源、模拟、射频、无源器件、MEMS 器件的单芯片集成微系统具有重大意义和实用价值。硅基集成电路技术所具有的成熟度、产业和应用的优势,奠定了其作为异质集成技术主要技术之一的地位。从目前发展态势观察,未来单片硅基异质集成技术很有可能发展成为一种“超越摩尔定律”的微电子主流技术。

参考文献:

- [1] WORDEMAN M, SILBERMAN J, MAIER G, et al. A 3D system prototype of an eDRAM cache stacked over processor-like logic using through-silicon vias [C] // ISSCC. San Francisco, CA, USA. 2012.
- [2] KO C T, YANG H, LAU J H, et al. Feasibility study of fan-out panel-level packaging for heterogeneous integrations [C] // IEEE 69th Elec Compon & Technol Conf. Las Vegas, NV, USA. 2019: 14-20.
- [3] ABDOMEROVIC I, PALMER W D, WATSON P M, et al. Leveraging integration: toward efficient linearized all-silicon IC transmitters [J]. IEEE Microwave Magaz, 2014, 15(3): 86-96.
- [4] TURNER S E, STUENKEL M E, MADISON G M, et al. Direct digital synthesizer with 14 GS/s sampling rate heterogeneously integrated in InP HBT and GaN HEMT on CMOS [C] // IEEE Radio Freq Integr Circ Symp. Boston, MA, USA. 2019: 115-118.
- [5] MENG F Y, DISNEY D, LIU B, et al. Heterogeneous integration of GaN and BCD technologies and its applications to high conversion-ratio DC - DC boost converter IC [J]. IEEE Trans Power Elec, 2019, 34(3): 1993-1996.
- [6] GREEN D S, DOHRMAN C L, DEMMIN J, et al. A revolution on the horizon from DARPA: heterogeneous integration for revolutionary microwave / millimeter-wave circuits at DARPA: progress and future directions [J]. IEEE Microwave Magazine, 2017, 18(2): 44-59.
- [7] KNICKERBOCKER J U, BUDD R, DANG B, et al. Heterogeneous integration technology demonstrations for future healthcare, IoT, and AI computing solutions [C] // IEEE 68th Elec Compon & Technol Conf. San Diego, CA, USA. 2018.
- [8] MAXEY C, RAMAN D S. DARPA/MTO vision for adaptive RF technology [C] // RF Alliance Conf. West Lafayette, IN, USA. 2010.
- [9] DESAI S B, MADHVAPATHY S R, SACHID A B, et al. MoS₂ transistors with 1-nanometer gate lengths [J]. Science, 2016, 354(6308): 99-102.
- [10] SALMON L. 3D monolithic system on a chip (3D SOC) [C] // DARPA/MTO Electronics Resurgence Initiative Summit. Detroit, MI, USA. 2019.
- [11] GREEN D S. Heterogeneous integration at DARPA: Pathfinding and Progress in Assembly Approaches [C] // IEEE 68th Elec Compon & Technol Conf. San Diego, CA, USA. 2018.
- [12] RUDDENKLAU U. ETSI white paper No. 15 mmwave semiconductor industry technologies: status and evolution [R]. 2018.
- [13] RAO A, FATHPOUR S. Heterogeneous thin-film lithium niobate integrated photonics for electrooptics and nonlinear optics [J]. IEEE J Selected Topics Quantum Elec, 2018, 24(6): 182-192.
- [14] CARLSON J A, DALLESASSE J M. Heterogeneous integration of light-emitting transistors on silicon for hybrid electronic-photonics logic circuitry [C] // Conf Lasers & Electro-Optics. San Jose, CA, USA. 2019.
- [15] SPIE Europe. Ayar Labs chosen as optical partner in Intel's DARPA PIPES project [EB/OL]. <https://optics.org/news/10/11/28>, 2019.
- [16] DARPA: magnetic miniaturized and monolithically integrated components (M³IC) program [EB/OL]. <https://www.darpa.mil>, 2016.

集成电路技术领域最新进展及新技术展望

朱进宇^{1,2}, 闫 峥¹, 苑 乔¹, 张少真¹

(1. 航天恒星科技有限公司(503 所), 北京 100096; 2. 清华大学 微电子研究所, 北京 100084)

摘 要: 目前,最先进的 CMOS 工艺逐渐逼近单原子尺度,单纯靠工艺进步来推动发展的时代即将结束,集成电路发展将进入“后摩尔时代”。在“后摩尔时代”,集成电路的发展不会随着“摩尔定律”失效而终结,相反,以应用为导向的需求将使集成电路呈现出更加旺盛的发展活力。在边缘计算、人工智能、5G/物联网等应用需求快速兴起的背景下,从集成电路涉及的材料、器件、工艺、设计、封装、新理论及方法学等方面,详细介绍了“后摩尔时代”集成电路最新进展,分析其发展趋势。最后,简要介绍了未来可能对集成电路当前技术路线产生颠覆性影响的二维器件、量子计算等前沿领域的进展,并进行了展望。

关键词: 集成电路; 摩尔定律; 后摩尔时代; 二维器件; 量子计算

中图分类号: TN432; TN47; TN405

文献标识码: A

文章编号: 1004-3365(2020)02-0219-08

DOI: 10.13911/j.cnki.1004-3365.190344

The Latest Development and Trend of IC Technology

ZHU Jinyu^{1,2}, YAN Zheng¹, YUAN Qiao¹, ZHANG Shaozhen¹

(1. *Space Star Technology Co., Ltd., Beijing 100096, P. R. China;*

2. *Institute of Microelectronics, Tsinghua University, Beijing 100084, P. R. China*)

Abstract: The latest CMOS process is gradually approaching the single atomic scale that means the era of Moore's law is coming to an end, and the development of IC has entered the "More than Moore era". In the "More than Moore era", IC will not end with the failure of "Moore's law", and IC technology driven by application-oriented demand will present more vigorous vitality. Based on the background of the rapid rise of edge computing, AI, 5G/IoT, etc., the latest IC technology was introduced in detail, and its development trend from the aspects of materials, devices, process, design, packaging, new theory and integrated innovation was analyzed. Finally, a brief introduction and prospect of some frontier fields such as two-dimensional devices and quantum computing that may have a disruptive impact on IC technology in the future was given.

Key words: IC; Moore's law; more than Moore era; two-dimensional device; quantum computing

0 引 言

晶体管和集成电路的出现打开了信息时代的大门。它们作为信息技术的物理载体,与软件技术一起推动着信息技术转变为通用性技术,对各行各业产生了革命性影响。每 18 个月集成电路工艺进步一代的“摩尔定律”生动描绘了过去 60 年来集成电路的高歌猛进。与此同时,依附于“摩尔定律”带来

的工艺红利,相关的上下游生态足以维持得很好。目前,最先进的 CMOS 工艺晶体管特征尺寸已经下降到 7 nm。以 TSMC、Samsung 为代表的行业龙头仍在持续推进着特征尺寸向 5 nm、3 nm 方向发展。但是,业内人士已逐步形成共识,工艺缩微步伐已不再严格遵循“摩尔定律”。集成电路行业不得不面对的现实就是:整个行业生态再也无法“躺着”享受工艺进步带来的好处,必须主动寻求技术创新,以适应信息技术对集成电路提出的严苛要求。由于工艺进

收稿日期:2019-06-18;定稿日期:2019-07-09

作者简介:朱进宇(1985—),男(汉族),湖北仙桃人,博士研究生,高级工程师,从事卫星应用领域射频/毫米波芯片研制。

步的步伐逐渐放缓,集成电路需要在材料、器件、设计、封装、设计理念与方法等方面开展更多的创新,迫使集成电路从工艺驱动转变为应用需求驱动,继续在“更低的成本、更小的面积、更高的性能”道路上前进。同时,这些新转变使得集成电路呈现出新的发展特点和趋势,焕发出更强的发展潜力。为此,人们对“后摩尔时代”寄予了高度期望。

在“后摩尔时代”,集成电路将以终端应用需求为导向,以系统性设计理念和新型集成技术为手段,重点发展三维异质集成技术,实现类似“摩尔时代”集成电路需要的低成本、小面积和高性能^[1-3]。三维异质集成技术的核心思想是将不同工艺实现的电路、存储器、传感器等在三维方向实现系统集成,同时通过技术创新,强化各组成单元的功能、性能。该技术涉及诸多领域,包含材料、器件、芯片设计、封装、终端应用等。不同技术领域的创新相互影响、相互交融,共同推动着集成电路整个生态的发展,甚至进一步支撑着信息技术的前进。

文章第 1 节论述集成电路工艺最新进展和挑战,第 2 节描述集成电路设计领域最新现状,第 3 节介绍近年来加速发展的新型封装技术,第 4 节简要介绍可能给传统集成电路发展带来革命性影响的新技术,第 5 节给出结论。

1 集成电路工艺最新进展和挑战

1.1 工艺新材料

集成电路通过淀积、光刻、离子注入等方式来实现,按照预定要求在衬底材料上生长与互联。集成电路制造方式复杂,多达数百道工序。每一道工序都离不开各种工艺材料的支持。新的集成电路离不开新材料的引入,新功能材料的发现和应用对微电子技术的进步影响重大。集成电路应用材料的发展趋势如图 1 所示。可以看出,应用材料由 20 世纪 70 年代少量几种,发展到现在数十种以上。当前, EUV FinFET 工艺材料更加复杂。新材料的引入对于工艺进步发挥了巨大作用。例如,180 nm 工艺中,使用硅化物材料 CoSi_2 代替 TiSi_2 ;130 nm 工艺中,采用 Cu 布线代替 Al 布线,满足更低延迟需求;90 nm 工艺中,引入应变硅沟道技术,更多地采用 NiSi,提高沟道性能;45 nm 工艺中,引入高 k 栅介质,降低了沟道漏电。这些均是得益于新材料的使用。

结合 CMOS 集成电路的制造工艺及器件结构,

目前功能材料的研究热点主要包括三类:逻辑器件材料(包括栅材料、衬底材料、源漏和局域互联材料)、存储器件材料、互联材料。其中,逻辑器件材料关注最广泛。随着工艺尺寸微缩,晶体管沟道长度越来越小。工艺制造越复杂,成本也就越高。无论是逻辑还是存储器工艺,在最有共性特征的栅材料发展方面,都体现出一些共性要求和发展难点,具体表现在:1) 为保证器件性能,器件尺寸需按比例缩小,栅氧化层厚度不断减薄;2) 为了增强栅控能力,减小了栅泄露电流,工艺上采用了高 k 栅介质材料。理想的高 k 介质材料需要具有高 k 值和热稳定性、能与 Si 沟道形成良好的界面、与 Si 的能带匹配好、缺陷少等优点。但实际上,高 k 材料在 CMOS 工艺中存在界面态问题,22 nm 以下的工艺难以克服这一缺点,需要寻找新的解决方式,主要是采用新的器件结构。新的器件结构工艺,如 FinFET 工艺,虽然能继续缩微器件尺寸,但工艺涨落问题更加突出。总之,提高器件性能和成品率、确保工艺继续向前推进,离不开新材料的发现与使用。

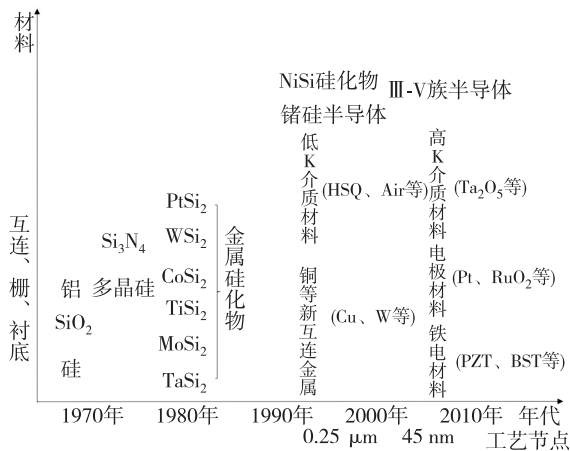


图 1 集成电路工艺材料的发展趋势

1.2 新器件结构

为了维持 MOS 器件栅控能力,栅氧化层厚度已减薄至逼近其物理极限。即使采用高 k 介质材料,在 22 nm 以下节点也无能为力,只能放弃平面 MOS 器件结构,以维持器件的栅控能力。目前在 22 nm 及以下节点,广泛采用 FinFET 器件结构。FinFET 器件采用鳍形栅,提高了栅控能力,可解决亚阈值斜率退化的问题^[4]。图 2 所示为体硅平面 CMOS 晶体管与 FinFET 晶体管截面图。FinFET 器件还会带来更高集成度、更好的器件特性等优势。但缺点也较为明显,量化的晶体管尺寸、NMOS-PMOS 驱动能力接近、发热更严重、工艺扰动大,更

重要的是工艺复杂、成本高。

随着特征尺寸向 7 nm 以下节点发展,为提高栅控能力,提出环栅结构,但工艺更加复杂。从维持栅控能力的角度来说,MOS 器件未来可能朝着 SOI-FinFET、环绕式栅极纳米线晶体管(GAA)方向发展。从低功耗的发展趋势来说,低功耗需要低电压,由于亚阈值斜率的限制,MOS 器件无法适应超低电压的要求,隧穿场效应管(TFET)有望成为未来超低功耗电路器件的一种选择^[5]。

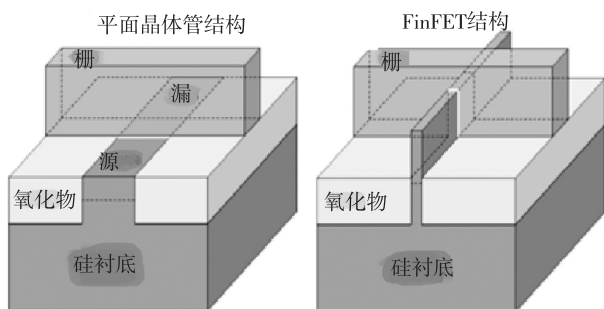


图 2 体硅 CMOS 晶体管与 FinFET 晶体管的截面图

1.3 工艺新技术

微纳工艺的进步离不开光刻技术的支持,微细加工精度高于纳米级,工艺尺寸的进一步缩小造成制造成本的急剧提高。过去,光刻技术的进步依赖于光学光刻分辨率的提高。采用更短波长的光源、移相掩模技术、DFM 技术、浸润式光刻技术等方式均能提高光学光刻分辨率。

ArF 准分子激光是目前广泛使用的光源。若想进一步缩小波长,一方面受到没有足够功率和稳定性激光器的限制,另一方面受到光线大气吸收的限制。采用浸润式和多重曝光的方式,部分解决了光刻分辨率问题,成为 32 nm 及以下工艺图形光刻中广泛采用的技术,但不足以满足 10 nm 及以下光刻分辨率要求。

进一步提高分辨率的途径是采用极紫外(EUV)光刻技术。为了克服大气吸收的影响,EUV 光刻机处于全真空环境,工艺复杂,成本急剧上升。正因如此,在 2018 年下半年,世界排名第 3 和第 4 的集成电路制造商先后宣布放弃 7 nm 节点突破,转向节点工艺差异化竞争,这也间接印证了“后摩尔时代”技术特点。

在集成电路特征尺寸减小过程中,除了光刻工艺造成成本急剧提升,芯片工艺涨落波动已成为影响集成电路性能的关键因素之一。特征尺寸越小,工艺涨落影响越显著。FinFET 涉及新器件及新工

艺,涨落机制更复杂,例如图像边缘粗糙、掺杂起伏、栅功函数起伏等,使得器件涨落影响更突出,这也是 Intel 公司曾推迟 14 nm FinFET 工艺量产的重要原因。这些不利因素在集成电路设计中应尽量克服或减小,这对制造商能力提出了很高要求。

2 集成电路设计现状与挑战

集成电路设计是集成电路产业的主体,工艺、封装均围绕设计来服务。集成电路行业的特点在过去十年发生了根本性变化。以器件、芯片自身功能定义的至顶而下设计模式已走向终结,以行业应用、系统需求为牵引的定制化设计逐渐兴起。信息系统朝着智能化、集成化方向发展,也要求集成电路朝这个方向发展。包含技术、存储、感知、执行等的集成化、智能化,对应于集成电路的数字/模拟芯片、存储器、传感器等技术方向。特别需要指出的是,由于应用导向的转变,传统集成电路展现出新特点和新技术类别,衍生出可重构芯片、人工智能芯片、生物医疗芯片及类脑芯片等技术。

2.1 经典定义的数字/模拟集成电路现状

2.1.1 数字集成电路的现状与挑战

目前,数字集成电路是芯片领域的主体,占据大部分市场份额。严格意义来讲,摩尔定律主要适用于数字集成电路,尤其是通用处理器。传统的数字集成电路包括通用处理器、应用处理器、FPGA、DSP、TPU、GPU、微处理器、数字 ASIC、存储器,以及目前广为关注的 AI 芯片等。在先进工艺带来性能提升的驱动下,各类数字芯片在经济成本允许的情况下纷纷追逐最先进的工艺,形成一个相互促进、互利互惠的更新迭代局面。例如,移动端最热门的苹果处理器、高通骁龙、华为麒麟系列处理器,这类基带应用处理器均使用最先进的 7 nm CMOS 工艺,实现了千亿晶体管集成和数 GHz 高速性能^[6]。事实上,在工艺尺寸缩小速度逐步放缓的条件下,“超越摩尔定律”提出采用异质集成的方式来提升芯片性能。目前,高性能数字集成电路关注领域逐渐转换为通过封装集成方式来提升芯片的效能。但是,数字集成电路面临着三项设计挑战:第一项挑战来自器件技术变革;第二项挑战来自集成与互联技术变革;第三项挑战来自应用变革。在器件技术变革方面,由于特征尺寸缩小速度放缓、门槛提高,工艺厂商实施差异化竞争,工艺构成呈现多元化趋势。在集成与互联方面,单核处理器的指令集并行性挖

掘潜力早已用尽,依靠简单增加硬件数量(多核)来提升性能的时代也将结束,摩尔定律将要终结,晶体管性能提升速度放缓,功耗成为性能提升的主要限制。在应用变革方面,应用呈现碎片化,需要具备面向特定领域的快速需求响应能力,有四个方面的发展趋势:复杂度换取性能、功耗的改进;能效、功耗效率成为最重要指标;功耗管理日益突出;感知技术与管理技术相结合^[7]。

随着集成度的提高,系统的复杂度空前攀升,精细的优化工作的可行性和意义降低。取而代之的是标准化、模块化、规则化的设计方法。设计方法学变得更加重要。还可通过增加系统的复杂度来解决效率、鲁棒性的问题。因此,需要在新器件和新方法上形成突破,推进数字集成电路革命性前进。

2.1.2 模拟集成电路现状与挑战

模拟集成电路主要包含典型模拟集成电路和射频集成电路。典型的模拟集成电路包括 ADC、DAC、电源管理及运算放大器、滤波器、高速接口电路等。射频集成电路主要是指射频收发机前端。

传统模拟集成电路的发展比较成熟,主要集中在具体电路层次的创新,艰难缓慢地推进着芯片性能的提升,不断延伸极限。由于 LDO、Bandgap、运放及滤波器等发展比较成熟,经典模拟电路的热点主要集中在 DAC/ADC 和高速接口领域。在 DAC/ADC 方面,由于在架构设计和电路实现方式上的创新,ADC、DAC 出现了显著的性能提升,更多地采用了数字电路方式实现,享受到工艺进步带来的性能红利,为传统设计架构注入了新的灵感。已有报道实现了 8 位 90 GS/s SAR ADC,功耗仅为 667 mW。最新的高性能 DAC 已经能够实现 16 位 12 GS/s 的采样速度。由于 DAC 电流舵结构非常经典,创新主要体现在 ADC 方面。在高速高精度 ADC 中,除了传统的 SAR、Pipeline 结构,连续时间采样 ADC 和相位域 ADC 备受关注。业界已报道了一些有竞争力的研究成果,这类 ADC 在未来极具发展潜力。

过去,射频集成电路大量采用 GaAs、SiGe、BiCMOS 等工艺。经过多年发展,RF CMOS 已成为主流射频 IC 工艺,未来在 5G、物联网、毫米波通信、成像等领域还将广受关注。目前,射频集成电路主要朝高集成度、低功耗等方向发展。为了更好地解决未来需求,射频集成电路衍生出三方面的关键技术,即可重构技术、数字化射频和相控阵技术。可重构技术解决无线通信协议繁多、频点分散、功能单

一等问题,通过软件配置的方式,实现射频架构与电路的动态重构,满足特定协议的性能。目前,最新芯片能够实现地面移动通信全频带应用。为了实现更小的芯片面积和功耗、更高的功率效率、更低的带外辐射,数字化射频是目前研究的热点领域,还需解决宽带应用的问题。相控阵技术具有诸多优点,是毫米波前端广泛采用的关键技术,实现时需考虑射频、天线、封装等一体化,存在一定的难度,尤其是硅基 CMOS 器件功率容限低、效率不高、高密度应用下的散热、成本等均为限制因素。

总体而言,模拟领域的发展按部就班,但局部一些技术方向不乏亮点。未来一旦实现架构层次的突破和创新,将推动系统性能颠覆性的提升。

2.2 存储器发展现状

存储器是目前集成电路行业增长最快的领域之一,市场需求巨大,发展迅猛。得益于存储器广阔的市场需求和快速增长,2018 年,三星公司超过已有二十多年历史的集成电路领域霸主——英特尔公司,成为集成电路领域的龙头企业。

存储器的主要指标包括读写速度、容量、寿命和存储时间。存储器一般分为易失性存储器和非易失性存储器。易失性存储器主要是 SRAM 和 DRAM。SRAM 占用面积较大,难有颠覆性创新,因此,DRAM 是发展重点。非易失性存储器占据大部分市场份额,常见的是 Flash 存储器,主要分为 Nor Flash 和 NAND Flash。NAND Flash 占据绝对市场份额。由于 NAND Flash 适合三维方向集成,能极大提升性能和集成度、增加存储器容量、便于大规模制造,3D NAND Flash 成为主流发展方向。目前,三星公司的 3D NAND Flash 最为先进,实现了 96 层集成。我国最大的存储器制造商——长江存储也实现了相当大的突破,研制出 32 层 NAND Flash。除了 Flash 存储器,非易失性存储器还包括相变存储器(PCM)、磁性存储器(MRAM)、阻变存储器(RRAM)等。目前,PCM 和 MRAM 均存在一些问题,业界比较看好 RRAM。RRAM 通过高低阻状态差异来实现“0”、“1”信号的存储,具有非易失、速度快、低电压读写、器件简单、易于三维集成、未来具备高密度可能性等诸多优势。国际存储器半导体主要企业均已投入 RRAM 技术研发,目前在类脑计算、硬件安全领域已开展相关应用,有望在未来几年里形成突破和爆发式增长。

2.3 微纳传感器发展现状

微纳传感技术以新型微纳材料为基础,如硅、石

墨烯、PDMS等,采用微米级乃至纳米级的微纳加工技术和大规模集成电路工艺,实现各种传感器以及检测仪表系统中微米、纳米级尺寸缩小化的技术,具有微型化、数字化、智能化、多功能化、系统化和网络化等特点。

新型微纳传感器主要包括微纳力学、声学、光电、自旋传感器和微纳生物化学传感器。微纳力学传感器发展迅猛,MEMS力学传感器应用在诸多领域,包含监测运动状态变化的新型加速度传感器、胎压应用的压力传感器、可穿戴和医学应用的柔性力学传感器(如脉搏监测、肢体运动监测、运动能量收集、智能人工喉、电子皮肤)等。微纳声学传感器包含MEMS麦克风、MEMS麦克风阵列、石墨烯耳机等。其中,石墨烯耳机具有覆盖可听域和超声域的频谱特性,可实现人与动物相互交互。微纳光电传感器中,各种新颖的一维、二维材料被广泛研究,可以提供优异的光学和物理特性。微纳自旋传感器利用各向异性磁电阻效应、巨磁电阻效应、隧道结磁电阻效应等原理,研制弱磁探测传感器,可用于空间卫星姿态调控、深空探测、深海反潜、导弹制导、无损探伤、医学心磁图和脑磁图成像等关键技术领域。磁敏传感器被广泛应用于硬盘磁读写、角度和电流传感器。生化传感器是目前的研究热点,包含敏感膜和转换器,分为酶传感器、微生物传感器、免疫传感器、基因传感器、细胞传感器和组织传感器,可被广泛应用于医学、环境检测、食品工程、发酵工程和军事领域^[8]。

随着对微纳传感器要求的提高,集成化、系统化将成为微纳传感器的发展方向。结合大数据、云计算、人工智能技术,微纳传感器最终会升级为智能传感系统,全面渗透到生活的方方面面。

2.4 面向应用的新型集成电路发展现状

在“后摩尔时代”,集成电路的发展通过应用需求来驱动。设计人员针对特定应用领域,更侧重于集成电路设计理念、架构、集成创新,实现可重构技术、人工智能、生物医疗、类脑芯片等交叉领域的重大突破,推动物联网、智能应用等领域向前发展^[9]。

2.4.1 可重构计算芯片

可重构计算芯片的特点在于能够根据软件程序定义而实现实时动态变化。它与传统芯片的重大不同在于:1) 软硬件可编程;2) 硬件架构的动态可变性与高效的架构变换能力;3) 兼具高性能效率和高能量效率;4) 本征安全性;5) 应用简便,不需要芯片设计的知识和能力;6) 软件定义芯片;7) 实现智

能的能力。

可重构芯片实现的难点及核心技术主要是以下几方面:1) 配置信息量大幅减少及“隐式配置-数据驱动”技术;2) 配置信息高效加载及相关性感知缓存及动态加载技术;3) 高效阵列架构及控制密集型任务并行化方法;4) 时域空域协同映射技术。目前在可重构芯片领域,清华大学微电子所魏少军、刘雷波教授的课题组走在业界前沿,已有一系列处于领先水平的成果^[10-12]。其中,采用可重构计算的国产FPGA重构实际提升了几个量级,重构时间仅为20~40 ns,效率大幅提升。未来,可重构计算芯片会在高效能计算方面发挥非常重要的作用。

2.4.2 人工智能芯片

人工智能是一个广域的概念,目前提及的AI芯片只能算狭义人工智能芯片,通常是指基于深度学习的高效能计算芯片。深度学习、神经网络、机器学习与人工智能之间的关系如图3所示。

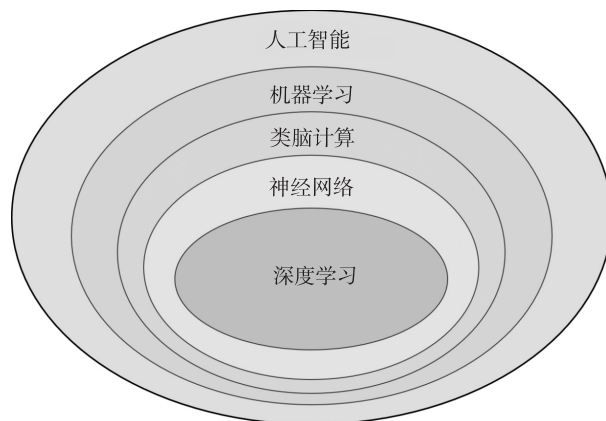


图3 人工智能、机器学习、神经网络、深度学习关系图

针对不同应用场景,基于深度学习的神经网络采用的算法存在差异,导致芯片性能各不相同。严格意义来讲,这些芯片是一类数字ASIC芯片。例如,基于卷积运算的CNN算法更适合视觉、图像等信息领域;基于全连接的FCN算法比较适合数据分类、文字识别等领域;基于循环计算的RNN算法适合语音识别等领域。传统的深度学习计算采用CPU、GPU、SoC、FPGA等方式进行,效能低下,无法满足日益增长的边缘计算需求。因此,需要寻找新型架构的神经网络处理器。业界开展了多种类型的尝试和探索,如国内旷视、寒武纪、地面线的AI芯片等。人脸识别、无人驾驶、机器翻译等技术正在改变现代生活。这些应用的实现得益于以数据为中心的高性能计算,但也面临重大挑战:1) 模型越来越复杂、数据量越来越大,最新的ResNet算法已突

破一千层;2) 冯诺依曼体系架构芯片不适合高速并行运算;3) 功耗巨大。与人脑相比,基于传统硬件的人工智能存在难以逾越的鸿沟,需要开发全新功能和结构的新硬件^[13]。

类脑计算芯片具有集高速并行和存储计算于一体的优势,对精度缺失容忍,适合人工智能领域应用。基于忆阻器的电子突触器件能够用来实现高效并行计算存储融合架构的智能芯片。未来,基于神经形态器件形成仿生脉冲网络架构实现的神经形态计算机,将能在时空信息高效处理、视听感知、自主学习和智能交互领域发挥重要作用。

2.4.3 生物医疗芯片

生物医疗芯片领域属于交叉学科前沿领域。随着科技水平的提高,越来越多的基于集成电路技术的新型电子系统或终端将应用于医疗领域,实现人类健康新突破。

表1显示了2017年医疗电子和半导体市场份额情况,美国销售超过60%,中国进口超过60%。未来,医疗器件领域有望发展到万亿级规模,而且中国的发展空间和潜力更大^[14]。目前在神经调控领域,研究人员已开展脊髓刺激器等芯片的研发,有望减轻慢性疼痛病人痛苦。市场上已有成熟的神经调控类器械出售。在智能助听领域,得益于集成电路的发展,基于移动计算平台的智能助听系统对该领域产生颠覆性的影响。由于老年化时代的到来以及人们对高品质生活的追求,基于生物医疗芯片技术的器械和设备的市场前景巨大。

表1 2017年医疗电子与半导体营收对比(单位:十亿美金)

排名	医疗电子	营收	排名	半导体	营收
1	美敦力	28.8	1	三星	61.2
2	强生	25.1	2	英特尔	57.7
3	通用医疗	18.3	3	海力士	26.3
4	西门子	15.2	4	美光	23.1
5	碧迪医疗	12.5	5	高通	17.1
6	康德乐	12.4	6	博通	15.5
6	飞利浦	12.4	7	TI	13.8
8	史塞克	11.3	8	东芝	12.8
9	百特	10.2	9	WD	9.2
10	雅培	10.1	10	NXP	8.7
	总计	156.3		总计	245.3
	其他	232.8		其他	174.4
	总量	389.1		总量	419.7

3 集成电路封装技术最新进展

芯片封装技术从单片集成发展到多芯片封装,最终走向三维异质集成方向。过去数十年封装技术的发展路线如图4所示。人们越来越认可,在“超越摩尔时代”,集成电路主要通过发展三维异质集成技术来达到类似“摩尔时代”集成电路需要的低成本、小体积、高性能。

伴随着人工智能市场和新应用领域兴起,IC制造商整合工艺技术已成为产业重要发展趋势。全球第一大晶圆代工厂——台积电已在高端封装领域进行了深入布局。台积电拥有晶圆级封装平台,包含集成扇出封装(InFO)和片上晶圆级封装(CoWoS)平台,能够广泛覆盖移动计算、物联网、AI、可穿戴、医疗等热点领域,具有广阔的市场前景。这也是它能独占苹果公司处理器芯片代工业务的关键^[15-17]。

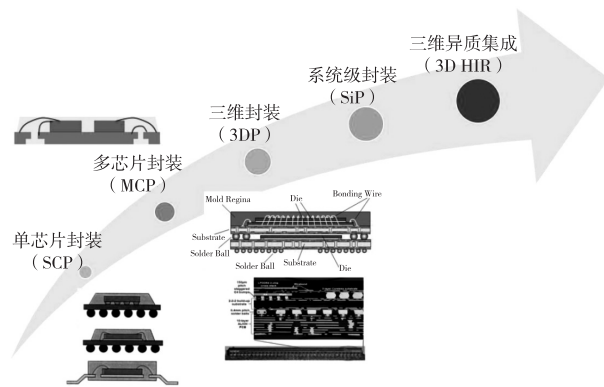


图4 封装技术发展趋势路线图

相比于3D IC,台积电采用Interposer SiP技术的CoWoS,具有几方面的优势:1) 不依赖工艺节点,TSV技术成熟,仅用于芯片互联;2) 高成品率,与晶圆级一致的成品率水平,有效降低了芯片面积越大导致成品率下降的风险;3) 散热好,多种成熟散热技术方案均可直接应用。另外,CoWoS封装技术能有效降低因多芯片单独封装产生的成本,有效保证芯片具有良好的性能和品质因子,并且能将产品快速推向市场。

由于传统的C4 bump倒装封和MCM、SiP等封装技术不能充分满足高管脚数目和高密度集成需要,FOWLP技术能够使用裸片之外的面积来满足高I/O数量需求,具有更高的品质因子和更优的电气特性。相比其他Fan Out封装,台积电的

InFO 封装具有很高的性价比,不仅严格控制成本,还具有更好的热性能、更高的品质因子、更薄、布线更密。同时,在塑封成型时,InFO 技术的衬底损耗更低,电气性能更优秀,外形尺寸更小,热性能也更佳,在相同功率分配下工作温度更低,或者说相同温度分布时 InFO 的电路运行速度更快。另外,在 InFO 技术中,铜互连形成在铝焊盘上,应用于扇出型区域,以制造出高性能的无源器件,如电感和电容等。与直接封装在衬底的片式(on-chip)电感器相比,厚铜线路的寄生电阻更小,衬底与塑封料之间的电容更小,衬底损耗更少,适合射频应用领域封装集成。

总之,由于三维异质集成技术突飞猛进,封装领域受到关注。台积电等 IC 制造企业正结合 EDA、IP、IC 设计企业,建立完整生态系统,希望在 AIoT 领域取得致胜先机。毋庸置疑的是,3D SiP 封装技术会朝着更高集成、更低功耗、更具性价比的方向高速发展。

4 集成电路前沿新技术介绍与展望

经过 60 年的发展,传统集成电路取得前所未有的成就。当今最高集成度的单芯片能实现几千亿晶体管的集成。但是,在以硅为主导的集成电路领域,摩尔定律不再适用,器件尺寸达到原子量级,量子效应显现。这也迫使人们寻求新器件、新材料的突破,实现集成电路工艺的持续发展。除了传统 CMOS 集成电路,新型器件广泛关注。被认为比较有前景的两种技术分别是二维器件与量子计算芯片。一旦规模量产,将会给信息技术领域带来革命性影响。

4.1 量子计算与芯片

量子计算是基于量子力学原理,如态叠加和纠缠等,对信息执行编码、逻辑运算、存储及处理的新兴交叉学科技术。它是量子物理和计算机科学的结合体。量子比特可以实现不同态叠加及逻辑运算。开发具有良好量子相干的双态系统,关键是设计量子相干器件。目前可采用天然双态二能级系统(如光学系统、离子阱等)和人造的双态二能级固体系统(如金刚石缺陷、超导量子相干器件等)。超导量子可以分为电荷量子比特、磁通量子比特和位相量子比特。量子计算芯片的出现是信息元器件发展的结果,是解决复杂科学问题的需求,也是量子理论的进一步深化。经过近二、三十年的发展,量子计算芯片

已经不可能到可能再到有望成为现实。未来进一步解决好量子相干问题后,该项技术有望跨越式发展^[18]。

4.2 二维器件与芯片

与一维、三维器件相比,二维器件具有独特的电、光、热、机械性质。二维器件具有的量子霍尔效应、电子 Dirac-like 性质、奇特的能带结构等均能被利用。例如,二维器件具有高电子迁移率,能有助于制造高性能器件。二维器件具有完全不同于常规器件的性能,进而可设计出性能良好的模拟集成电路、数字电路。

目前,二维器件规模量产还面临较多工程技术问题,包括二维材料器件样品的制备、界面态、成品率和工艺一致性问题。这些问题一旦解决,会对集成电路生态产生颠覆性影响。

5 结 论

集成电路过去一直遵循“摩尔定律”向前发展,驱动力单一,通过工艺等比缩微带来的红利,芯片集成度和性能稳步提高,满足了固定 PC 计算的能力需求。目前处于人工智能、物联网、移动计算、5G 时代,传统的冯诺依曼体系架构已无法满足高效能计算需要,需要在集成电路架构体系、集成方式、理论创新方式等方面实现新的突破。可以确定的是,集成电路领域的发展一定不会因为“摩尔定律”的失效而衰落,相反可以看到更多集成电路生态系统的繁荣发展,成为信息技术的基础和助推剂,服务于各行业的信息化、智能化。

参 考 文 献:

- [1] SEGUR J. Integrated microelectromechanical systems in the more than Moore era [C] // 12th Int Conf DTIS. Palma de Mallorca, Spain. 2017: 1.
- [2] COLLAERT N, ALIAN A, ARIMURA H, et al. Beyond-Si materials and devices for more Moore and more than Moore applications [C] // Int Conf IC Des & Technol. Ho Chi Minh City, Vietnam. 2016: 1-5.
- [3] SALAH K. More than Moore and beyond CMOS: new interconnects schemes and new circuits architectures [C] // 19th Elec Packag Technol Conf. Singapore. 2017: 1-6.
- [4] RUSHIKESH D, APURVA K, SANDEEP K, et al. Comparing FinFETs: SOI vs bulk process variability, process cost, and device performance [C] // IEEE Int

- Conf Comput, Commun & Control. Indore, India. 2015: 1-4.
- [5] BEOHAR A, SHAH A P, YADAV N, et al. Design of 3D cylindrical GAA-TFET based on germanium source with drain underlap for low power applications [C] // 13th IEEE Int Conf EDSSC. Hsinchu, China. 2017: 1-2.
- [6] CLINTON M, SINGH R, TSAI M, et al. A 5 GHz 7 nm L1 cache memory compiler for high-speed computing and mobile applications [C] // IEEE Int Sol Sta Circ Conf. San Francisco, CA, USA. 2018: 200-201.
- [7] KARNIK T, KURIAN D, ASERON P, et al. A cm-scale self-powered intelligent and secure IoT edge mote featuring an ultra-low-power SoC in 14 nm tri-gate CMOS [C] // IEEE Int Sol Sta Circ Conf. San Francisco, CA, USA. 2018: 46-47.
- [8] 宋宇, 张海霞. 微电子机械系统研究领域的最新进展 [J]. 太赫兹科学与电子信息学报, 2018, 16(2): 1-7.
- [9] DEBAYAN P, TANMAY C, SOUMYA K D, et al. IoT and machine learning based prediction of smart building indoor temperature [C] // 4th Int Conf Comput & Inform Sci. Kuala Lumpur, Malaysia. 2018: 1-6.
- [10] WANG B, LIU L B, DENG C C, et al. Against double fault attacks: injection effort model, space and time randomization based countermeasures for reconfigurable array architecture [J]. IEEE Trans Inform Forens & Secur, 2016, 11(6): 1151-1164.
- [11] WANG B, LIU L B, DENG C C, et al. Exploration of benes network in cryptographic processors: a random infection countermeasure for block ciphers against fault attacks [J]. IEEE Trans Inform Forens & Secur, 2017, 12(2): 309-322.
- [12] ZHU J F, LIU L B, YIN S Y, et al. A hybrid reconfigurable architecture and design methods aiming at control-intensive kernels [J]. IEEE Trans VLSI Syst, 2015, 23(9): 1700-1709.
- [13] NURVITADHI E, SIM J, SHEFFIELD D, et al. Accelerating recurrent neural networks in analytics servers: comparison of FPGA, CPU, GPU, and ASIC [C] // 26th Int Conf Field Program Logic & Applic. Lausanne, Switzerland. 2016: 1-4.
- [14] CHANDRA R, ZHOU H Y, BALASINGHAM I, et al. On the opportunities and challenges in microwave medical sensing and imaging [J]. IEEE Trans Biomed Engineer, 2015, 62(7): 1667-1682.
- [15] YU D C H. New system-in-package (SIP) integration technologies [C] // Proceed IEEE Custom Integr Circ Conf. San Jose, CA, USA. 2014: 1-6.
- [16] CHEN W C, HU C, TING K C, et al. Wafer level integration of an advanced logic-memory system through 2nd generation CoWoS technology [C] // Symp VLSI Technol Dig Tech Pap. Kyoto, Japan. 2017: 54-55.
- [17] TSENG C F, LIU C S, WU C H, et al. InFO (wafer level integrated fan-out) technology [C] // IEEE 66th Elec Compon & Technol Conf. Las Vegas, NV, USA. 2016: 1-6.
- [18] DJORDJEVIC I B. Integrated optics modules based proposal for quantum information processing, teleportation, QKD, and quantum error correction employing photon angular momentum [J]. IEEE Photon J, 2016, 8(1): 1-14.

· 模型与算法 ·

基于 RS-PSO-SVM 集成的模拟电路软故障诊断

孙 健¹, 胡国兵¹, 邓 韦², 王成华³

(1. 金陵科技学院 电子信息工程学院, 南京 211169; 2. 南京信息职业技术学院 通信学院, 南京 210023;

3. 南京航空航天大学 电子信息工程学院, 南京 210016)

摘 要: 针对模拟电路软故障诊断准确度不高的问题, 提出一种基于粗糙集(RS)-粒子群算法(PSO)-支持向量机(SVM)集成的模拟电路软故障诊断方法。首先利用粗糙集理论对采集的模拟电路软故障特征信息进行维数约简, 然后利用粒子群算法对支持向量机的参数进行优化, 以提高支持向量机分类器的诊断性能, 最后进行故障诊断。对四运放双二次高通滤波器进行仿真, 实验结果表明, 基于 RS-PSO-SVM 集成的模拟电路软故障诊断方法是有效的。与其他常用方法相比, 该诊断方法具有更好的故障诊断性能。

关键词: 粗糙集; 粒子群算法; 支持向量机; 模拟电路; 故障诊断

中图分类号: TN707

文献标识码: A

文章编号: 1004-3365(2020)02-0227-05

DOI: 10.13911/j.cnki.1004-3365.190263

Analog Circuit Soft Fault Diagnosis Based on RS-PSO-SVM Integration Classifier

SUN Jian¹, HU Guobin¹, DENG Wei², WANG Chenghua³

(1. School of Electronic Information Engineering, Jinling Institute of Technology, Nanjing 211169, P. R. China;

2. College of Communication, Nanjing Vocational College of Information Technology, Nanjing 210023, P. R. China;

3. College of Electronic and Information Engineering, Nanjing University of Aeronautics and Astronautics, Nanjing 210016, P. R. China)

Abstract: An analog circuit soft fault diagnosis method based on rough set (RS)-particle swarm optimization (PSO)-support vector machine (SVM) integration was presented to solve the problem of low accuracy of soft fault diagnosis for analog circuit. Firstly, the rough set theory was used to reduce the dimension of analog circuit soft fault feature information. Then, in order to improve the diagnosis performance of support vector machine classifier, the particle swarm optimization algorithm was used to optimize the parameters of support vector machine. Finally, different faults were identified. Simulations results on four opamp biquad high-pass filter showed that the proposed method of analog circuit soft fault diagnosis based on RS-PSO-SVM integration was effective, and it had better fault diagnosis performance than other commonly used methods.

Key words: rough set; particle swarm optimization; support vector machine; analog circuit; fault diagnosis

0 引 言

随着微电子技术的飞速发展, 人们对集成电路

的测试及诊断水平提出更高的要求。数字集成电路的测试诊断技术较为成熟。相比之下, 模拟集成电路的测试诊断技术还比较落后^[1-2]。目前, 已有大量科研人员从事模拟电路故障诊断领域的研究, 并取

收稿日期: 2019-05-05; 定稿日期: 2019-06-07

基金项目: 国家自然科学基金资助项目(61701204); 江苏省自然科学基金资助项目(BK20161104); 金陵科技学院高层次人才科研启动基金资助项目(jit-b-201631)

作者简介: 孙 健(1980—), 男(汉族), 江苏南京人, 博士, 讲师, 研究方向为模拟电路的测试与诊断。

得一定的成果^[3-6]。但是,由于模拟电路信号特征非线性、电路元器件具有容差性、故障种类错综复杂等因素,模拟电路软故障诊断的准确性有待提高。

模拟电路软故障诊断的关键在于模拟电路故障特征提取和故障分类识别这两方面^[7-8]。故障特征提取可以减少故障特征维数,去除故障特征的冗余成分,更好地识别模拟电路故障种类。支持向量机具有很强的非线性映射和泛化能力,被广泛应用于模拟电路的故障诊断中。但是,在处理具有大量冗余故障信息的模拟电路故障诊断时,支持向量机不能完全发挥其在故障识别方面的优势^[9]。如何选取支持向量机的参数也对支持向量机的分类性能起着决定性作用^[10]。针对这两个关键问题,许多学者进行了研究。文献[11]利用主成分分析法,约简模拟电路故障特征维数。文献[12]利用遗传算法,对支持向量机的参数进行优化。这些方法均能提升模拟电路故障诊断性能。但是,将这两个关键问题作为一个整体进行研究的文献很少。因此,模拟电路故障诊断过程的自动化程度和自适应能力较低。

本文在已有研究的基础上,提出一种基于粗糙集-粒子群-支持向量机集成的模拟电路软故障诊断方法。结合支持向量机、粗糙集理论和粒子群算法的优点,构造了粗糙集-粒子群-支持向量机集成分类器,并应用于模拟电路软故障诊断,以提高模拟电路软故障诊断效果和诊断过程的自适应能力。

1 RS-PSO-SVM 集成分类器

1.1 粗糙集理论的属性约简

定义一个决策系统 S 由以下四元素组成: $S = (U, A, V_a, F_a)$ 。其中, U 是论域; $A = C \cup D$, 是属性集合, C 和 D 分别为条件属性和决策属性; V_a 是属性值域; $F_a = U \times A \rightarrow V_a$, 是一个信息函数。约简的目的是去除冗余成分,使属性集合成为整个数据表的最小条件属性子集^[13]。

在决策系统 S 中,属性 A 的每一个子集 $I (I \subseteq A)$ 定义为:

$$\text{IND}(I) = \{ \langle x, y \rangle \in U \times U \mid \forall A \in I, a(x) = a(y) \} \quad (1)$$

设 $X \subseteq U$ 是对象的子集, W 表示等价关系, X 相对于 W 的近似值定义为:

$$W(X) = \{ x_i \in U \mid [x_i]_W \subseteq X \} \quad (2)$$

式(2)表示属于集合 $W(X)$ 的元素可以确定被分类为 X 的元素。令 $\text{IND}(P)$ 和 $\text{IND}(Q)$ 分别是由

P 和 $Q (Q \subseteq A)$ 确定的不可分辨关系, $\text{POS}_{\text{IND}(P)}$ 与 $\text{IND}(Q)$ 的关系为:

$$\text{POS}_{\text{IND}(P)}[\text{IND}(Q)] = \bigcup_{X \in U/\text{IND}(Q)} [\text{IND}(P)](X) \quad (3)$$

设 P, Q, R 为属性集, 当且仅当满足以下条件时, 认为 R 是 P 相对于 Q 的约简:

$$\text{POS}_{\text{IND}(R)}[\text{IND}(Q)] = \text{POS}_{\text{IND}(P)}[\text{IND}(Q)] \quad (4)$$

$$\forall r \in R, \text{POS}_{\text{IND}(R-\{r\})}[\text{IND}(Q)] \neq$$

$$\text{POS}_{\text{IND}(R)}[\text{IND}(Q)] \quad (5)$$

1.2 支持向量机分类模型

支持向量机是一种监督学习的模型机器学习算法,不仅可以进行线性分类,也可以进行非线性分类。

设 $\{(x_i, y_i)\} (i = 1, 2, \dots, n)$ 为 n 维两类样本集, 求解二次规划问题:

$$\begin{cases} \min & \Phi(w, \xi) = \frac{1}{2}(w, w) + C \sum_{i=1}^n \xi_i, \\ \text{st.} & y_i((w, x_i) + b) \geq 1 - \xi_i \end{cases} \quad (6)$$

式中, $\xi (\xi \geq 0)$ 是松弛变量, w 是权向量, b 是偏移量, C 是惩罚参数。

引入 Lagrange 乘法, 结合式(6), 可得最优分类决策函数:

$$f(x) = \text{sgn} \left\{ \sum_{i=1, j=1}^n a_i^* y_i (x_i, y) + b^* \right\} \quad (7)$$

通过非线性变换, 将输入变量 x 转换到某个高维空间中求解最优分类面, 可以解决非线性的分类问题。本文采用径向基函数作为核函数, 非线性分类的最优分类决策函数为:

$$f(x) = \text{sgn} \left\{ \sum_{i=1, j=1}^n a_i^* y_i \exp \left[-\frac{\|x - y\|^2}{2\sigma^2} \right] + b^* \right\} \quad (8)$$

模拟电路故障诊断属于多分类问题。本文采用多个支持向量机组合加权的形式, 构造 SVM 多分类器。对每一个 SVM 分类器模型的结果进行加权计数, 加权数最多的即为最后的 SVM 多分类器输出结果^[14]。

1.3 粒子群算法

粒子群优化算法是一种全局寻优算法, 搜索空间中的所有粒子即为粒子群优化算法的最优解。适应度函数确定空间中每一个粒子的适应度值。粒子运动的方向和距离由粒子的运动速度决定。粒子通过自身找到的个体最优解 p_{best} 和整个群体找到的全局最优解 g_{best} 这两个极值, 更新自己在空间的位置, 最终通过不断的迭代寻优, 得到最优解^[15]。粒子种

群演变的规则为:

$$v_i(t+1) = \omega \times v_i(t) + c_1 \times \text{rand}(\cdot) \times [p_{\text{best}} - x_i(t)] + c_2 \times \text{rand}(\cdot) \times [g_{\text{best}} - x_i(t)] \quad (9)$$

$$x_i(t+1) = x_i(t) + v_i(t+1) \quad (10)$$

式中, v_i 是粒子的速度, x_i 是粒子的位置, ω 是惯性因子, c_1 与 c_2 是学习因子, $\text{rand}(\cdot)$ 是介于(0, 1)之间的随机数^[16]。

1.4 RS-PSO-SVM 集成分类器算法流程

结合粗糙集理论、粒子群算法和支持向量机分类器, 本文构造了粗糙集-粒子群-支持向量机集成分类器的学习模型, 其算法流程如图1所示。该算法流程包括基于粗糙集理论的特征提取、基于支持向量机算法的多分类器的构造和基于粒子群算法的支持向量机的内部参数寻优。

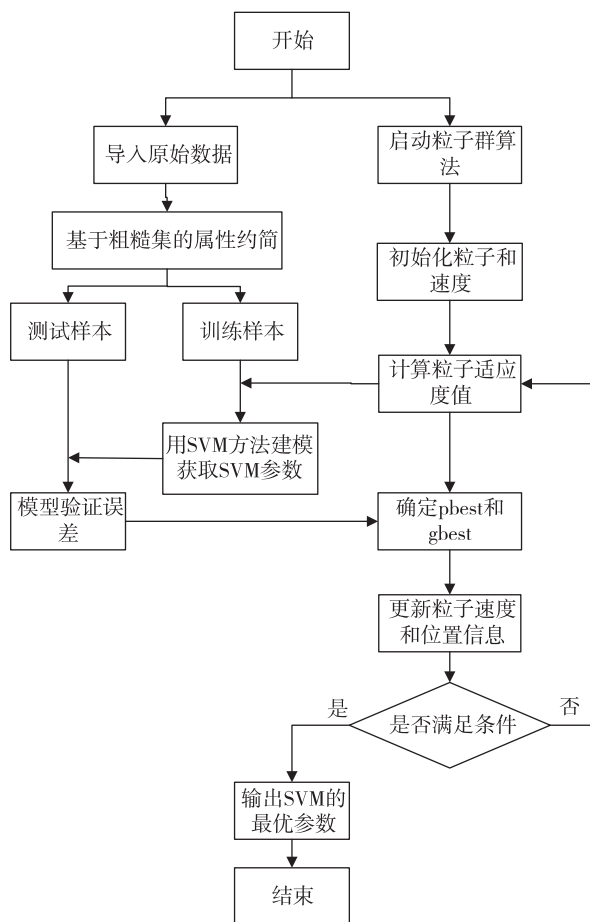


图1 RS-PSO-SVM 集成分类器学习模型

RS-PSO-SVM 集成分类器算法流程描述如下。

1) 首先采集故障样本信息, 利用粗糙集算法对样本的连续属性进行离散, 同时去除样本的冗余属性, 从而得到属性约简后的特征集, 并作为新的故障样本集。

2) 将约简后的样本集分为两部分, 一部分作为

训练样本, 另一部分作为测试样本。

3) 确定支持向量机参数和训练样本后, 启动优化支持向量机分类器模型。同时采用测试样本进行验证, 根据当前得到的识别率来衡量模型的分类性能, 从而确定粒子群算法的适应度函数值。

4) 在解空间中随机生成规模适中的粒子群, 粒子群个体代表 SVM 的参数, 设置 SVM 的惩罚参数和核函数参数, 将样本集输入 SVM 进行训练, 得到测试样本的识别率。根据 SVM 分类性能的评价函数, 计算个体适应度值, 确定个体最优值和全局最优值, 将更新后的粒子群适应值与个体最优对应的适应值作比较, 选择更优值, 同时更新粒子的位置和速度。满足设定条件后, 输出最优 SVM 参数。

RS-PSO-SVM 集成分类器算法能自动实现最佳分类性能, 具有很强的自适应能力。

2 模拟电路软故障诊断实例

以四运放双二次高通滤波器为例, 验证本文基于 RS-PSO-SVM 集成分类器的模拟电路软故障诊断方法的有效性。四运放双二次高通滤波器的电路结构如图2所示。

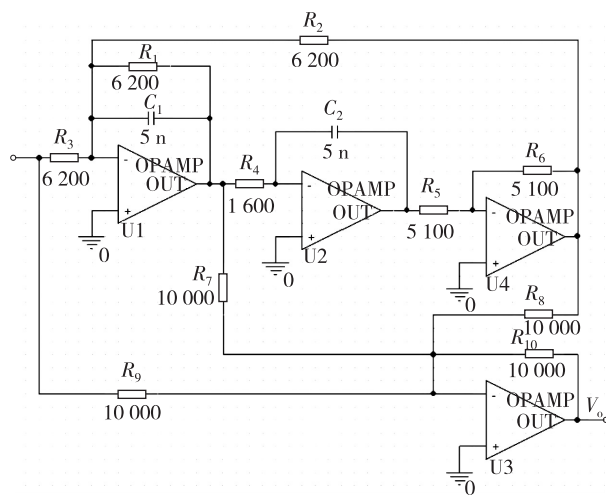


图2 四运放双二次高通滤波器的电路结构

四运放双二次高通滤波器电路由4个运算放大器、2个电容器、10个电阻器组成。每个元器件的标称值已在图2中标出。电阻和电容分别具有5%的容差。若电阻和电容元件值超出容差范围并在50%以内, 认为电路发生了软故障。

通过灵敏度分析, 选择 C_1 、 C_2 、 R_1 、 R_2 、 R_3 、 R_4 这6个元器件作为诊断元件。每个元件的软故障均有偏大软故障和偏小软故障两种模式。包含无故障状

态在内,共有 13 种软故障模式。具体的软故障设置模式如表 1 所示。表 1 中, $\uparrow$ 表示该元件发生了偏大软故障, $\downarrow$ 表示该元件发生了偏小软故障。

表 1 四运放双二次高通滤波器的软故障模式

故障代码	故障类别	标称值	软故障值
F1	$C_1 \uparrow$	5 nF	7.5 nF
F2	$C_1 \downarrow$	5 nF	2.5 nF
F3	$C_2 \uparrow$	5 nF	6 nF
F4	$C_2 \downarrow$	5 nF	2.5 nF
F5	$R_1 \uparrow$	6.2 k Ω	9.3 k Ω
F6	$R_1 \downarrow$	6.2 k Ω	3.1 k Ω
F7	$R_2 \uparrow$	6.2 k Ω	9.3 k Ω
F8	$R_2 \downarrow$	6.2 k Ω	3.1 k Ω
F9	$R_3 \uparrow$	6.2 k Ω	9.3 k Ω
F10	$R_3 \downarrow$	6.2 k Ω	3.1 k Ω
F11	$R_4 \uparrow$	1.6 k Ω	2.4 k Ω
F12	$R_4 \downarrow$	1.6 k Ω	1.2 k Ω
F13	无故障	-	-

采用 PSpice 仿真软件,对图 2 所示电路进行仿真。在输入端输入正弦电压信号,同时进行 AC Sweep 分析。设置起始频率为 1 Hz,终止频率为 25 kHz,并在 V_o 处采集幅频响应信号。对 13 种故障模式分别进行 100 次的 Monte Carlo 分析,得到每种故障模式具有 60 个属性的 100 个样本。采用粗糙集理论方法,对这些样本进行维数约简,获取最佳约简属性的特征向量,并进行归一化处理。为了验证本文 RS-PSO-SVM 集成分类器算法的有效性,将 1 300 个故障样本随机分为训练样本集和测试样本集。每个样本集均包含表 1 所示的 13 种故障。训练样本直接参与支持向量机的训练,而测试样本参与对每次训练好的支持向量机的测试。测试样本识别率作为粒子群算法的适应度函数值,并作为最优支持向量机参数分类性能的评价依据。

利用本文提出的 RS-PSO-SVM 集成分类器算法以及构建的故障诊断模型,对 1 300 个故障样本进行诊断实验。PSO 算法寻优 SVM 参数的过程如图 3 所示。可以看出,最佳适应度曲线从一开始就达到了稳定,说明对模拟电路故障特征具有较好的适应性。

表 2 列出未约简的原始特征与约简特征下所有故障的诊断结果。可以看出,经过 RS 特征约简后,13 种故障模式中,只有两类故障没有完全诊断出,

分别是 $C_2 \downarrow$ 和 $R_4 \downarrow$ 故障,诊断率都在 90% 以上。未经过特征约简的诊断结果中,有五类故障没有完全诊断出,且 $C_2 \uparrow$ 、 $C_2 \downarrow$ 和 $R_4 \downarrow$ 故障的诊断率分别只有 85%、70% 和 75%,明显低于经过 RS 特征约简后的诊断结果。

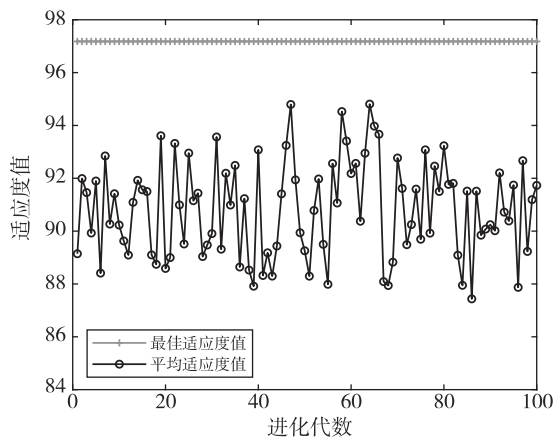


图 3 PSO 寻优 SVM 参数过程曲线

表 2 约简特征和原始特征的故障诊断结果

故障模式	故障诊断率/%	
	原始特征	约简特征
$C_1 \uparrow$	100	100
$C_1 \downarrow$	100	100
$C_2 \uparrow$	85	100
$C_2 \downarrow$	70	90
$R_1 \uparrow$	100	100
$R_1 \downarrow$	100	100
$R_2 \uparrow$	100	100
$R_2 \downarrow$	100	100
$R_3 \uparrow$	100	100
$R_3 \downarrow$	100	100
$R_4 \uparrow$	95	100
$R_4 \downarrow$	75	90
无故障	90	100

表 3 列出原始特征与经过 RS 特征约简后软故障的诊断效果。可以看出,经过 RS 特征约简后,由于去除了大量的冗余信息,训练速度明显比未约简特征快得多,故障诊断率也有显著提升。原始特征并采用普通 SVM 分类器的故障诊断率为 93.4%,而采用本文 RS-PSO-SVM 集成分类器算法,RS 特征约简的故障诊断率达到 98.5%,故障诊断率明显提升。由此可见,特征约简能有效提升模拟电路软故障诊断率。

目前部分主流的模拟电路软故障诊断方法在诊断效果方面的比较结果列于表 4。BPNN 方法的故障诊断率最低,其虚警率与 SVM 方法均为 10%,而 RS-PSO-SVM 方法的虚警率为 0。从表 4 可以看出,本文 RS-PSO-SVM 集成方法在故障诊断率、虚警率和误诊率几个指标方面都是最好的。

表 3 故障诊断效果的比较

提取 方法	训练时间/s	故障诊断率(%)	
		RS-PSO-SVM	SVM
RS 特征约简	0.14	98.5	95
原始特征	0.54	94.6	93.4

表 4 模拟电路软故障诊断方法比较

故障诊断方法	诊断率	虚警率	误诊率
PBNN	90.2%	10%	9.8%
SVM	93.4%	10%	6.6%
RS-PSO-SVM	98.5%	0	1.5

对仿真结果进行分析,可以得出,本文提出的 RS-PSO-SVM 集成分类器算法是可行的,对于具有大量冗余故障特征的模拟电路软故障诊断有着重要意义。RS-PSO-SVM 集成分类器的模拟电路软故障诊断方法不仅训练速度快,还具备很强的自适应能力,可实现模拟电路故障的自动诊断。

3 结 论

模拟电路故障特征中大量冗余成分影响着模拟电路故障诊断的效果。针对这一问题,本文在结合粗糙集理论、粒子群算法和支持向量机分类器各自优势的基础上,提出一种基于 RS-PSO-SVM 集成分类器的模拟电路软故障诊断方法。在该诊断模型中,利用粗糙集理论的离散和约简算法,实现对故障特征的属性约简。利用支持向量机,实现样本特征向量与故障之间的非线性映射。利用粒子群算法,实现对支持向量机的优化,使得支持向量机分类器的分类性能达到最优。对四运放双二次高通滤波器进行仿真,并与其他方法进行比较。仿真与对比结果表明,本文提出的 RS-PSO-SVM 集成分类器模拟电路软故障诊断方法在经过故障特征属性约简、优化分类器参数后表现出更优的诊断性能,是一种高效的模拟电路故障诊断方法。

参 考 文 献:

[1] 董海迪,刘刚,何兵,等. 容差模拟电路参数故障诊断

[J]. 中国测试, 2017, 43(9): 128-133.

[2] TADEUSIEWICZ M, HALGAS S. A method for local parametric fault diagnosis of a broad class of analog integrated circuits [J]. IEEE Trans Instrum & Measure, 2018, 67(2): 328-337.

[3] AMINIAB M, AMINIAN F. A modular fault-diagnostic system for analog electronic circuits using neural networks with wavelet transform as a preprocessor [J]. IEEE Trans Instrum & Measure, 2007, 56(5): 1546-1554.

[4] 潘曙光,刘香,唐圣学,等. 基于网格搜索的改进 SVM 模拟电路故障诊断方法 [J]. 微电子学, 2018, 48(1): 108-114.

[5] LUO H, LU W, WANG Y, et al. A new test point selection method for analog continuous parameter fault [J]. J Elec Test-Theor & Applic, 2017, 33(3): 339-352.

[6] 邓勇,于晨松,文浩. 基于倒谱和决策树的模拟电路故障诊断 [J]. 电子测量与仪器学报, 2017, 31(3): 430-435.

[7] DENG Y, CHAI G. Soft fault feature extraction in nonlinear analog circuit fault diagnosis [J]. Circuits Systems & Signal Processing, 2016, 35(12):1-29.

[8] 张朝龙,何怡刚,袁莉芬,等. 基于 GMKL-SVM 的模拟电路故障诊断方法 [J]. 仪器仪表学报, 2016, 37(9): 1989-1995.

[9] 祝文姬,何怡刚. 一种新的模拟电路故障特征提取与诊断方法 [J]. 湖南大学学报(自科版), 2011, 38(4): 41-46.

[10] 孙健,王成华. 基于 mRMR 原则和优化 SVM 的模拟电路故障诊断 [J]. 仪器仪表学报, 2013, 34(1): 221-226.

[11] 高坤,何怡刚,谭阳红,等. 主成分分析和超限学习机的模拟电路故障诊断 [J]. 计算机工程与应用, 2016, 52(9): 248-252.

[12] 陈世杰,连可,王厚军,等. 遗传算法优化的 SVM 模拟电路故障诊断方法 [J]. 电子科技大学学报, 2009, 38(4): 553-558.

[13] 张清华,薛玉斌,王国胤. 粗糙集的最优近似集 [J]. 软件学报, 2016, 27(2): 295-308.

[14] MA Q, HE Y, ZHOU F. A new decision tree approach of support vector machine for analog circuit fault diagnosis [J]. Anal Integr Circ & Signal Process, 2016, 88(3): 455-463.

[15] 邱宁佳,李娜,胡小娟,等. 基于粒子群优化的朴素贝叶斯改进算法 [J]. 计算机工程, 2018, 44(11): 27-32, 39.

[16] 何怡刚,祝文姬,周炎涛,等. 基于粒子群算法的模拟电路故障诊断方法 [J]. 电工技术学报, 2010, 25(6): 163-171.

基于 WOA-PNN 算法的电力电子电路 故障诊断分析

王熙乾, 高雪莲, 史丽鹏

(华北电力大学 电气与电子工程学院, 北京 102206)

摘 要: 为进一步提高电力电子电路可靠性,提出了一种基于鲸鱼优化算法(WOA)的优化概率神经网络(PNN)算法,对电力电子电路进行了故障诊断。通过 Simulink 软件建立电路模型,利用小波变换分析电路中的直流输出。将分析后的参数作为特征值,将电路正常工作状态下的特征值与故障状态中的特征值作为训练样本,输入 WOA-PNN,并进行训练。仿真验证结果表明,与直接应用 PNN 进行故障诊断相比,WOA-PNN 算法能更准确地诊断和分析电力电子电路的故障。

关键词: 电力电子电路; 故障诊断; WOA; PNN

中图分类号:TN707; TP183

文献标识码:A

文章编号:1004-3365(2020)02-0232-04

DOI:10.13911/j.cnki.1004-3365.190297

Fault Diagnosis Analysis of Power Electronic Circuits Based on WOA-PNN Algorithm

WANG Xiqian, GAO Xuelian, SHI Lipeng

(School of Electrical and Electronic Engineering, North China Electric Power University, Beijing 102206, P. R. China)

Abstract: In order to further improve the reliability of power electronic circuits, a method of optimized probabilistic neural network (PNN) algorithm based on WOA (whale optimization algorithm) was proposed, and the fault diagnosis was carried out for the power electronic circuits. The circuit model was established by Simulink software, and the dc output in the circuit was analyzed by wavelet transform. The analyzed parameters were taken as the eigenvalues, and the eigenvalues in the normal working state and fault state of the circuit were taken as the training samples to input WOA-PNN for training. Simulation results showed that WOA-PNN algorithm could diagnose and analyze the faults in power electronic circuits more accurately than PNN algorithm.

Key words: power electronic circuit; fault diagnosis; WOA; PNN

0 引 言

随着新能源发电与输电、工业电机驱动与节能、电动汽车等新兴产业的迅速崛起,电力电子技术成为其中的能源转换关键技术,对其进行故障诊断分析具有较高的研究意义和实际应用价值^[1]。

目前,电力电子电路故障诊断的主要研究点是

故障特征信号的处理以及模式识别。故障字典^[2]、反向传播(Back Propagation, BP)神经网络^[3]、支持向量机^[4]等算法作为信号处理算法,常用于故障特征的分类和识别。

BP 神经网络因简单而成为该领域的常用方法。然而, BP 神经网络存在一些问题,如训练收敛速度慢、训练结果不成熟、网络难以确定。与 BP 神经网络相比,概率神经网络(Probabilistic Neural

收稿日期:2019-05-16;定稿日期:2019-06-26

基金项目:科技部国际合作项目(2011DFR00780);华北电力大学“双一流”建设项目(XM1907426)

作者简介:王熙乾(1994—),男(汉族),北京人,硕士研究生,研究方向为电力电子可靠性。

Network, PNN) 具有收敛速度快、泛化能力强和不容易收敛到局部极值点等优势。在现实应用中, PNN 诊断的准确性与平滑因子 σ 的选择直接相关。在传统的 PNN 中, 通常选择固定的平滑因子进行分类, 但固定值不能正确反映各个输入变量对正确分类结果的实际影响。

为了进一步提高 PNN 的准确率, 本文提出一种通过鲸鱼优化算法^[5] (Whale Optimization Algorithm, WOA) 优化的 PNN 算法, 并对电力电子电路进行故障诊断。

1 原理与设计

1.1 PNN

1.1.1 PNN 概述

PNN 是径向神经网络的一个分支^[6], 是一种基于概率和统计思想的监督网络分类器, 本质上是一种基于贝叶斯最小风险准则的并行算法。它直接使用采样空间的概率特征, 并采用典型的采样空间样本作为隐藏层节点^[7]。此外, 它具有全局优化的特性^[8]。因此, PNN 适用于诊断电路故障。

当分布密度趋于零时, PNN 构成最邻近分类器。当分布密度值较大时, PNN 为几个培训样本提供一个相邻的分类器。PNN 的层次模型由四层组成: 输入层、样本层、求和层和竞争层^[9]。PNN 的基本结构如图 1 所示。对应网络输入 $X = [x_1, x_2, \dots, x_m]$, 输出 $Y = [y_1, y_2, \dots, y_L]$ 。输入向量为 m , 待匹配类别数为 L 。

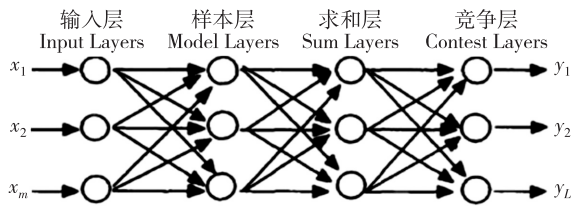


图 1 PNN 的基本结构

1.1.2 分类模式

基于 PNN 的故障诊断方法是一种被广泛接受的概率和统计决策方法, 描述如下。

假设 θ_p 和 θ_q 是两个相同的故障模式, 需要判断的故障样本是 $X = (x_1, x_2, \dots, x_n)$, 有:

$$\text{若 } H_p L_p f_p(X) > H_q L_q f_q(X), \text{ 则 } X \in \theta_p \quad (1)$$

$$\text{若 } H_p L_p f_p(X) < H_q L_q f_q(X), \text{ 则 } X \in \theta_q \quad (2)$$

式中, H_p 和 H_q ($H_p = N_p/N$, $H_q = N_q/N$, N 为

总样本数量) 分别为故障模式 θ_p 和 θ_q 的先验概率。 N_p 和 N_q 分别为故障模式 θ_p 和 θ_q 的训练样本的数量。 L_p 表示将属于 θ_p 的故障特征样本 X 错误划分为 θ_q 的成本因数。 L_q 表示将属于 θ_q 的故障特征样本 X 划分为模式 θ_p 的成本因数。 f_p 和 f_q 为两种失效模式 θ_p 、 θ_q 的概率密度函数 (Probability Density Function, PDF)。一般来说, PDF 都不准确^[10], 它们的统计值只能从现有特征的样本中计算出来。

Emanuel Parzen 在 1962 年提出了一种根据已知随机样本估计随机样本概率密度函数的方法^[11]。通过足够数量的样本, 该方法得到的函数可以更接近初始概率密度函数。Emanuel Parzen 的 PDF 估计式为:

$$P(X|C_i) = \frac{1}{(2\pi)^{m/2} \sigma^m} \frac{1}{n} \exp \left[-\frac{(X - X_i)^T (X - X_i)}{2\sigma^2} \right] \quad (3)$$

式中, C_i 表示分类, X 表示鉴别样本, X_i 表示分类 i 的模式样本 (作为概率神经网络的权重), m 表示平滑参数的矢量维度, n 表示分类 i 的模式样本的数量, $P(X)$ 表示先验概率。

与其他方法相比, PNN 可以收敛到贝叶斯优化解, 而无需多次充分计算。在训练样本数量保持不变的情况下, 为加快网络收敛速度, 只需对平滑因子进行调节。平滑因子与概率密度分布函数的变化有关, 其取值会影响各个模型采样点的选择。

1.2 鲸鱼优化算法

鲸鱼优化算法于 2016 年被提出, 它是模拟座头鲸捕食的过程而形成的一种新型智能优化算法。

座头鲸的捕食模式有三种行为: 随机寻找猎物、包围目标猎物和捕食目标猎物。在 WOA 算法中, 将每个座头鲸的位置设为研究问题的可行解^[12]。

1.2.1 随机寻找猎物

寻找某个问题的可行解可以仿照鲸鱼群随机寻找目标猎物, 其数学模型为:

$$D = |C \cdot \mathbf{X}_{\text{rand}}(t) - \mathbf{X}| \quad (4)$$

$$\mathbf{X}(t+1) = \mathbf{X}_{\text{rand}} - A \cdot D \quad (5)$$

式中, $\mathbf{X}_{\text{rand}}$ 为从当前鲸鱼群中随机选择的位置向量, 即为可能存在的可行解。 $\mathbf{X}$ 为个体所在的位置向量, t 为当前的迭代次数, A 、 C 为系数。具体求法为:

$$A = 2a \cdot r_1 - a \quad (6)$$

$$C = 2r_2 \quad (7)$$

$$a = 2 - 2t/T_{\max} \quad (8)$$

式中, r_1 和 r_2 为属于 $[0, 1]$ 之间的随机向量, a 是从 2 线性下降到 0 的向量, $T_{\max}$ 为迭代次数的最大值。

1.2.2 包围目标猎物

逼近可行解的过程可以仿照座头鲸向目标猎物靠近的活动特征^[13]。如果该目标猎物是当前群体的最佳个体位置, 则该位置更新为:

$$D = |C \cdot X^*(t) + X(t)| \quad (9)$$

$$X(t+1) = X(t) - A \cdot D \quad (10)$$

其中, $X(t)$ 为当前鲸鱼的位置向量, $X^*(t)$ 为当前鲸鱼的最佳位置向量。

1.2.3 捕食目标猎物

遏制机制的原理是通过降低 a 值来实现。 a 是介于 $[-2, 2]$ 之间的随机数值。当 a 在 $[-1, 1]$ 之间时, 鲸鱼群寻找的位置就是目标猎物的位置。此时, 鲸鱼群向目标猎物靠近; 反之, 鲸鱼群远离该猎物。

螺旋运动机制原理是座头鲸以螺旋形方式靠近猎物。根据运动方式构建数学模型, 模型如下:

$$X(t+1) = D' \cdot e^{il} \cdot \cos 2\pi l + X^*(t) \quad (11)$$

式中, $D' = |X^*(t) - X(t)|$ 为第 i 头鲸鱼群体当前最佳位置与猎物的距离, l 为 $[-1, 1]$ 之间的随机数值, b 为对数螺旋形状的常数。

座头鲸在捕食目标猎物时, 遏制机制与螺旋运动机制是同时进行的。为了模拟这一点, 在两者之间选用 50% 的概率, 对鲸鱼群的位置进行更新。数学模型为:

$$X(t+1) = \begin{cases} X(t) - A \cdot D, & p < 0.5 \\ D' \cdot e^{il} \cdot \cos 2\pi l + X^*(t), & p \geq 0.5 \end{cases} \quad (12)$$

式中, p 为 $[0, 1]$ 之间的随机数值。

综上可知, 鲸鱼优化算法通过随机选择猎物位置的机制, 确保了算法不会陷入局部最优解, 从而提高了对目标的搜索能力。

2 实验

2.1 仿真电路搭建

整流电路是一种较常见的电力电子电路, 广泛应用于交直流转换。三相整流电路因输出电压纹波小、易于滤波的特点而普遍适用于整个电力电子电路的故障诊断研究。

通过对三相整流电路的故障仿真, 验证了该方

法的故障诊断性能。由 Simulink 软件搭建的三相整流电路由 6 个晶闸管和 1 个负载电阻组成, 结构如图 2 所示。

开路故障是电力电子电路中最常见的故障之一。本文对单个晶闸管开路和两个晶闸管开路的情况进行了故障仿真。故障类型包括无故障运行状况在内, 共计 22 种分类结果, 分别对应于 22 种电路状态。

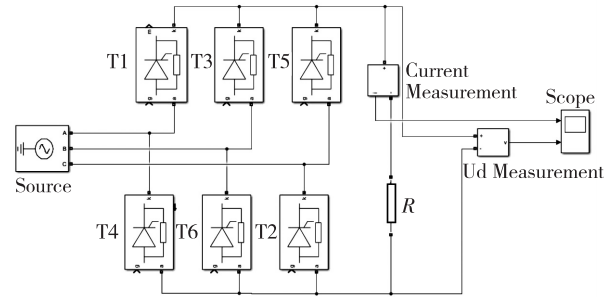


图2 三相整流电路的结构

2.2 故障仿真结果

选取触发角为 30° 的电路作为被检测对象。首先, 对正常工作状态及各类故障状态下的直流输出电压 V_d 进行采样。利用 4 层小波变换对 V_d 进行分析, 进行归一化处理, 将处理后的数据作为训练样本。随后, 对被测电路进行多次故障采样, 作为待测样本。平滑因子系数设定为 1.5。基于 PNN 的故障分类仿真结果如图 3 所示。横坐标为检验样本数量, 纵坐标为故障分类数量。可以看出, 故障分类准确率为 88.4%。

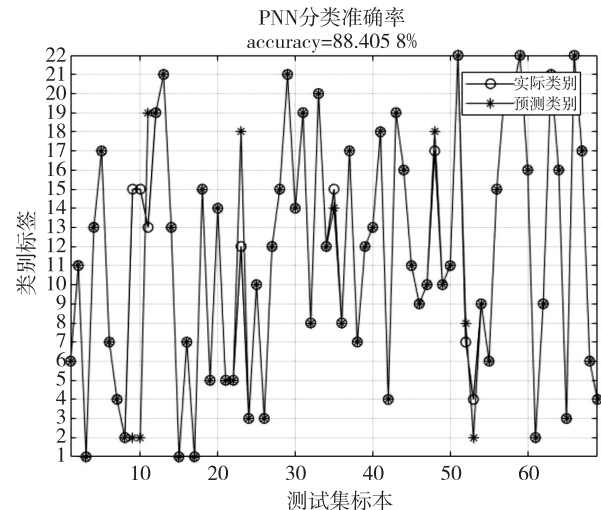


图3 基于 PNN 的故障分类仿真结果

通过 WOA 寻找最优平滑因子, 提高了诊断准确率。基于 WOA-PNN 的故障诊断结果如图 4 所

示。可以看出,诊断准确率为 95.7%

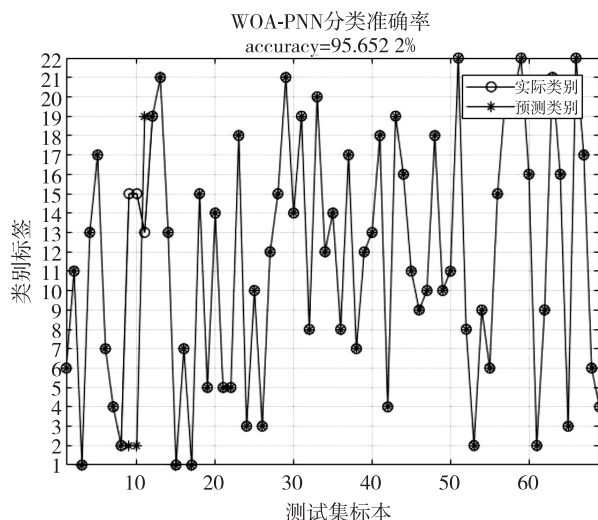


图4 基于 WOA-PNN 的故障诊断结果

3 结 论

通过仿真实验发现,与传统 PNN 相比,本文提出的基于 WOA 优化算法的优化 PNN 算法对电力电子电路的故障诊断的准确度更高。但是,准确率还有进一步提升空间。本文使用的是最基本的 WOA 算法,基本理论算法中的遏制机制、螺旋运动机制的概率各为 50%,可对这两种机制的概率进行调整,得到更加智能、更加合理的 WOA 优化算法,从而进一步提升故障诊断的速度和准确度。今后,可将多种特征提取方法相结合,利用集成学习算法,进一步提升单一智能算法在电力电子电路故障诊断中的诊断能力。

参 考 文 献:

[1] 钱照明,张军明,盛况. 电力电子器件及其应用的现

状和发展[J]. 中国电机工程学报, 2014, 34(29): 5149-5161.

- [2] 蔡涛,段善旭,康勇. 电力电子系统故障诊断技术研究综述[J]. 电测与仪表, 2008, 45(5): 1-7.
- [3] 马峻,赵飞乐,徐潇,等. MRA-PCA-PSO 组合优化 BP 神经网络模拟电路故障诊断研究[J]. 电子测量与仪器学报, 2018, 32(3): 73-79.
- [4] 朱延枫,王巍,佟绍成. BP 神经网络在三相桥式全控整流电路故障诊断中的应用[J]. 电工电气, 2010, 30(3): 42-45.
- [5] 张永,陈锋. 一种改进的鲸鱼优化算法[J]. 计算机工程, 2018, 44(3): 208-213, 219.
- [6] 刘朝阳,陈以,李少博. 概率神经网络在手写汉字识别中的应用[J]. 电子设计工程, 2016, 24(2): 32-34.
- [7] 雷正伟,徐章遂,米东,等. 一种基于故障重要度的概率神经网络诊断方法[J]. 计算机测量与控制, 2004, 12(2): 107-109.
- [8] 孙永军,王福明. 概率神经网络 PNN 在发动机故障诊断中的应用[J]. 机械工程与自动化, 2007(4): 99-100.
- [9] 王青,易成,王建强. 损伤位置分步识别法中参数选择、样本简化等问题的探究[J]. 科学技术与工程, 2006, 6(11): 1512-1516.
- [10] 蒋丽英,彭昌毅,崔建国,等. 基于 Relief-PNN 的发动机气路系统故障诊断[J]. 沈阳航空航天大学学报, 2018, 35(4): 77-84.
- [11] 徐桂敏,杨正祥. 概率神经网络在油浸式变压器故障诊断中的应用[J]. 科技资讯, 2011, 9(9): 143.
- [12] ABD EL AZIZ M E, EWEE S A A E, HASSANIEN A E. Whale optimization algorithm and moth-flame optimization for multilevel thresholding image segmentation[J]. Expert Syst Appl, 2017, 28(83): 242-256.
- [13] 张华磊,吕江毅,成林. 基于 WOA 算法的电动汽车感应驱动系统控制器的参数整定[J]. 山东农业大学学报(自然科学版), 2019, 50(1): 163-166.

评价功率 VDMOS 器件 SEB 效应的 畸变 NPN 模型

冯筱佳¹, 唐昭焕^{2,3}, 杨发顺³, 马 奎³

(1. 重庆电子工程职业学院, 重庆 401331; 2. 中国电子科技集团公司 第二十四研究所, 重庆 400060;
3. 贵州大学 大数据与信息工程学院, 贵阳 550025)

摘 要: 构建了一个半径为 $0.05\ \mu\text{m}$ 的圆柱体, 用于模拟单粒子辐射功率 VDMOS 器件的粒子径迹, 且圆柱体内新生电子和新生空穴的数目沿圆柱体的半径方向呈高斯分布。考虑到功率 VDMOS 器件的 SEB 效应与寄生 NPN 具有直接关系, 提出了一种畸变 NPN 模型, 并通过合理假设, 推导出功率 VDMOS 器件在单粒子辐射下安全漏源偏置电压的解析式。结果表明, 使用解析式计算得到的 SEB 阈值与 TCAD 仿真结果吻合较好。该模型可被广泛用于功率 VDMOS 器件 SEB 效应的分析和评价, 为抗辐射功率 VDMOS 器件的选型及评价提供了一种简单和廉价的方法。

关键词: 功率 VDMOS 器件; 单粒子烧毁; 畸变 NPN 模型; 耗尽区电场

中图分类号: TN386; TN432

文献标识码: A

文章编号: 1004-3365(2020)02-0236-05

DOI: 10.13911/j.cnki.1004-3365.190355

A Distortion NPN Model for Evaluating SEB Effect of Power VDMOS

FENG Xiaojia¹, TANG Zhaohuan^{2,3}, YANG Fashun³, MA Kui³

(1. Chongqing College of Electronic Engineering, Chongqing 401331, P. R. China;
2. The 24th Research Institute of China Electronics Technology Group Corp., Chongqing 400060, P. R. China;
3. College of Big Data and Information Engineering, Guizhou University, Guiyang 550025, P. R. China)

Abstract: A cylinder with a radius of $0.05\ \mu\text{m}$ was used to simulate the particle track of single event radiation in power VDMOS devices, and the number of newborn electrons and holes produced by radiation in the cylinder had distributed in accordance with Gauss distribution along the radius direction. Because the SEB effect of power VDMOS devices was directly related to parasitic NPN transistors, a distorted NPN model was proposed, and an analytical expression of the safe drain bias voltage of power VDMOS devices under single particle radiation was derived by reasonable assumptions. The results showed that the SEB threshold calculated by the proposed expression was in good agreement with the TCAD simulation results. The model could be widely used in the analysis and evaluation of SEB effect of power VDMOS devices. It provided a simple and inexpensive method for the selection and evaluation of radiation hardened power VDMOS devices.

Key words: power VDMOS; single event burnout; distortion NPN model; electric field in depletion region

收稿日期: 2019-06-16; 定稿日期: 2019-07-19

基金项目: 空间环境材料行为及评价技术重点实验室资助项目(61429100306); 教育部工程研究中心资助项目(010201)

作者简介: 冯筱佳(1983—), 女(汉族), 四川邻水人, 硕士, 工程师, 主要从事微电子学与固体电子学、模拟/数模混合集成电路的研究及教学工作。

0 引言

空间辐射环境中存在大量的 X 射线、 γ 射线、质子、重粒子等。这些射线和能量粒子来源于恒星爆炸和太阳黑子活动。高能粒子在向地球辐射的过程中会受到地球磁场和大气层的作用,使其运动轨迹发生偏移、能量发生衰减。这些受地球磁场作用的能量粒子在地球赤道上空形成带电粒子辐射区,即范·艾伦辐射带。范·艾伦辐射带是载人航天、通讯卫星等设备面临的最重要的辐射区^[1]。电子元器件在空间辐射环境中工作,会发生电离辐射总剂量效应和单粒子效应^[2]。抗辐射功率 VDMOS 器件是航天器用 DC/DC 电源的核心元器件之一。在重粒子辐射下,VDMOS 器件的单粒子效应会引起航天器电子系统的扰动,甚至导致电子系统失效,严重影响航天器的在轨安全运行^[3]。为了更好地描述功率 VDMOS 器件在单粒子辐射下的单粒子烧毁 (Single Event Burnout, SEB) 效应、更准确地评价功率 VDMOS 器件的 SEB 阈值,为功率 VDMOS 器件的选型和评价提供技术支撑,本文构建了一个半径为 $0.05\ \mu\text{m}$ 的圆柱体,代替重粒子在器件中的入射径迹,提出了一种可视化的畸变 NPN 模型,推导出功率 VDMOS 器件单粒子辐射下的安全漏源偏置电压解析式。

1 描述 SEB 效应的畸变 NPN 模型

1.1 重粒子辐射半导体材料的圆柱体模型

重粒子辐射半导体材料会以弹性碰撞、电子激发和韧致辐射这三种方式与材料中的原子发生能量交互,使得沿重粒子入射径迹方向(即图 1 中 x 轴)半径 r 范围内的材料原子电离,产生新生电子和新生空穴^[1]。显而易见,重粒子入射径迹中心线附近产生新生电子和新生空穴的数目远大于半径 r 处产生新生电子和新生空穴的数目。

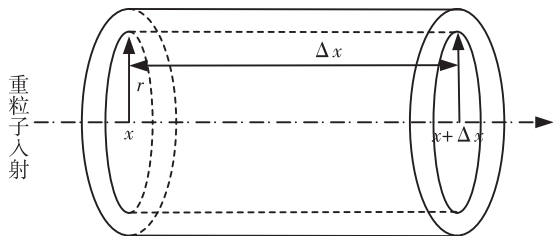


图 1 重粒子辐射半导体材料的圆柱体模型

根据载流子扩散长度的定义,单粒子辐射产生的新生电子和新生空穴数目沿着圆柱体半径方向呈高斯分布。将重粒子在半导体材料中的入射径迹作图 1 所示的圆柱体等效^[4],并设入射点的坐标为 x ,在材料中的射程为 Δx ,出射点为 $x + \Delta x$,圆柱体半径为 r ,可以在 TCAD 软件中模拟单粒子辐射功率 VDMOS 器件的过程,以及电特性随重粒子作用时间的变化关系。

1.2 寄生 NPN 晶体管 CB 结的畸变模型

由构建的圆柱体模型可知,重粒子的能量足够大时,重粒子在硅材料中的射程 Δx 大于功率 VDMOS 器件阱区(body 区)的结深,重粒子入射径迹上因为重粒子与材料原子能量交互而出现的局部材料电离区将使得器件的 PN 结发生弯曲。图 2 所示为重粒子沿 N 沟道功率 VDMOS 器件源区垂直入射时的畸变 NPN 模型示意图。

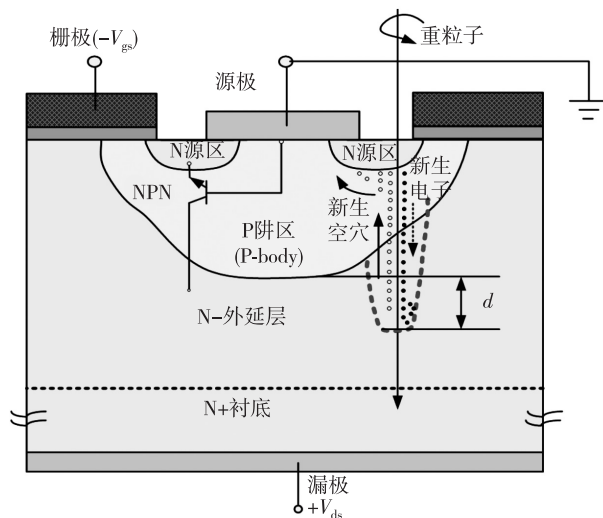


图 2 功率 VDMOS 器件 SEB 效应的畸变 NPN 模型

重粒子入射功率 VDMOS 器件后,重粒子在硅材料中出现能量损失,损失的能量使得硅材料原子电离,产生新生电子和新生空穴。在漏极正偏置电压的作用下,新生空穴向源极金属运动,新生电子向高掺杂的 N+ 衬底运动。当新生空穴在 P-body 区运动产生的电势降落引起源区与 P-body 区形成 PN 结两端出现 $0.7\ \text{V}$ 的电势差时,寄生 NPN 晶体管被触发,并处于共基电流放大的工作模式,NPN 管源极与漏极之间出现异常电流通路,发生 SEB 效应^[5-6]。在相同重粒子辐射下,相比于低漏源偏置电压,高漏源偏置电压更容易触发 SEB 效应,这与 NPN 晶体管集电区厚度变薄的现象类似^[7]。同时,考虑重粒子辐射半导体材料在入射径迹上对材料原子的离化作用,提出图 2 中虚线所示的畸变 NPN 模

型,用于评价功率 VDMOS 器件的 SEB 效应。

2 畸变 NPN 晶体管 CB 结耗尽区电场

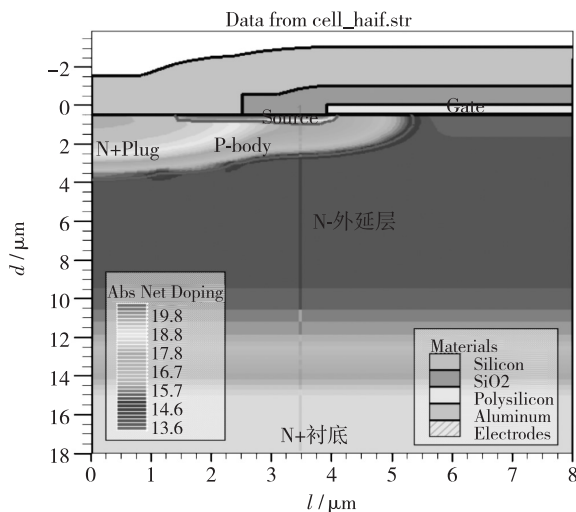
2.1 辐射前寄生 NPN 晶体管 CB 结耗尽区电场

功率 VDMOS 器件的 SEB 效应与器件中寄生三极管的特性有关。因此,研究寄生三极管特征与重粒子特性的关系是建立 SEB 分析模型的关键^[8]。图 3(a)所示为 150 V 带 P+ plug 的 N 沟道功率 VDMOS 器件半边元胞的剖面结构图,图 3(b)所示为由源区经 P-body 区、N-外延层到 N+衬底的硼杂质和磷杂质浓度分布曲线。器件的源区、P-body 区和 N-外延层分别形成寄生 NPN 晶体管的发射区、基区和集电区。发射区结深(X_{je})为 $0.45 \mu\text{m}$,发射区磷掺杂浓度由上表面的 $2 \times 10^{20}/\text{cm}^3$ 线性降低到发射结界面处的 $7 \times 10^{17}/\text{cm}^3$ 。基区宽度为 $1.7 \mu\text{m}$,基区硼掺杂浓度分布近似为准线性分布。基区上表面硼杂质浓度为 $7 \times 10^{17}/\text{cm}^3$,下表面为 $2 \times 10^{15}/\text{cm}^3$ 。集电结结深(X_{jc})为 $2.15 \mu\text{m}$ 。集电区磷杂质分布近似为均匀分布,磷杂质掺杂浓度为 $2 \times 10^{15}/\text{cm}^3$ 。

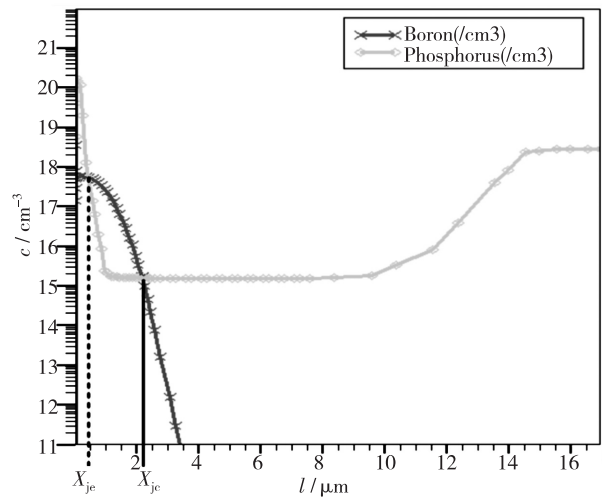
根据半导体器件物理理论知识,经简单推导后得到 PN 结耗尽区的计算公式^[9]:

$$W = \sqrt{\frac{2\epsilon(N_A + N_D)V_{DS}}{qN_A N_D}} \quad (1)$$

式中, W 为耗尽区宽度, N_A 是 P 型区杂质浓度, N_D 是 N 型区杂质浓度, V_{DS} 是外加偏置电压。假设功率 VDMOS 器件的 P-body 区硼杂质为线性分布、N-外延层为均匀分布,且漏极电压全部施加到 P-body 区与 N-外延层形成的耗尽区上,根据式(1)进行计算,耗尽区宽度为 $9.95 \mu\text{m}$ 。



(a) 半元胞剖面结构



(b) 杂质浓度分布曲线

图 3 功率 VDMOS 器件的结构及杂质分布曲线

图 4 所示为 150 V 功率 VDMOS 器件由源区经 P-body 区到 N-外延层的电场分布仿真曲线。设 NPN 晶体管 EB 结耗尽区向 N-外延层展宽的边沿为坐标原点,原点处电场为 0, CB 结界面处为最大电场 E_{MAX} 。对耗尽区中电场作线性近似,如图 4 中虚线所示,则电场为^[10]:

$$E_{MAX} = \frac{2V_{DS}}{W} \quad (2)$$

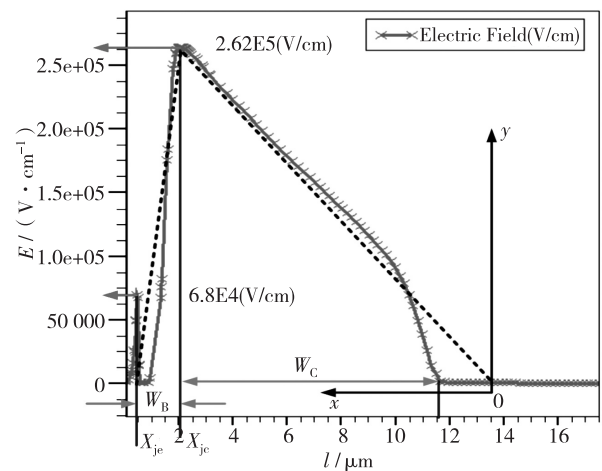


图 4 功率 VDMOS 器件的电场分布曲线

由图 4 可以看出,集电区耗尽区宽度 W 由 P-body 区耗尽区宽度 W_B 与 N-外延层耗尽区宽度 W_C 组成,且 N+衬底中的杂质在功率 VDMOS 器件制造过程中会向 N-外延层上返约 $2.0 \mu\text{m}$ 。实际计算峰值电场时,需对耗尽区宽度进行修正。修正后峰值电场的表达式为:

$$E_{MAX} = \frac{2V_{DS}}{W_B + W_C + 2} \quad (3)$$

修正后的耗尽区宽度为 $11.95 \mu\text{m}$,外加漏源偏

置电压为 150 V。由式(3)计算得到的峰值电场 E_{MAX} 为 $2.51 \times 10^5 \text{ V/cm}$, 仿真结果为 $2.62 \times 10^5 \text{ V/cm}$, 计算结果与仿真结果吻合较好。

2.2 辐射后寄生 NPN 晶体管 CB 结耗尽区电场

根据图 2 所示的畸变 NPN 晶体管模型, 在重粒子辐射下, CB 结向 N-外延层发生弯曲。设 CB 结的弯曲量为 d , 则有效耗尽区宽度 W_{eff} 为 $W-d$, 畸变 NPN 晶体管 CB 结的耗尽区峰值电场为:

$$E_{\text{MAX}} = \frac{2V_{\text{DS}}}{W_{\text{B}} + W_{\text{C}} + 2 - d} \quad (4)$$

图 5 所示为重粒子由源区垂直入射 150 V N 沟道功率 VDMOS 器件的二维仿真结果。重粒子线性能量传输 (LET) 值为 $99.8 \text{ MeV} \cdot \text{cm}^2/\text{mg}$, 入射点 $(x, y) = (3.6, -2)$, 出射点 $(x, y) = (3.6, 18)$, 重粒子入射径迹半径为 $0.05 \mu\text{m}$, 栅源偏置电压为 0 V, 漏源偏置电压为 70 V。

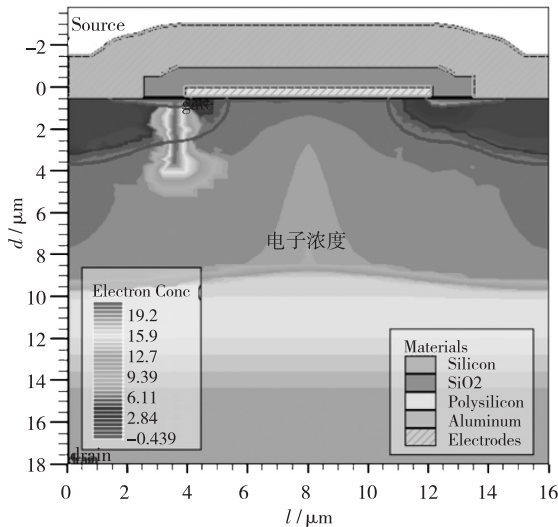
根据 TCAD 仿真方式, 可以确定畸变 NPN 晶体管的弯曲量为 $2.4 \mu\text{m}$ 。峰值电场为 $2.51 \times 10^5 \text{ V/cm}$ 时, 寄生 NPN 晶体管 CB 结发生了雪崩击穿。因此, 固定峰值电场不变, 可以获得重粒子辐射下畸变 NPN 发生雪崩击穿的偏置电压 (V_{CB}), 即给定重粒子辐射下该 VDMOS 器件的安全工作偏置电压。

对式(4)进行变换, 有:

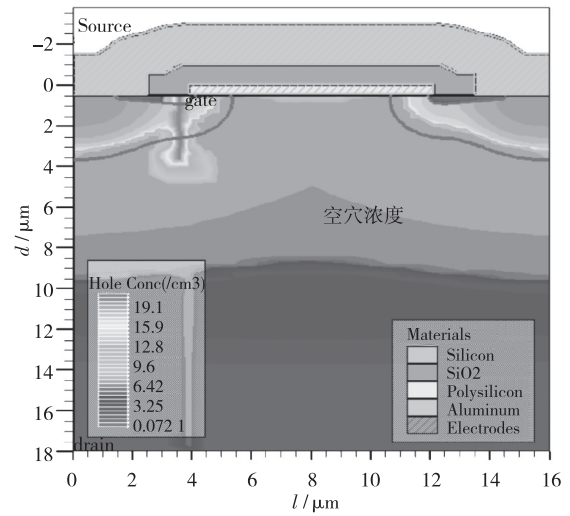
$$V_{\text{CB}} = \frac{E_{\text{MAX}}(W_{\text{B}} + W_{\text{C}} + 2 - d)}{2} \quad (5)$$

加上 70 V 漏源偏置电压时, CB 结的耗尽区宽度为 $6.8 \mu\text{m}$, 耗尽区并未进入衬底杂质上返的 N-外延层区域, 耗尽区宽度无须修正, 有:

$$V_{\text{CB}} = \frac{E_{\text{MAX}}(W_{\text{B}} + W_{\text{C}} - d)}{2} \quad (6)$$



(a) 电子浓度分布



(b) 空穴浓度分布

图 5 重粒子辐射 0.01 ps 时的载流子浓度分布图

式中, E_{MAX} 为 $2.51 \times 10^5 \text{ V/cm}$, $W_{\text{B}} + W_{\text{C}}$ 为 $6.8 \mu\text{m}$, d 为 $2.4 \mu\text{m}$ 。经过计算, 当 LET 值为 $99.8 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 的重粒子沿功率 VDMOS 器件源区垂直入射时, 安全漏源偏置电压为 60.24 V。

3 验证与讨论

本文采用 TCAD 软件定义重粒子的粒子属性、偏置电压, 得到重粒子沿 150 V 功率 VDMOS 器件源区垂直入射时的单粒子辐射特性, 如图 6 所示。

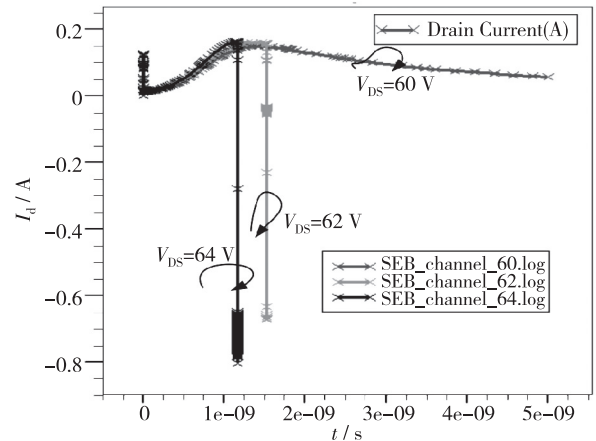


图 6 150 V 功率 VDMOS 器件的 SEB 特性仿真曲线

可以看出, 漏源偏置电压 V_{DS} 为 60 V 时, 在 LET 值为 $99.8 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 的重粒子辐射下, 器件无 SEB 效应; 在漏源偏置电压 V_{DS} 为 62 V 时, 在重粒子辐射 1.5 ns 后, 器件出现了漏极电流急剧变大的现象, 即发生了 SEB 效应。特别地, 器件发生 SEB 效应时, 并不是发生在漏极电流出现峰值的

时刻,而是发生在漏极电流出现峰值后的 0.25 ns 时刻。原因是:功率 VDMOS 器件在漏源偏置电压为 62 V 时,经过重粒子辐射后,寄生 NPN 晶体管被触发,出现大电流,大电流使得器件内局部晶格温度升高,在漏极电流达到峰值电流后,漏极电流开始下降,但晶格温度继续升高,甚至达到 1 800 K 以上,漏极电流急剧变大,最终器件被烧毁。由仿真结果可以看出,150 V 功率 VDMOS 器件的 SEB 安全工作区为 60 V,与计算得到的安全偏置电压 60.24 V 一致。

为了评价 150 V 功率 VDMOS 器件 SEB 的安全工作电压,得到安全漏源偏置电压的一般计算表达式,有:

$$V_{CB} = \begin{cases} \frac{E_{MAX}(W_B + W_C - d)}{2}, V_{DS} \leq 100V \\ \frac{E_{MAX}(W_B + W_C + x - d)}{2}, V_{DS} > 100V \end{cases} \quad (7)$$

150 V N 沟道功率 VDMOS 器件的有效 N-外延层的宽度为 8.17 μm 。式(7)中, $V_{DS} \leq 100$ V 时,耗尽区未进入衬底杂质在 N-外延层的上返区域,无需对外延层厚度进行修正,按照 $V_{DS} \leq 100$ V 的公式计算。 V_{DS} 大于 100 V 时,耗尽区进入衬底杂质在 N-外延层的上返区域,需要对外延层厚度进行修正,修正值 x 为式(1)计算的耗尽区宽度与 8.17 μm 的差值,CB 结弯曲量由 TCAD 工具仿真确定, d 为重粒子入射 0.01 ps 时 CB 结的可视化弯曲量,如图 7 所示。

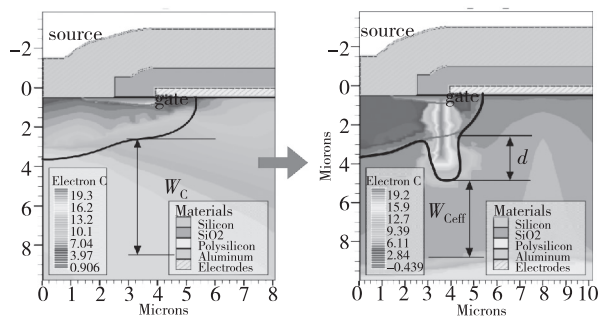


图 7 畸变 NPN 晶体管 CB 结弯曲量 d 的确定方法

4 结 论

本文构建了一个半径为 0.05 μm 的圆柱体,可对重粒子在半导体器件中的入射径迹进行等效,并

提出了一种可视化的畸变 NPN 模型,对功率 VDMOS 器件的 SEB 效应进行了评价。针对一种 150 V N 沟道功率 VDMOS 器件寄生 NPN 晶体管进行计算,CB 结发生雪崩击穿时的峰值电场为 5.51×10^5 V/cm,此峰值电场作为功率 VDMOS 器件发生 SEB 时的峰值电场,以寄生 NPN 晶体管 CB 结在重粒子辐射下的畸变量对有效耗尽区宽度进行修正,从而推导出在不同重粒子辐射下 150 V N 沟道功率 VDMOS 器件安全漏源偏置电压的一般表达式。该表达式可用于确定不同重粒子辐射下功率 VDMOS 器件安全工作区,为抗辐射功率 VDMOS 器件的选型及评价提供了一种简单和廉价的方法。

参 考 文 献:

- [1] 毕克允,张兆祥,李继国,等. 电子元器件抗辐射加固技术 [M]. 北京: 电子元器件辐射效应编委会, 2002.
- [2] 侯明东,刘杰,孙友梅,等. 宇航器件单粒子效应的加速器地面模拟 [C] // 第七届中国核学会“三核”论坛暨中国毒理学会放射毒理委员会第八次全国会议. 长春, 中国. 2010: 325-326.
- [3] 唐昭焕,杨发顺,马奎,等. 功率 VDMOS 器件抗 SEB/SEGR 技术研究进展 [J]. 微电子学, 2017, 47(3): 401-405.
- [4] WAS G S. Fundamentals of radiation materials science—metal and alloys [M]. 2nd ed. Berlin: Springer, 2015: 45-76.
- [5] WASKIEWICZ A E, GRONINGER J W, STRAHAN V H, et al. Burnout of power MOS transistors with heavy ions of californium-252 [J]. IEEE Trans Nucl Sci, 1986, 33(6): 1710-1713.
- [6] TITUS J L. A updated perspective of single event gate rupture and single event burnout in power MOSFETs [J]. IEEE Trans Nucl Sci, 2013, 60(3): 1912-1928.
- [7] TANG Z H, FU X H, YANG F S, et al. SEGR- and SEB- hardened structure with DPSOI in power MOSFETs [J]. J Semicond, 2017, 38(12): 124006-1 - 124006-5.
- [8] 张丽,庄奕琪,李小明,等. VDMOSFET 二次击穿效应的研究 [J]. 现代电子技术, 2005(4): 114-117.
- [9] SZE S M, NG K K. Physics of semiconductor devices [M]. 3rd ed. New York: Wiley Interscience, 2006: 243-291.
- [10] HOHL J H, GALLOWAY K F. Analytical model for single event burnout of power MOSFETs [J]. IEEE Trans Nucl Sci, 1987, 34(6): 1275-1280.

· 半导体器件与工艺 ·

对角线六边形的 TSV 冗余结构设计

束 月¹, 梁华国¹, 左小寒¹, 杨 兆¹, 蒋翠云², 倪天明^{3,4}

(1. 合肥工业大学 电子科学与应用物理学院, 合肥 230009; 2. 合肥工业大学 数学学院, 合肥 230009;

3. 安徽工程大学 电气工程学院, 安徽 芜湖 241000;

4. 高端装备先进感知与智能控制教育部重点实验室, 安徽 芜湖 241000)

摘 要: 硅通孔(TSV)在制造过程中容易产生各类故障缺陷,导致 3D 芯片合格率降低。为了解决这一问题,提出一种新的对角线六边形冗余结构,对均匀故障的修复率保持在 99% 以上,对聚簇故障的修复率与路由冗余结构相近,并高于环形冗余结构。实验结果表明,与环形和路由冗余结构相比,该结构的面积开销分别减小了 1.64% 和 72.99%,修复路径长度分别降低了 39.4% 和 30.81%;与路由结构相比,该结构的时间开销缩短了 62.55%。

关键词: 三维集成电路; TSV; 冗余结构; 修复率

中图分类号: TN403; TN406

文献标识码: A

文章编号: 1004-3365(2020)02-0241-07

DOI: 10.13911/j.cnki.1004-3365.190289

Design of TSV Redundant Structure with Diagonal Hexagonal Shape

SHU Yue¹, LIANG Huaguo¹, ZUO Xiaohan¹, YANG Zhao¹, JIANG Cuiyun², NI Tianming^{3,4}

(1. School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei 230009, P. R. China;

2. School of Mathematics, Hefei University of Technology, Hefei 230009, P. R. China;

3. College of Electrical Engineering, Anhui Polytechnic University, Wuhu, Anhui 241000, P. R. China;

4. Key Lab. of Advan. Perception and Intelligent Control of High-End Equip., Ministry of Education, Wuhu, Anhui 241000, P. R. China)

Abstract: Vertical interconnection of 3D chips via through-silicon via (TSV) was considered to be a great boost to the semiconductor industry, but TSV was prone to various kinds of faults during manufacturing, which led to the reduction of the yield of 3D chips. To solve this problem, a novel diagonal hexagonal redundancy structure was proposed to repair the TSV fault. The experimental results showed that the repair rate for uniform faults was always above 99%, while the repair rate for clustered fault was similar to that of router-based structure and higher than that of ring-based structure. In addition, the area overhead was reduced by 1.64% and 72.99% compared with that of the ring-based and router-based structure, respectively. In terms of time overhead, this structure was shortened by 62.55% compared with the router-based structure. The repair path length of this structure was 30.81% and 39.4% lower than that of router-based and ring-based structure, respectively.

Key words: 3D IC; TSV; redundant structure; repair rate

收稿日期: 2019-05-13; 定稿日期: 2019-06-12

基金项目: 国家自然科学基金重点项目(61674048, 61834006); 安徽工程大学启动基金(2018YQQ007); 电子测试技术重点实验室开放基金资助项目(61420010202717); 安徽省自然科学基金(1908085QF272)

作者简介: 束 月(1995—), 女(汉族), 安徽芜湖人, 硕士研究生, 主要研究方向为三维集成电路设计。

梁华国(1959—), 男(汉族), 安徽合肥人, 博士, 教授, 主要研究方向为三维集成电路设计。

0 引言

随着半导体工艺尺寸持续向 5 nm、3 nm、1 nm 逼近,摩尔定律走向物理极限。默克(Merck)全球集成电路材料事业处资深副总裁 Rico Wiedenbruch 表示,通过 3D 芯片结构来改变半导体芯片结构,这是解决摩尔定律逼近物理极限之后工艺尺寸缩小越来越困难问题的最佳解答^[1]。三维集成电路利用 TSV,将不同芯片或电路模块等不同层器件在垂直方向上进行连接。相比二维集成电路,三维集成电路能有效减小互连线长度,提高互连密度,实现异质集成,减小芯片面积。在 3D 芯片中,TSV 数量众多且功能不同。用于信号传输的 TSV 通常被称为信号 TSV(Signal TSV, STSV)。3D 芯片在制造过程中容易产生故障,无法正常传输信号。3D 芯片的合格率会随着 TSV 故障率的提高而迅速降低。为解决这一问题,通常添加一定数量的冗余 TSV(Redundancy TSV, RTSV),用来代替故障的 TSV,以提高三维集成电路的可靠性^[2]。由于 TSV 的直径通常为几十至几百 μm ,占用较大芯片面积,需采用尽可能少的 TSV 来确保三维集成电路的可靠性。

在实际生产中,制造和堆叠过程容易导致 TSV 发生故障。TSV 的成品率还会受到硅片表面粗糙度和清洁度的影响。在堆叠过程中,一旦某个 TSV 发生故障,周围的 TSV 也有可能产生缺陷,呈现聚簇分布。文献[3]指出,在聚簇中心区域发生故障的概率高于其他区域,并针对聚簇故障问题,提出了路由冗余结构。在 TSV 阵列里,每个 STSV 均配有一个路由器(由三个 3:1 MUX 构成),信号通过路由器进行转移传输。但是,大量 MUX 和 RTSV 的使用带来极大的硬件开销,并且在冗余修复过程中,许多路由器会被绕过,产生了较大的时间开销与延时。针对这一问题,T. T. Hwang 等人提出了环形冗余结构,减小了硬件开销,但若发生多个聚簇故障,无法以很高的修复率来修复聚簇故障^[4-5]。

本文提出一种新的对角线六边形冗余结构,既适应于均匀分布故障,又适应于聚簇故障。利用六边形特有的对称性和灵活性来排列 TSV,合理安排 RTSV 位置,将整体结构划分成几个均匀子模块,提高每个子模块的冗余率,保证整个结构的高修复率。RTSV 在 TSV 阵列中均匀分布,结合路由方向的对称性,可以避免故障 TSV 中修复路径长度差异太大

或时序开销较大的情况。

1 对角线六边形结构的设计背景

1.1 研究背景

在三维集成电路设计中存在一个重要问题,即 TSV 的放置位置。这些 TSV 主要负责层与层之间的信号传输。图 1(a)所示为常见的 3×3 网格拓扑结构。TSV 阵列的行、列均放有 3 个 TSV,共有 9 个 TSV。图 1(a)中, p 为节距,即相邻 TSV 之间的距离。在网格拓扑结构中,TSV 与相邻水平垂直方向的 TSV 距离为 p ,中心点 TSV 到斜对角线位置的 TSV 距离为 $2^{1/2}p$ 。TSV 阵列中,TSV 之间的距离可能是不等的。对于较大的 TSV 阵列结构,可以进行拓扑。图 1(b)所示为 6×6 网格拓扑结构。TSV 阵列的行、列均放有 6 个 TSV。当网格拓扑结构是 $n \times n$ 规模时,TSV 阵列的行、列均放有 n 个 TSV。

N_m 表示网络拓扑结构中 TSV 总个数,有:

$$N_m = n^2 \quad (1)$$

S_m 表示网络拓扑结构所占的总面积,有:

$$S_m = [(n-1)p]^2 \quad (2)$$

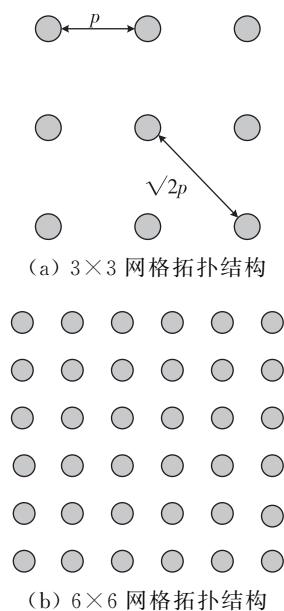


图1 网格拓扑结构

采用六边形拓扑代替传统的网格拓扑,图 2(a)所示为一个 $n=1$ 的六边形拓扑单元结构。每条边是 1 个 TSV,加上中心的 1 个 TSV,任意两个相邻 TSV 的距离均为 p 。六边形 TSV 阵列完全对称,并且在较大的 TSV 阵列结构中仍能保持对称。

图 2(b) 是一个 $n=2$ 的六边形拓扑结构, 最外层每条边上有 2 个 TSV。这是单元拓扑结构的每条边向外扩展, 形成一个两层的六边形拓扑结构, 也可看作由 7 个六边形单元结构构成。 n 既可以表示六边形结构的层数, 也可以表示该结构最外层六边形每条边的 TSV 个数。

N_h 表示六边形拓扑结构中 TSV 总个数, 有:

$$N_h = 6 \sum_{i=1}^n (3i - 2) + 1 \quad (3)$$

S_h 表示六边形拓扑结构的总面积, 有:

$$S_h = \frac{3\sqrt{3}}{2} \frac{[1 + 3n(n-1)]}{2} p^2 \quad (4)$$

3×3 网格拓扑结构的 TSV 总个数是 9, 单位 TSV 所占面积为 $0.44p^2$ 。六边形单元拓扑结构的 TSV 总个数是 7, 单位 TSV 所占面积为 $0.37p^2$ 。由此可见, 六边形拓扑结构可以集成更多的 TSV。从电容耦合、有效电感、屏蔽性能等方面进行比较, 六边形拓扑结构具有较好的物理和电气特性^[6-8]。

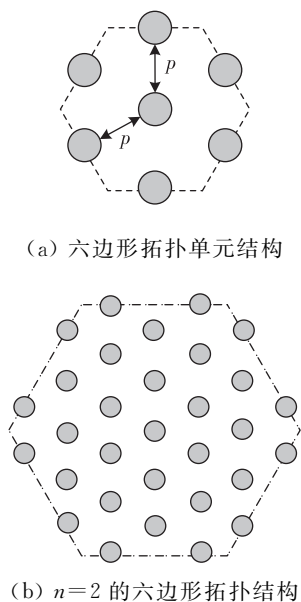


图 2 六边形拓扑结构

1.2 出现不同数量故障 TSV 的概率分析

采用六边形结构代替网格结构时, 使用的 TSV 数量就会不同。针对如何添加适当数量的 RTSV, 采用复合泊松分布模型来分析 TSV 发生故障的可能性^[9]。通常假设 TSV 的故障率为 1% 是最坏情况。如果 TSV 冗余结构能在最坏情况下保持较高的成品率, 那么在正常应用下也能保持较高的成品率。

图 3 所示为不同层数六边形结构出现不同数

量故障 TSV 的概率。 α 是代表故障聚簇的参数。 α 值越小, 表明聚簇故障效应越明显。这里将 α 设为 1。

对复合泊松分布模型数据进行分析, 一层六边形结构不出现故障 TSV 的概率达到 93.46%, 说明 7 个 TSV 出现故障的可能性较小。两层六边形结构包含 31 个 TSV, 出现 4 个以上故障 TSV 的总概率不足 0.1%, 可以忽略不计。三层六边形结构出现 7 个以上故障 TSV 的总概率不足 0.1%。四层六边形结构出现 10 个以上故障 TSV 的总概率不足 0.1%。五层六边形结构出现 13 个以上故障 TSV 的总概率不足 0.1%。六层六边形结构出现 16 个以上故障 TSV 的总概率不足 0.1%, 以此类推。因此, 要保证信号正常传输, 添加一层六边形结构需添加 1 个 RTSV, 两层六边形结构需添加 4 个 RTSV, 三层六边形结构需添加 7 个 RTSV, 四层六边形结构需添加 10 个 RTSV, 等等。每扩展一层六边形结构, RTSV 数量需增加 3 个, 也可以根据实际情况添加更多的 RTSV。对于 n 层六边形结构, RTSV 数量 N_r 为:

$$N_r = 3n - 2 \quad (5)$$

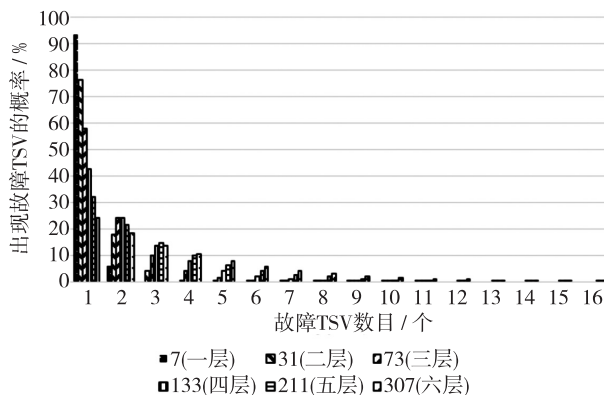


图 3 六边形结构出现故障 TSV 的概率

对比环形冗余结构与路由冗余结构, 六边形结构可以使用较少的 RTSV 来对 TSV 阵列进行冗余修复。在此基础上, 本文提出一种对角线六边形冗余结构, 保证在出现不同情况的故障下均具有较高的修复率和较低的开销。

2 对角线六边形冗余结构

2.1 RTSV 位置的选放

图 4 所示为不同层六边形结构冗余位置示意图。

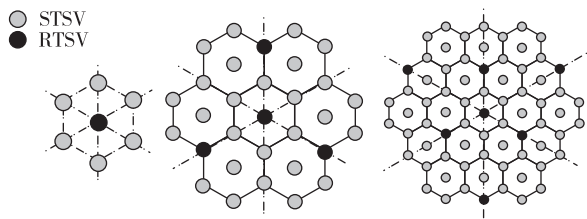


图4 六边形结构冗余位置示意图

一层六边形结构中,将 RTSV 放置于整个结构的中心位置,这样可将整层结构分成六个子模块。两层六边形结构中,将 3 个 RTSV 放置在对角线上,将两层结构均匀分成 6 个子模块。三层六边形结构中,将 3 个 RTSV 放置在对角线上,并与两层 RTSV 放置的位置相交错,将三层结构均匀分成 6 个子模块。对于更多层数的六边形冗余结构,将 RTSV 的位置以此方式交错放置。从物理布局角度来看,将一个整体结构划分成几个均匀子模块,能提高每个子模块的冗余率。RTSV 的位置也可根据具体情况来放置。RTSV 在 TSV 阵列中均匀分布,结合路由方向的对称性,可以避免故障 TSV 中修复路径长度差异太大或时序开销较大的情况。

2.2 对角线六边形冗余结构的路由

六边形冗余结构中,信号最多有六个路由方向的选择。环形、路由冗余结构中,信号最多有四个路由方向,路由设计更加复杂。图 5 所示为三层对角线六边形冗余结构的路由示意图。这里只显示部分路由连接,省去最外围每条边 2 个 TSV。图 5 中,黑色圆形表示 RTSV,灰色圆形表示 STSV(STSV 会负责相应的信号传输),箭头方向表示的是 STSV 还可以向其他 TSV 方向进行路由。

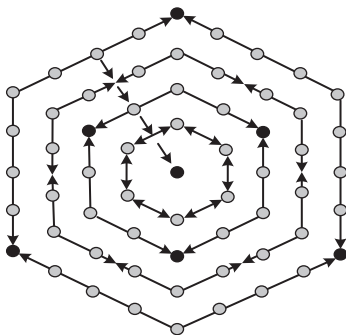
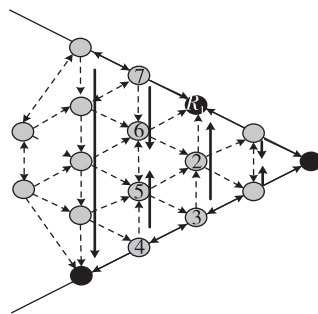


图5 对角线六边形冗余结构的路由示意图

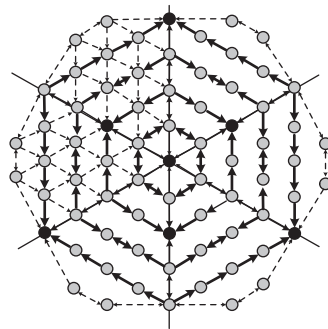
将对角线六边形冗余结构看成一层层的六边形环。路由方向主要是由外层环指向内层环,每层六边形环的顶点往两边路由。

图 6(a)所示为局部对角线六边形冗余分析图,

六边形冗余结构是对称的,只要知道部分信号的路由方向,就可以表示整个结构的路由方向。图 6(b)是三层对角线六边形冗余结构整个路由示意图。图 6(a)所示结构的规模是图 6(b)的 1/6。



(a) 局部对角线六边形冗余分析图



(b) 对角线六边形冗余路由示意图

图6 冗余结构示意图

每个信号 S 都有对应的 STSV 传输信号。具体的路由方向要根据信号所在位置来设置。

1) 当信号在尖型六边形顶点位置(尖型六边形顶点位置中有 RTSV)时,路由方向指向相邻两边的 STSV,并且相邻 STSV 对应的信号会有相同的路由指向。图 6(a)中,信号 S_3 在顶点位置,并且所在的尖型六边形顶点位置有 RTSV,信号 S_3 可以路由到 $STSV_2$,信号 S_2 保持相同的路由方向,路由到 R_3 。

2) 当信号在尖型六边形顶点位置(尖型六边形顶点位置中没有 RTSV)时,尖型六边形的顶点位置都是 STSV,顶点位置上的信号向相邻两边路由。分两种情况:当边上的 TSV 个数为奇数时,路由方向由每条边的两个顶点指向最中间 STSV;当边上的 TSV 个数为偶数时,最中间位置的两个信号为双向的路由方向。图 6(a)中,信号 S_5 延续 S_4 的路由方向,可以路由到 $STSV_6$ 。信号 S_6 延续 S_7 的路由方向,可以路由到 $STSV_5$ 。信号 S_5 和 S_6 为双向的路由方向。

3) 层与层之间尖型六边形边上的信号连接时, 由外层尖型六边形指向内层尖型六边形方向, 每个信号都有两个指向内层的路由方向。图 6(a)中, 信号 S_5 有两个路由方向, 可以路由到 $STSV_2$ 、 $STSV_3$ 。第一层中心六边形六个顶点信号都有指向中心点的 $RTSV$ 的路由方向。

4) 当对角线延长线上的相邻信号是 STSV 时, 路由方向设为双向指向, 如果相邻的是 RTSV, 则指向 RTSV。

5) 最外层的信号均设为双向路由方向。

每个信号都会配有一个 STSV 来负责上下层之间的信号传输,如信号 S_1 对应一个 $STSV_1$ 。当 STSV 发生故障时,信号会沿着路由方向,转移到其他相邻 TSV。图 7 所示为局部冗余结构的故障分析。当 $TSTV_2$ 、 $STSV_5$ 、 $STSV_6$ 发生故障时,无法对原来的信号进行传输。根据冗余结构的路由方向, $STSV_2$ 发生故障,信号 S_2 将通过 $STSV_1$ 传输信号,而信号 S_1 的 $STSV_1$ 被占用,可以选择从 R_2 传输信号。 $STSV_6$ 发生故障时,信号 S_6 直接选择最近的 R_1 进行信号传输。 $STSV_5$ 发生故障时,将信号一个个地移位传输,信号 S_5 通过 $STSV_3$ 传输信号,信号 S_3 通过 $STSV_4$ 传输信号,信号 S_4 则通过 R_3 来传输。每个信号与 TSV 之间均有多路选择器,负责信号的转移。 $STSV_2$ 负责对应信号 S_2 的传输,还可以传输信号 S_3 、 S_5 、 S_6 。

在 TSV 测试过程中,需要判断 TSV 是否可修复。如果可修复,还需找到修复路径。路由冗余结构和环形冗余结构通常采用最大流量算法来推导修复路径。推导修复路径就是寻找一条故障 TSV 到 RTSV 的路径。针对聚簇故障,将采用最小代价最大流算法来搜寻修复路径。

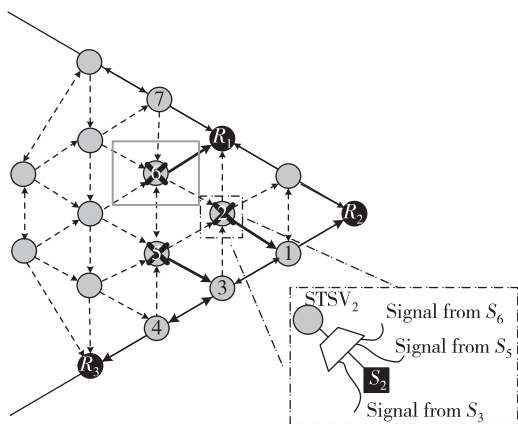


图 7 局部冗余结构的故障分析

本文将 TSV 阵列看作一个有向图 $G(V, E)$ 。节点集合 V 是由超级源节点 $\{S\}$ 、信号节点 $\{\text{signal}\}$ 、TSV 节点 $\{\text{TSV}\}$ 和超级汇点 $\{T\}$ 组成。其中,边集合 E 是由超源节点到信号的边 $\{SS\}$ 、信号到信号 TSV 的边 $\{ST\}$ 、信号到冗余 TSV 的边 $\{SR\}$ 和 TSV 到超级汇点的边 $\{TT\}$ 组成。所有边流量 flow 均设置为 1。每条边上还有对应的成本 cost。边 $\{SS\}$ 和边 $\{TT\}$ 的成本 cost 为 0。边 $\{SR\}$ 的成本 cost 为 1。边 $\{ST\}$ 的成本 cost 分两种情况:当信号 S_i 使用对应 TSV_i 进行信号传输时,成本 cost 为 0;当信号 S_i 使用其他 TSV_j 进行信号传输时,成本 cost 为 1。将 TSV 修复问题转换为流问题,反复寻找超级源点 S 到超级汇点 T 之间的增广路径。因为所有边的流量均为 1,所以当最大流的流量为 STSV 数量或信号数量时,认为故障 TSV 可修复。

3 实验结果与分析

3.1 修复率的对比分析

为了评估六边形冗余结构的性能,将提出的冗余结构与环形和路由冗余结构进行了比较。采用C/C++编程语言对这些冗余结构进行仿真,并采用了最小代价最大流算法。实验中,环形冗余结构包含56个STSV和8个RTSV,路由的冗余结构包含64个STSV和16个RTSV。由于六边形结构与网格结构不同,为了在相近条件下进行仿真,考虑到三层六边形冗余结构的TSV数量与这两种结构最接近,本文选用三层六边形冗余结构。

如果故障 TSV 的数量超过 RTSV 的数量,由于缺少 RTSV,任何修复结构都无法修复故障。因此,每个冗余结构中可修复故障的最大数量等于 RTSV 的数量。为了评估冗余结构的修复率,将不同故障数量均匀随机分布到冗余结构。实验中,每个故障数量随机产生 1 000 000 次。表 1 所示为不同层数六边形冗余结构的故障数量与修复率之间的关系。当故障数量为 1~6 个时,六边形冗余结构均能以 100% 的修复率来修复故障 TSV。对于 6 个以上的故障 TSV,六边形冗余结构仍然具有很高的修复率,且成品率始终保持在 99.5% 以上。

不同数量的故障均匀随机分布时,将三层六边形冗余结构的修复率与环形和路由冗余结构进行对比,结果如图 8 所示。可以看出,六边形冗余结构始

终保持很高的修复率。在 7 个故障 TSV 下,六边形冗余结构的修复率比路由冗余结构低 1.13%,但路由冗余结构共有 16 个 RTSV,比六边形冗余结构多出 9 个 RTSV。这说明,六边形结构使用较少的 TSV,达到了较好的修复效果。

表 1 不同层数六边形冗余结构的故障数量与修复率

故障数量	修复率/%				
	1 层	2 层	3 层	4 层	5 层
0	100	100	100	100	100
1	100	100	100	100	100
2	-	100	100	100	100
3	-	100	100	100	100
4	-	-	100	100	100
5	-	-	100	100	100
6	-	-	99.94	100	100
7	-	-	98.78	99.99	99.99
8	-	-	-	99.97	99.97
9	-	-	-	99.79	99.85
10	-	-	-	98.32	99.68
11	-	-	-	-	99.55
12	-	-	-	-	96.96
13	-	-	-	-	87.62
芯片成品率/%	99.57	99.68	99.89	99.79	99.52

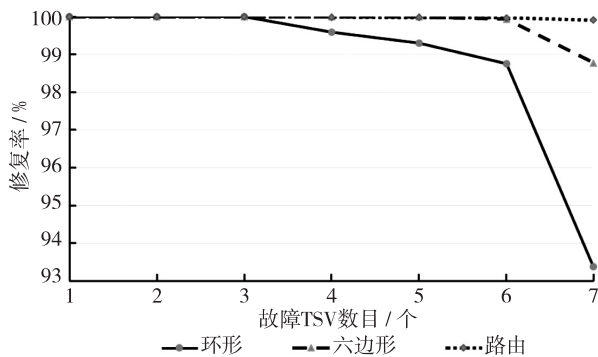
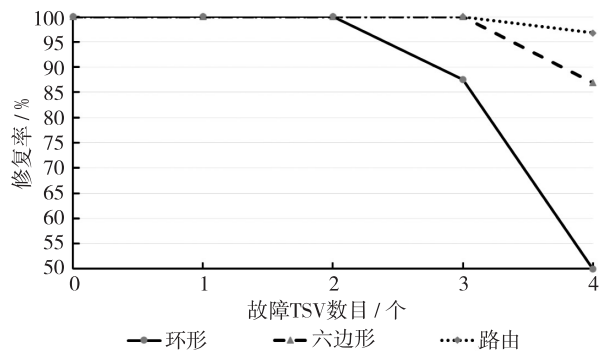


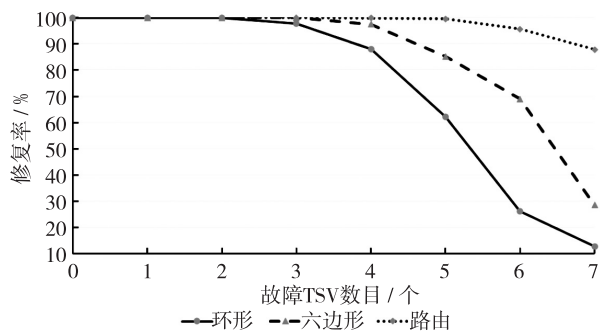
图 8 不同冗余结构的修复率比较

采用聚簇窗口来评估聚簇故障的修复性能。缺陷聚簇程度越高,修复率的差异越大。分别在 2×2 、 3×3 、 4×4 和 5×5 聚簇窗口下,三种冗余结构中不同数量的故障 TSV 对应的修复率比较结果如图 9 所示。可以看到,在 2×2 聚簇窗口下,0~3 个故障出现时,三层六边形冗余结构的修复率均可达到 100%,修复效果远好于环形冗余结构。在出现 4 个以上故障时,环形冗余结构的修复率会大大降低。而三层六边形冗余结构的修复率只有在 7 个故障出现时才会大大降低。但这种情况出现的可能性很

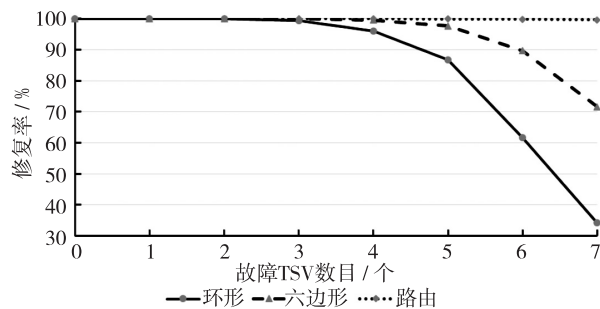
低,可以忽略。与路由冗余结构相比,三层六边形冗余结构的修复率略低。但是,路由冗余结构的 RTSV 数量为 16,三层六边形冗余结构的 RTSV 数量为 7。这说明,三层六边形冗余结构采用较少的 RTSV,实现了相同的修复效果,RTSV 的利用率达到 229%,减小了硬件开销。



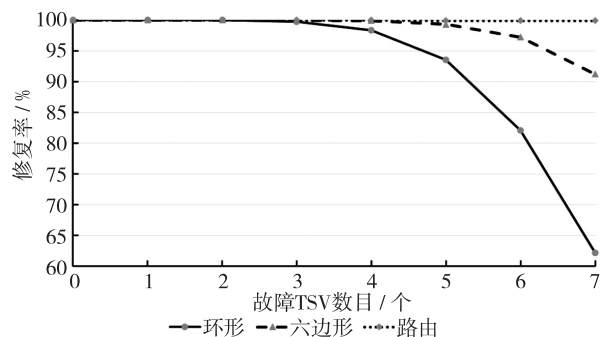
(a) 2×2 聚簇故障分布



(b) 3×3 聚簇故障分布



(c) 4×4 聚簇故障分布



(d) 5×5 聚簇故障分布

图 9 各类聚簇情况下冗余结构的修复率比较

3.2 硬件开销分析

不同层数六边形冗余结构中,STSV、RTSV 数量均不相同,冗余比也不同。表 2 列出不同层数六边形冗余结构的 TSV 数量与冗余比。可以看到,每增加一层,RTSV 数量固定增加 3 个,STSV 数量也在增加,冗余比越来越低。这意味着六边形冗余结构能以更低的开销来达到相近的修复效果。

为了比较冗余架构的硬件开销,实验中使用了 40 nm 开放单元库技术参数^[10]。每个冗余结构包括多个 MUX。它们会占用一定的区域。表 3 列出三种冗余架构在硬件方面的比较结果。

表 2 不同层数的六边形冗余结构分析					
参数	六边形冗余结构				
	1 层	2 层	3 层	4 层	5 层
TSV 总数/个	7	31	73	133	211
STSV 数量/个	6	27	66	123	198
RTSV 数量/个	1	4	7	10	13
冗余比/%	16.67	14.81	10.61	8.13	6.57

表 3 不同冗余结构的硬件开销			
参数	环形结构	路由结构	3 层六边形结构
TSV 数量/个	64	80	73
STSV 数量/个	56	64	66
RTSV 数量/个	8	16	7
冗余比/%	14.29	25	10.61
单位 TSV 面积/ μm^2	$0.77p^2$	$0.79p^2$	$0.68p^2$
2 : 1 MUX/个	12	0	6
3 : 1 MUX/个	36	192	18
4 : 1 MUX/个	16	0	21
5 : 1 MUX/个	0	0	21
6 : 1 MUX/个	0	0	7
MUX 总面积/ μm^2	683.76	2845.44	792.88
单个 STSV 面积/ μm^2	12.21	44.46	12.01
时延/ps	79.56	341.45	129.92
单个 STSV 时延/ps	1.42	5.34	2.00

可以看到,三层六边形结构的冗余比与单位 TSV 面积最低,这表明可以使用更少的 RTSV 来达到相近甚至更好的修复效果。路由冗余结构中,每个 STSV 包括由三个 3 : 1 MUX 组成的路由开关。环形冗余结构和三层六边形冗余结构使用了多个各

类 MUX。虽然路由冗余结构可以灵活跨区域路由,但硬件开销很大。三层六边形冗余结构中 MUX 总面积开销只占路由冗余结构的 27.86%。三种结构的 TSV 数量都不同,将 MUX 总面积除以 STSV 数量,得到单个 STSV 的面积。三层六边形冗余结构中,单个 STSV 的面积最小,相比环形冗余结构下降了 1.64%,相比路由冗余结构下降了 72.99%,能以尽可能小的面积开销,达到更好的修复效果。冗余结构中采用 MUX,除了会有面积开销,还会产生延时问题。相比路由冗余结构,三层六边形冗余结构的总延时缩短了 61.95%,单个 TSV 的延时缩短了 62.55%。

当 TSV 发生故障时,故障 TSV 的信号要向邻近 TSV 路由进行修复。这里利用逻辑拓扑的距离来表示修复路径长度,相邻 TSV 的长度为 $1\mu\text{m}$ 。

在出现 1~7 个故障时,不同冗余结构的修复路径长度比较如图 10 所示。通过比较发现,三层六边形冗余结构的修复路径长度比路由冗余结构缩短了 30.81%,比环形冗余结构缩短了 39.4%。也就是说,相比之下,六边形冗余结构用更少数量的 RTSV 和更短的修复路径,达到了更好的修复效果。

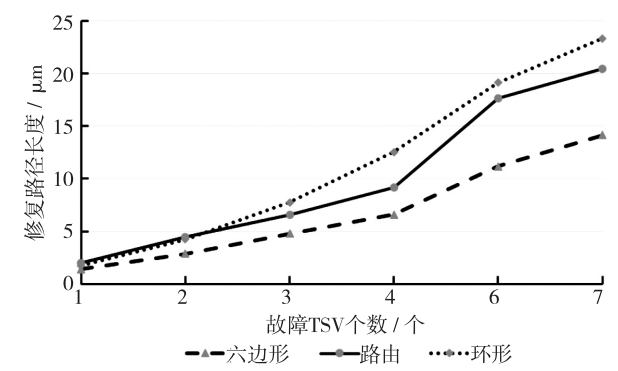


图 10 不同结构的修复路径长度比较

4 结 论

本文提出了一种六边形冗余结构,可以根据需求来扩展结构,将 RTSV 均匀放置在整个结构的对角线上,使结构分成几个对称子模块。当 TSV 发生随机分布故障或聚簇故障时,均能有较高的修复率,并且修复路径短、硬件开销小。以三层六边形冗余结构为例,进行了 1 000 000 次随机模拟实验。结果表明,相比于路由和环形结构,三层六边形冗余结构的修复能力始终保持在 99% 以上,对聚簇故障的修

(下转第 252 页)

一种高 Q 值且频带可独立调谐的 差分有源电感

张 峯, 张万荣, 谢红云, 金冬月, 那伟聪, 徐 曙, 杨 鑫
(北京工业大学 信息学部 微电子学院, 北京 100124)

摘 要: 设计了一种高 Q 值、频带可独立调谐的新型差分有源电感。采用多重共源-共栅调制结构, 使有源电感具有小的等效串联电阻和高的 Q 值。采用多重共源负反馈结构, 使有源电感具有小的等效并联电容、高的自谐振频率和宽的工作频带。通过对正跨导器跨导的调谐来实现对工作频带的调谐, 同时, 对负跨导器中共源管的跨导进行调谐, 补偿因调谐工作频带而对 Q 值带来的影响, 从而实现频带相对于 Q 值的独立调谐。对该新型差分有源电感进行性能验证, 结果表明, 5.9 GHz 时, 有源电感的 Q 值高达 1 143, 电感值可达 154 nH。工作频带在 6.1~7.7 GHz 之间调谐时, 调谐范围可达 26.2%, 而 Q 值峰值在 1 162~1 120 之间变化, 变化范围仅为 3.6%。

关键词: 有源电感; 高 Q 值; 宽频带; 独立调谐

中图分类号: TN432

文献标识码: A

文章编号: 1004-3365(2020)02-0248-05

DOI: 10.13911/j.cnki.1004-3365.190258

A Differential Tunable Active Inductor with High Q Value and Independent Adjustment of Operation Band

ZHANG Yin, ZHANG Wanrong, XIE Hongyun, JIN Dongyue, NA Weicong, XU Shu, YANG Xin
(College of Microelectronics, Faculty of Information Technology, Beijing University of Technology, Beijing 100124, P. R. China)

Abstract: A novel differential tunable active inductor (DTAI) with high Q value and independent adjustment of operation band was presented. The adoption of the multiple common source-common gate regulated structure made the DTAI have low equivalent series resistance and high Q value. The adoption of the multiple common source negative feedback structure made the DTAI have low equivalent parallel capacitance, high self-resonant frequency and wide operation band. By tuning the transconductance of the positive transconductor, the tuning of operation band was realized. Simultaneously, by adjusting the transconductance of the common source transistor in the negative transconductor, the impact of the frequency tuning on the Q factor was mitigated, therefore the band independent adjustment relative to Q value was realized. The performance verification results showed that the peak Q value was as high as 1 143 and the inductance value was up to 154 nH at the operation frequency of 5.9 GHz. Meanwhile, when the operation band was tuned from 6.1 GHz to 7.7 GHz, the peak Q value was varied from 1 162 to 1 120, and the Q variation was only 3.6% compared to the variation of operation band of 26.2%.

Key words: active inductor; high Q value; wide band; independent adjustment

收稿日期: 2019-04-30; 定稿日期: 2019-05-22

基金项目: 国家自然科学基金资助项目(61774012, 61574010); 北京市自然科学基金资助项目(4142007, 4143059, 4192014); 北京市未来芯片技术高精尖创新中心科研基金资助项目(KYJJ2016008); 中国博士后科学基金资助项目(2019M650404)

作者简介: 张 峯(1995—), 男(汉族), 湖北人, 硕士研究生, 研究方向为射频集成电路。

张万荣(1964—), 男(汉族), 河北人, 教授, 博士生导师, 研究方向为射频器件与射频集成电路。

0 引言

作为射频集成电路的重要元件,片上螺旋电感常被用于带通滤波器、低噪声放大器、LC压控振荡器等电路中^[1-2]。但是,片上螺旋电感谐振频率和Q值较低、电感值不可调谐,限制了电感在电路中的应用。例如,用于LC压控振荡器时,无源电感的自谐振频率较低,不利于提高振荡器的谐振频率;其Q值较低,会引起大的损耗,不利于实现振荡器的低相位噪声;其电感值不可调谐,难以满足宽频带LC压控振荡器的需求^[3-5]。

由有源器件构成的电感(即有源电感)为上述问题的解决提供了一个潜在方案。目前,大部分有源电感是将由晶体管构成的正跨导器与负跨导器首尾相接,构成一个回转通路,进而将负载电容回转至输入端形成等效电感。根据电路结构的不同,有源电感可分为单端有源电感和差分有源电感。

差分有源电感对环境噪声的抗干扰能力强,引起人们的广泛关注^[6]。但是,差分有源电感仍然存在一些不足。文献[7]中,差分有源电感的电感值可在1~70 nH之间调谐,但工作频率较窄,最高仅为4 GHz。文献[8]中,差分有源电感在回转支路中引入了负电容与负电阻,增大了Q值,拓宽了工作频带,但对工作频带进行调谐时,Q值峰值在150~20之间变化,无法实现频带与Q值的独立调谐。文献[9]中,差分有源电感通过在正、负跨导器之间接入反馈电阻,同时引入交叉耦合负阻结构,增大了Q值,但调谐工作频率从1.8 GHz上升至5 GHz时,Q值峰值从2 500下降至500,未能消除频率调谐对Q值带来的影响。由此可见,上述差分有源电感针对改善Q值、频带与电感值的技术手段比较单一,且各技术手段之间未能互相协调,调谐频带时未能对Q值的变化进行补偿,以致无法实现频带相对于Q值独立调谐的性能。

针对上述问题,本文提出一种复合结构的新型差分有源电感,利用交叉耦合负阻结构与多重共源-共栅调制结构的协同作用来提高Q值。采用多重共源负反馈结构来拓宽工作频带,通过对正跨导器跨导的调谐来对工作频带进行调谐。与此同时,通过对负跨导器中共源管跨导的调谐,补偿因工作频带调谐对Q值带来的影响,进而实现工作频带相对于Q值的独立调谐。

文章第1节介绍该新型差分有源电感的拓扑结构,第2节给出性能验证结果,第3节给出结论。

1 新型全差分有源电感

本文提出的新型差分有源电感拓扑结构如图1所示。由于电路的对称性,本文以正向输入端 V_{in+} 为例,对电路拓扑结构和工作机理进行简要说明。NMOS管 M_2 与 M_4 级联,构成有源电感的负跨导器。NMOS管 M_3 构成有源电感的正跨导器。NMOS管 M_6 与 M_8 构成多重共源-共栅调制结构,连接在负跨导器中 M_4 管的栅源极之间,以减小有源电感的等效串联电阻,增大Q值。复用NMOS管 M_8 与 M_1 、 M_2 构成多重共源负反馈结构,以减小有源电感的等效并联电容,拓宽工作频带。NMOS管 M_1 与 M_2 通过交叉耦合的方式连接,以减小有源电感的等效并联电导,进而与多重共源-共栅调制结构协同作用,进一步增大Q值。 M_{14} 、 M_{12} 、 M_{10} 管均工作在饱和区,分别为 M_6 、 M_4 、 M_2 管提供电流偏置。 V_{b6} 、 V_{b4} 、 V_{tune2} 分别为 M_{14} 、 M_{12} 、 M_{10} 管的栅极偏压。通过调节 M_{11} 管的栅极偏置电压 V_{b3} 来改变正跨导器 M_3 的跨导,实现对频带的调谐。与此同时,通过调节 M_{12} 管的栅极偏置电压 V_{b4} 来改变负跨导器中 M_4 管的跨导,补偿因工作频带调谐对Q值带来的影响,进而实现工作频带相对于Q值的独立调谐。

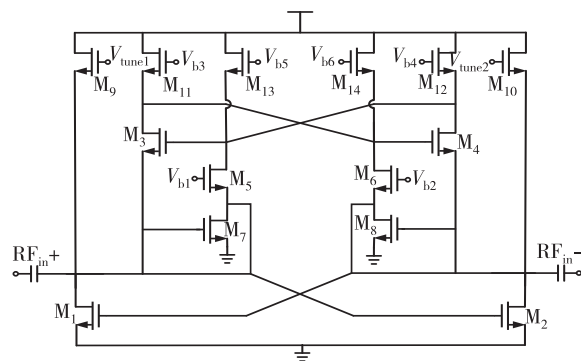


图1 新型差分有源电感的电路拓扑

正向输入端 V_{in+} 的小信号等效电路如图2所示。下面结合小信号等效电路,深入分析复合结构对电感值、Q值以及工作频带的影响。

根据小信号等效电路,输入导纳 Y_{in} 表示为:

$$Y_{in} \approx j\omega \left(C_{gs2} - \frac{g_{m1}g_{m2}g_{m8}}{\omega^2 C_{gs1}g_{o1}} \right) + g_{o2} + \frac{g_{m2}(g_{m4} - g_{m1})}{g_{o1} + g_{o4} + g_{m4}} + \frac{1}{j\omega \frac{C_{gs3}}{g_{m2}g_{m3}} + \frac{g_{o3}g_{o4}g_{o6}g_{o8}}{g_{m2}g_{m3}g_{m4}g_{m6}g_{m8}}} \quad (1)$$

该差分有源电感的小信号电路可以进一步等效为图 3 所示的 RLC 电路。

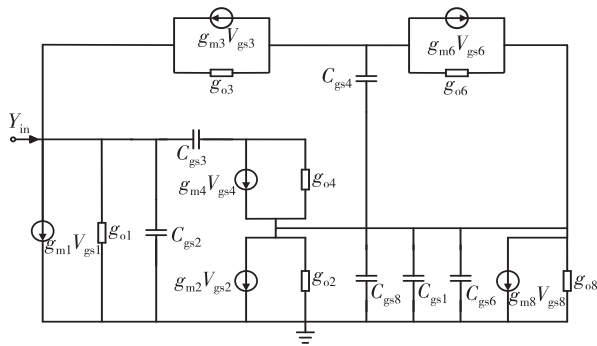


图 2 新型差分有源电感的小信号等效电路

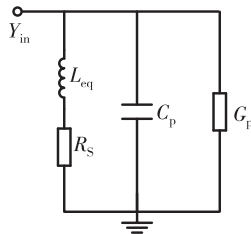


图 3 新型有源电感的 RLC 等效电路

根据式(1), RLC 等效电路中各参数表示为:

$$L_{eq} = \frac{C_{gs3}}{g_{m2}g_{m3}} \quad (2)$$

$$R_s = \frac{g_{o3}g_{o4}g_{o6}g_{o8}}{g_{m2}g_{m3}g_{m4}g_{m6}g_{m8}} \quad (3)$$

$$C_p = C_{gs2} - \frac{g_{m1}g_{m2}g_{m8}}{\omega^2 C_{gs1}g_{o1}} \quad (4)$$

$$G_p = g_{o2} + \frac{g_{m2}(g_{m4} - g_{m1})}{g_{o1} + g_{o4} + g_{m4}} \quad (5)$$

从式(3)可以看出, 引入多重共源-共栅调制结构后, 公式中引入一项 $g_{o6}g_{o8}/(g_{m6}g_{m8})$, 其值小于 1, 减小了 R_s 。由于有源电感的 Q 值与 R_s 成反比, Q 值增大。

从式(4)可以看出, 引入多重共源负反馈结构后, 公式中引入一项 $-g_{m1}g_{m2}g_{m8}/(\omega^2 C_{gs1}g_{o1})$, 减小了 C_p 。根据有源电感自谐振频率与 C_p 的关系式:

$$\omega_0 = \frac{1}{\sqrt{L_{eq}C_p}} \quad (6)$$

由此可知, C_p 减小, 增大了自谐振频率, 进而拓宽了工作频带。

从(5)式可以看出, 引入交叉耦合负阻结构后, 公式中引入一项与 g_{m1} 有关的负抵消量, 减小了 G_p 。由于有源电感的 Q 值与 G_p 成反比, Q 值随之增大。

下面, 详细说明新型有源电感的工作频带相对于 Q 值可独立调谐的工作机理。有源电感的自谐

振频率 ω_0 可表示为:

$$\omega_0 = \frac{1}{\sqrt{L_s C_p}} = \sqrt{\frac{g_{m2}g_{m3}}{C_{gs3} \left(C_{gs2} - \frac{g_{m1}g_{m2}g_{m8}}{\omega^2 C_{gs1}g_{o1}} \right)}} \quad (7)$$

同时, 有源电感的 Q 值可表示为:

$$Q = \frac{\omega_0 L}{R_s} = \sqrt{\frac{g_{m2}g_{m3}g_{m4}^2 g_{m6}^2 g_{m8}^2 C_{gs3}}{g_{o3}^2 g_{o4}^2 g_{o6}^2 g_{o8}^2 \left(C_{gs2} - \frac{g_{m2}g_{m8}g_{m1}}{\omega^2 C_{gs1}g_{o1}} \right)}} \quad (8)$$

由式(7)与式(8)可知, ω_0 与 M_2 和 M_3 管的跨导有关, Q 值与 M_2 、 M_3 、 M_4 管的跨导有关。因此, M_4 管的跨导 g_{m4} 为实现工作频带相对于 Q 值独立调谐的关键^[10-11]。

根据式(7), g_{m3} 增大, ω_0 随之提高。可通过对 g_{m3} 的调谐来实现对工作频带的调谐。但从式(8)可以看出, g_{m3} 增大会引起 Q 值变化。可通过减小 g_{m4} 来补偿 g_{m3} 对 Q 值的影响。需要注意的是, 由于 $g_{m4} \propto I_{DS12}$, 而 $g_{m2} \propto I_{DS12} + I_{DS10}$, 减小 g_{m4} 时, 需要调节 M_{10} 管的栅极偏置电压 V_{tune2} 来增大 I_{DS10} , 使 g_{m2} 保持恒定, 进而消除调谐过程中 g_{m2} 对 ω_0 和 Q 值的影响。

2 性能验证

本文基于 TSMC 0.18 μm RF CMOS 工艺, 采用德科技(原安捷伦公司)的射频电路设计工具 ADS, 对提出的新型差分有源电感进行性能验证。

偏置电压 $V_{b3} = V_{b4} = 1.8 \text{ V}$ 时, 该新型差分有源电感的 Q 值与电感值仿真结果分别如图 4 与图 5 所示。

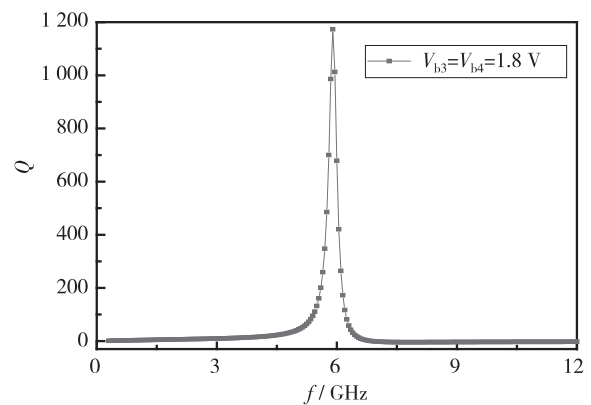


图 4 新型差分有源电感的 Q 值

可以看出, 工作在 5.9 GHz 时, 该差分有源电感的 Q 值峰值高达 1143, 电感值为 154 nH, 并且

Q值大于10的频带高达6.8 GHz。这表明,多重共源-共栅调制结构与交叉耦合负阻结构协同作用,使差分有源电感获得了高Q值,采用多重共源负反馈结构,减小了等效并联电容,获得了较宽的工作频带。

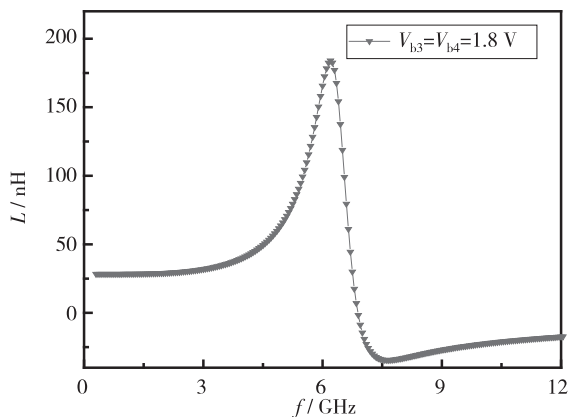


图5 新型差分有源电感的电感值

协同调节偏置电压 V_{tune1} 和 V_{tune2} 时,该差分有源电感的电感值和Q值的变化情况分别如图6和图7所示。从图6可以看出,调节 V_{tune1} 和 V_{tune2} 从1.6 V至2.4 V,电感峰值在213~162 nH之间调谐。从图7可以看出,工作频带在6.1~6.8 GHz之间调谐,对应频带内Q值峰值分别为1162与1143,频带调谐范围为11.5%,而Q值变化范围仅为1.6%。调节 V_{tune1} 和 V_{tune2} 从2.0 V到2.4 V,工作频带在6.8~7.7 GHz之间调谐,对应频带内的Q值峰值分别为1143与1120,频带调谐范围为13.2%,而Q值变化范围仅为2.0%。这表明,通过调节 V_{tune1} 和 V_{tune2} 对工作频带进行调谐时,该差分有源电感的Q值变化较小,显示了工作频带相对于Q值的独立调谐。

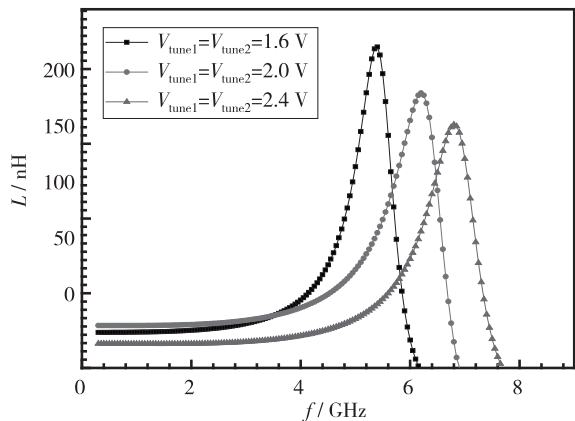


图6 V_{tune1} 和 V_{tune2} 对新型差分有源电感感值的影响

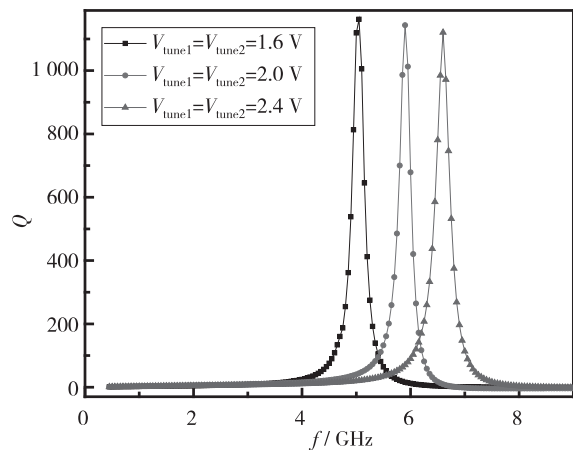


图7 V_{tune1} 和 V_{tune2} 对新型差分有源电感Q值的影响

3 结 论

本文提出一款新型差分有源电感,综合采用交叉耦合负阻结构与多重共源-共栅调制结构,获得较高的Q值。采用多重共源负反馈结构,获得较宽的工作频带。通过对正跨导器跨导进行调谐,实现了工作频带的调谐。与此同时,通过对负跨导器中共源管跨导的调谐,补偿因工作频带调谐对Q值带来的影响,实现了工作频带相对于Q值的独立调谐。性能验证结果表明,该差分有源电感具有高Q值、宽工作频带、工作频带相对于Q值可独立调谐的性能。在5.9 GHz工作频率下,Q值峰值高达1143,电感值可达154 nH。工作频带在6.1~6.8 GHz之间调谐时,调谐范围达到11.5%,而Q值峰值的变化范围仅为1.6%。工作频带在6.8~7.7 GHz之间调谐时,调谐范围达到13.2%,而Q值峰值的变化范围仅为2.0%。该新型差分有源电感可用于压控振荡器、低噪声放大器、带通滤波器等电路中,为替代无源电感进而提升电路性能提供了一个可行方案。

参考文献:

- [1] MUKHOPADHYAY R, PARK Y, SEN P, et al. Reconfigurable RFICs in Si-based technologies for a compact intelligent RF front-end [J]. IEEE Trans Microwave Theo & Tech, 2005, 53(1): 81-93.
- [2] GUO J C, TAN T Y. A broadband and scalable model for on-chip inductors incorporating substrate and conductor loss effects [J]. IEEE Trans Elec Dev, 2006, 53(3): 413-421.

- [3] ZITO D, PEPE D, FONTE A. 13 GHz CMOS active inductor LC VCO [J]. IEEE Microwave & Wireless Compon Lett, 2012, 22(3): 138-140.
- [4] HWANG K S, CHO C S, LEE J W, et al. High quality-factor and inductance of symmetric differential-pair structure active inductor using a feedback resistance design [C] // IEEE MTT-S Int Microwave Symp Dig. Atlanta, GA, USA, 2008: 1059-1062.
- [5] FARUQUE O, SAIKAT M M M, BULBUL M A K, et al. Comparative analysis and simulation of active inductors for RF applications [C] // 3rd Int Conf Electri Inform & Commun Technol. Khulna, Bangladesh, 2017: 1-6.
- [6] LI C J, WANG P S. A high frequency tunable differential active inductor and its application to power dividers [C] // 51st Midwest Symp Circ & Syst. Knoxville, TN, USA, 2008: 285-288.
- [7] RASOULI K, NOURI A, SABAGHI M, et al. Design and simulation of differential active inductor with 0.18 μm CMOS technology [C] // Int Conf Syst Engineer & Technol. Shah Alam, Malaysia, 2011: 23-26.
- [8] CHENG K H, HUNG C L, GONG C S A, et al. A 0.9- to 8-GHz VCO with a differential active inductor for multistandard wireline SerDes [J]. IEEE Trans Circ & Syst II: Expr Bri, 2014, 61(8): 559-563.
- [9] HAMMADI A B, MHIRI M, HADDAD F, et al. An enhanced design of RF integrated differential active inductor [J]. Bio Nano Science, 2016, 6(3): 185-192.
- [10] WENG R M, KUO R C. An ω_0 - Q tunable CMOS active inductor for RF bandpass filters [C] // Int Symp Signals, Syst & Elec. Montreal, Canada, 2007: 571-574.
- [11] 罗永刚. 一种新颖的低功耗低相位噪声 VCO 设计 [J]. 压电与声光, 2019, 41(5): 643-646.

(上接第 247 页)

复率与路由结构相近, 远高于环形结构, 其面积开销分别比环形和路由结构缩小了 1.64% 和 72.99%, 其时间开销比路由结构缩短了 62.55%, 其修复路径长度分别比环形和路由结构缩短了 39.4% 和 30.81%。

参 考 文 献:

- [1] WALDROP M M. The chips are down for Moore's law [J]. Nature Int Weekly J Sci, 2016, 530(7589): 144-147.
- [2] 倪天明. 3D 芯片良率与测试成本研究 [D]. 合肥: 合肥工业大学, 2018: 55-63.
- [3] LI J, XU Q, EKLOW B. On effective TSV repair for 3D-stacked ICs [C] // Proceed DATE. Dresden, Germany, 2012, 1: 793-798.
- [4] LO W H, CHI K, HWANG T T. Architecture of ring-based redundant TSV for clustered faults [C] // Proceed DATE. Grenoble, France, 2015: 848-853.
- [5] KNICKERBOCKER J U, ANDRY P S, DANG B, et al. Three-dimensional silicon integration [J]. IBM J Resear & Develop, 2008, 52(6): 553-569.
- [6] VAISBAND B, FRIEDMAN E G. Hexagonal TSV bundle topology for 3-D ICs [J]. IEEE Trans Circ & Syst II: Expr Bri, 2016, 64(1): 11-15.
- [7] YAO W, PAN S, ACHKIR B, et al. Modeling and application of multi-port TSV networks in 3-D IC [J]. IEEE Trans Comput-Aided Des Integr Circ & Syst, 2013, 32(4): 487-496.
- [8] WEERASEKERA R, GRANGE M, PAMUNUWA D, et al. Compact modelling of through-silicon vias (TSVs) in three-dimensional (3-D) integrated circuits [C] // IEEE Int Conf 3D Syst Integr. San Francisco, CA, USA, 2009: 1-8.
- [9] KOREN I, KOREN Z. Defect tolerance in VLSI circuits: techniques and yield analysis [J]. Proceed IEEE, 1998, 86(9): 1819-1838.
- [10] XU Q, CHEN S, XU X, et al. Clustered fault tolerance TSV planning for 3D integrated circuits [J]. IEEE Trans Comput-Aided Des Integr Circ & Syst, 2017, 36(8): 1287-1300.

热光源和稳恒磁场对石墨烯阻值的影响

李龙飞, 胡加杨, 李方清, 王德波

(南京邮电大学 电子与光学工程学院、微电子学院, 南京 210023)

摘 要: 研究了热光源和稳恒磁场对石墨烯阻值的影响。首先分析了光致吸附作用, 利用 Drude 形式, 建立了温度与阻值之间的关系。然后利用哈伯德模型和微扰理论, 找到稳恒磁场中石墨烯从金属态到绝缘态的临界相变条件。实验结果表明, 热光源的光功率从 0 增加到 0.88 mW 时, 石墨烯的阻值从 38.44 Ω 减小到 33.48 Ω 。稳恒磁场从 0 增加到 122.70 mT 时, 石墨烯阻值从 38.44 Ω 增加到 44.24 Ω 。实验结果证明了磁场强度与石墨烯阻值之间有着良好的线性关系。这对于石墨烯在导电涂层、抗腐蚀涂层和锂离子电池领域的应用具有一定的指导意义。

关键词: 哈伯德模型; 量子霍尔效应; 光致吸附作用; 石墨烯

中图分类号: TN304.1+8

文献标识码: A

文章编号: 1004-3365(2020)02-0253-04

DOI: 10.13911/j.cnki.1004-3365.190279

Effect of Thermal Light Source and Homogenous Magnetic Field on Graphene Resistance

LI Longfei, HU Jiayang, LI Fangqing, WANG Debo

(College of Electronic and Optical Engineering & College of Microelectronics, Nanjing University of Posts and Telecommunications,
Nanjing 210023, P. R. China)

Abstract: The effect of thermal light source and homogenous magnetic field on graphene resistance were studied. The photo-induced adsorption was first analyzed. Then the Drude form was used to establish the relationship between the temperature and the resistance. The critical phase transition condition of graphene from metallic state to insulation state in homogenous magnetic field was confirmed by using Hubbard model and perturbation theory. Experimental results showed that the resistance of graphene decreased from 38.44 Ω to 33.48 Ω in the thermal light power range from 0 to 0.88 mW. In the homogenous magnetic field, the resistance of graphene increased from 38.44 Ω to 44.24 Ω in the magnetic intensity range from 0 to 122.70 mT, which proved that there was a good linear relationship between the magnetic field strength and the graphene resistance. The study had certain guiding significance for graphene in the field of conductive coating, anti-corrosion coating and lithium ion battery.

Key words: Hubbard model; quantum hall effect; photo-induced adsorption; graphene

0 引 言

2004 年, 英国曼彻斯特大学的 Geim 小组使用微机械剥离技术, 发现石墨烯。自此, 石墨烯因其独特的物理和化学性质, 受到广泛关注^[1]。

在温度因素方面, 2013 年, H. Q. Xie 等人研究了石墨烯阻值的温度依赖性, 确定了电阻-温度系数^[2]。同年, M. O. Nestolon 等人通过温度变化, 研究了石墨烯在“金属-绝缘体”的转变过程, 发现了电导率的温度依赖行为^[3]。2017 年, A. Gahoi 等人利用黄金作为接触材料, 发现温度增加了石墨烯中

收稿日期: 2019-05-10; 定稿日期: 2019-06-01

基金项目: 国家青年自然科学基金资助项目(61704086); 中国博士后科学基金资助项目(2017M621692); 江苏省博士后基金资助项目(1701131B); 南京邮电大学国自基金孵化资助项目(NY215139, NY217039); 南京大学近代声学教育部重点实验室开放课题(1704)资助项目

作者简介: 李龙飞(1998—), 男(汉族), 山东滨州人, 研究方向为石墨烯压力传感器。

王德波(1983—), 男(汉族), 山东新泰人, 副教授, 研究方向为 MEMS 压力传感器。Email: wdb@njupt.edu.cn。

载流子的平均自由程,体现了接触电阻与温度的负相关性^[4]。

在光照因素方面,K. F. Mak 等人在 SiO₂ 衬底上研究了石墨烯的光透射率和反射率,并对温度和光照频率进行了定量研究^[5]。但是,K. F. Mak 等人只研究了冷光源对石墨烯性质的影响,并没有将温度和光照两个因素联系在一起考虑。普及应用石墨烯时,更多遇到的是热光源,而热光源与冷光源作用于石墨烯的时候有很大区别。2018 年,李相迪等人将石墨烯置于不同气体环境中,研究不同波长和功率密度下的导电性^[6]。

在磁场因素方面,S. Sharapov 等人研究了石墨烯的整数量子霍尔效应,确定了石墨烯的磁光电导率^[7]。2011 年,徐雷在调制磁场下研究了石墨烯的电子输运,发现可以通过调制磁场来控制石墨烯的性质^[8]。如果将石墨烯普及应用,磁场的影响不能忽略。但是,目前关于石墨烯在磁场下(尤其是强恒定磁场)的研究较少。

本文首次将温度和光照两个因素结合起来,分析石墨烯的性质,通过建立石墨烯电导率与温度的 Drude 形式,发现温度与电导率之间成正相关,并通过实验进行了验证。关于强恒定磁场,本文通过建立哈伯德模型去描述石墨烯从金属态到绝缘态相变的临界条件,并从原子角度分析了相变的原因。最后,通过实验证明了强恒定磁场与石墨烯电导率之间成负相关。

1 石墨烯阻值的理论分析

1.1 热光源对石墨烯阻值的影响

由李相迪等人的实验结果可知^[6],光照因素会导致石墨烯阻值变化速率很慢,这与半导体材料光电导效应的差异很大,可以排除光电导效应。主要影响机理为光致吸附作用和光热效应。对于光致吸附作用,如图 1 所示。无光照时,石墨烯吸附了环境中的气体分子,这些分子引入载流子并参与导电。对石墨烯施加光照时,气体分子从石墨烯表面脱离,导致载流子浓度降低,石墨烯阻值变大。因此,石墨烯独特的零带隙结构导致其易受到外界因素影响。

本文实验采用黑色衬底,吸热效果较好。因此,光热效应的影响较明显。

本文实验利用界面处合适的边界条件,将复电导 σ 作为温度 T 、频率 ω 的函数。对于较高频率的光照, σ 可通过 Drude-Boltzmann 形式表示为^[9]:

$$\sigma(\omega) = i \frac{2e^2 T}{\pi \hbar \omega} \ln(2 \cosh \frac{\mu}{T}) \quad (1)$$

式中, μ 是粒子的化学能, ω 是光照频率, $\hbar$ 是约化普朗克常数, T 是石墨烯所处的环境温度, $e = 1.6 \times 10^{-19}$ 为元电荷。

为了求解方便,本文简化了石墨烯电导率和温度的函数,假设了一个现象学散射率 φ ,石墨烯电导率 σ 可以通过 Drude 形式表示为:

$$\sigma(T) = 4 \ln \frac{e^2}{h} \frac{(\hbar \varphi) k_B T}{(\hbar \omega)^2 + (\hbar \varphi)^2} \quad (2)$$

式中, h 为普朗克常数。由式(2)可知,石墨烯的电导率与光照温度成正相关。在光照频率不变的条件下,随着温度的增加,石墨烯的电导率会逐渐增大,电阻降低。

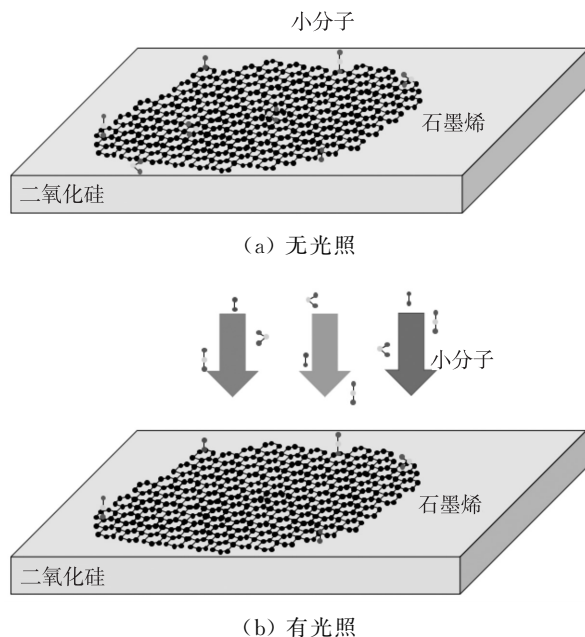


图 1 两种石墨烯片

1.2 强恒定磁场对石墨烯阻值的影响

基于哈伯德模型,本文利用微扰法,计算石墨烯从金属态到绝缘态的相变临界值。量子霍尔效应使磁通量子数和电子构成复合玻色子,发生凝聚^[10],因此利用哈伯德模型进行描述。忽略每个势阱的单个粒子能量 ϵ_i ,哈密顿量为^[11]:

$$\hat{K} = -J \sum_{\langle i,j \rangle} \hat{a}_i^\dagger \hat{a}_j - \mu \sum_i \hat{u}_i + \frac{1}{2} U \sum_i \hat{u}_i (\hat{u}_i - 1) \quad (3)$$

式中, $\hat{u}_i = \hat{a}_i^\dagger \hat{a}_i$ 是与势阱位置有关的粒子数算符, J 是粒子在相邻的势阱之间的跃迁能, U 是粒子之间的相互作用能, $\hat{a}_i^\dagger$ 和 $\hat{a}_i$ 分别是第 i 个势阱产生和湮灭的粒子算符。

对于第 i 个势阱,跃迁包括两种情况。第一种

是向邻近势阱跃迁出 1 个粒子,此时第 i 个势阱减少 1 个粒子。第二种是邻近势阱向第 i 个势阱跃进 1 个粒子,此时第 i 个势阱增加 1 个粒子。但是,可以同时表示增加或减少 1 个粒子这两种情况,所以 $-J \sum_{\langle i,j \rangle} \hat{a}_i^+ \hat{a}_j$ 与 $-J \sum_i (\hat{a}_i^+ + \hat{a}_i)$ 等效。式(3)可以改写成:

$$\hat{K} = \sum_i \hat{K}_i = \sum_i (\hat{K}_{i1} + \hat{K}_{i0}) \quad (4)$$

其中:

$$\begin{aligned} \hat{K}_{i1} &= -J \sum_i (\hat{a}_i^+ + \hat{a}_i) \\ \hat{K}_{i1} &= -\mu \hat{u}_i + \frac{1}{2} U (\hat{u}_i - 1) \hat{u}_i \end{aligned} \quad (5)$$

式中, $\hat{K}_i$ 是第 i 个势阱的哈密顿量, $\hat{u}_i$ 是第 i 个势阱的粒子数算符。能量 1 级可以修正为 0, 能量 2 级可以修正为^[12]:

$$\Delta E = zJ^2 \left(\frac{\lambda}{K_\lambda - K_{\lambda-1}} + \frac{\lambda+1}{K_\lambda - K_{\lambda+1}} \right) \quad (6)$$

式中, K_λ 是第 i 个势阱中粒子数为 λ 的能量, z 是与第 i 个势阱相邻的势阱数。

通过跃迁过程,可得跃迁一个粒子引起的能量改变为 $\Delta E = -J$ 。将 K_λ 和 ΔE 带入式(4)可得:

$$zJ = \frac{(\mu - U\lambda)[U(\lambda-1) - \mu]}{U + \mu} \quad (7)$$

将式(7)对 μ 求偏导,并令导数等于 0,可得:

$$\mu = (\lambda-1)U + \frac{U}{1 + \sqrt{1+1/\lambda}} \quad (8)$$

将式(8)带入式(7),可得:

$$zJ_{\max} = \frac{U}{\lambda(1 + \sqrt{1+1/\lambda})^2} \quad (9)$$

根据 $\lambda=1$ 和 $z=3$,可以得到石墨烯从金属态到绝缘态的相变临界值:

$$\frac{J}{U_{\text{critical}}} = \frac{1}{3} \times \frac{1}{3+2\sqrt{2}} \approx 0.0572 \quad (10)$$

没有磁场时, $J/U > 0.0572$, 石墨烯中的电子处于超流态(金属态)。加入磁场时, $J/U < 0.0572$, 会引起石墨烯从金属态到绝缘态的相变。

2 实验测试与结果

2.1 热光源对石墨烯阻值的影响

用于测试热光源对石墨烯阻值影响的装置如图 2 所示。整个测试装置安装在不透明绝热的盒子里。装置左侧是一个连接着 PS-303D 可调电源的热光源。装置最右侧是光功率计的接收装置,外面连接至 GL-3B 光功率计。靠近接收装置的一侧安

装石墨烯片。

首先调节 PS-303D 直流电源,通过光功率计来测量不同电压对应的热光源光功率。然后将尺寸为 $2\text{ cm} \times 2\text{ cm}$ 的待测石墨烯片放置在距离热光源 10 cm 处,调节直流电源,使热光源的光功率从 0 变化到 0.88 mW。最后通过 Keithley 2110-120 台式万用表,测量石墨烯的阻值。实验结果如图 3 所示。

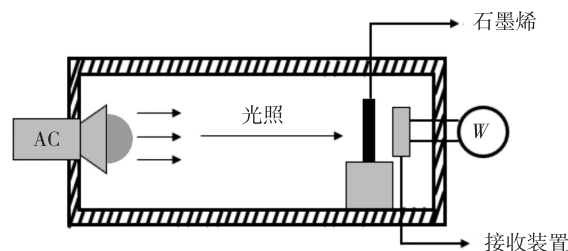


图2 热光源测试装置

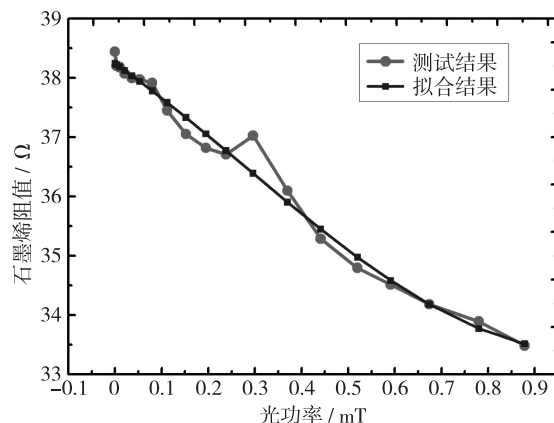


图3 热光源下石墨烯阻值的测试结果

由式(1)可得,随着温度升高,石墨烯电导率增大、电阻减小。这与实验结果相符,且拟合度较高。石墨烯的初始阻值为 $38.44\ \Omega$, 当光功率为 0.88 mW 时,阻值减小为 $33.48\ \Omega$ 。通过傅里叶级数拟合,阻值的计算公式为:

$$R(p) = 36.49 + 1.749 \cos(2.125p) - 2.577 \sin(2.125p) \quad (11)$$

式中, p 代表光功率, R 代表石墨烯阻值。

根据拟合结果可知,在一定功率范围内,石墨烯的阻值与功率成反比关系,并且拟合度较高。原因是随着温度的上升,更多的电子空穴对产生,载流子浓度随之增加,阻值降低。

2.2 稳恒磁场对石墨烯阻值的影响

用于测试稳恒磁场对石墨烯阻值影响的装置如图 4 所示。PEM-10 电磁铁用于提供稳恒磁场。在磁场中央放置一块尺寸为 $2\text{ cm} \times 2\text{ cm}$ 的待测石墨烯片,然后利用 PFX-035 型特斯拉计来测量石墨烯片附近的磁场强度。电磁铁通过 PS-303D 可调电

源进行供电,采用 Keithley 2110-120 台式万用表来测量石墨烯阻值,精度较高。

首先调节 PS-303D 直流电源,使磁场强度从 0 增加到 122.70 mT,测试石墨烯的阻值变化。测试结果如图 5 所示。可以看到,石墨烯阻值从 38.44 Ω 增加到 44.24 Ω 。通过高斯函数拟合,阻值的计算公式为:

$$R(M) = 1.423 \times 10^{22} \exp \left[- \left(M - \frac{8.688 \times 10^4}{1.26 \times 10^4} \right)^2 \right] \quad (12)$$

式中, M 代表磁场强度, R 代表石墨烯阻值。

由拟合结果和测试结果可知,石墨烯阻值与磁场强度之间有着较好的线性关系。

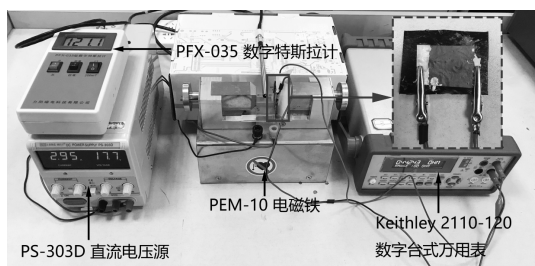


图 4 稳恒磁场测试装置

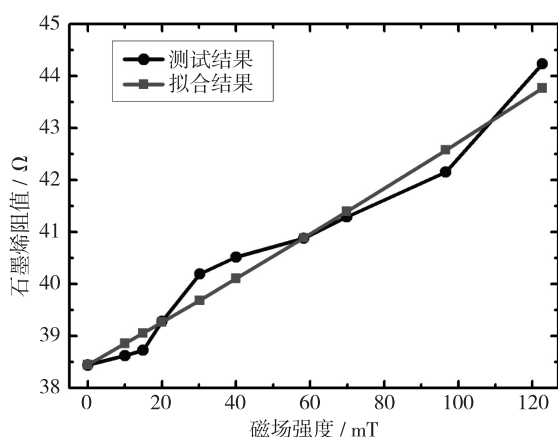


图 5 稳恒磁场下石墨烯阻值的测试结果

根据式(9)可知,粒子在相邻势阱之间的跃迁能 J 和粒子之间的相互作用能 U 共同决定了石墨烯内的电子是处于金属态还是绝缘态。没有磁场作用于石墨烯时,价态电子处于周期性的势阱中。价态电子没有被约束,石墨烯处于具有良好导电性的金属态^[13]。石墨烯片处于恒定磁场时,反常量子霍尔效应将会发生,增加了电子之间的相互作用能^[14]。当相互作用能大于临界能时(即 $J/U < 0.0572$),石墨烯将会发生相变,从金属态转变为绝缘态。

3 结 论

本文研究了热光源和稳恒磁场对石墨烯阻值的

影响。通过电导率的 Drude 形式,表征了石墨烯的温度依赖性。利用哈伯德模型,描述稳恒磁场对石墨烯阻值的作用机理。最终证明了光致吸附作用和稳恒磁场与石墨烯阻值成正相关,温度与石墨烯阻值成负相关。本文研究结果对于石墨烯在导电涂层、抗腐蚀涂层和锂离子电池等领域的应用具有一定的指导意义。

参 考 文 献:

- [1] NOVOSELOV K S, GEIM A K, MOROZOV S V, et al. Electric field effect in atomically thin carbon films [J]. Science, 2004, 306(5696): 666-669.
- [2] XIE H Q, CHEN L F, YU W, et al. Temperature dependent thermal conductivity of a free-standing graphene nanoribbon [J]. Appl Phys Lett, 2013, 102(11): 1-4.
- [3] NESTOKLON M O, AVERKIEV N S. Microscopic theory of resistance anomalous temperature behavior in graphene [J]. EPL, 2013, 101(4): 1-5.
- [4] GAHOI A, KATARIA S, LEMME M C. Temperature dependence of contact resistance for gold-graphene contacts [C] // 47th Europ Sol Sta Dev Resear Conf. Leuven, Belgium. 2017: 110-113.
- [5] MAK K F, SFEIR M Y, WU Y, et al. Measurement of the optical conductivity of graphene [J]. Phys Rev Lett, 2008, 101(19): 196405.
- [6] 李相迪, 刘显明, 曹雪颖, 等. 石墨烯透明导电薄膜电阻的环境稳定性研究 [J]. 光子学报, 2018, 47(5): 50-55.
- [7] SHARAPOV S, GUSYNIN V, CARBOTTE J. Magneto-optical conductivity in graphene [J]. J Phys: Condens Matter, 2006, 19(2): 1-25.
- [8] 徐雷. 调制磁场下石墨烯中的电子输运 [D]. 南京: 南京大学, 2011.
- [9] FALCOVSKY L A, PERSHOGUBA S S. Optical far-infrared properties of a graphene monolayer and multilayer [J]. Phys Rev B, 2007, 76(15): 1-4.
- [10] 杨圆, 李小兵, 林季资. 石墨烯中自旋过滤态和量子自旋霍尔效应 [J]. 江苏科技大学学报(自然科学版), 2018, 32(3): 449-452.
- [11] PETHICK C J, SMITH H. Bose - Einstein condensation in dilute gases [J]. Physic Today, 2008, 56(6): 62-63.
- [12] 罗运文, 李秀燕. 磁场引发石墨烯从金属态到绝缘态的相变 [J]. 深圳大学学报(理工版), 2016, 33(2): 143-146.
- [13] 马磊. 费米子与玻色子相互作用对电子态的影响 [D]. 南京: 南京大学, 2012.
- [14] EZAWA Z F. Quantum hall effects: field theoretical approach and related topics [M]. 2nd ed. Beijing: Peking University Press, 2012.

退火参数对铁电 $\text{TiN}/\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ 薄膜器件的电学性能影响

朱 曦¹, 马海力¹, 高 天¹, 冯 洁¹, 吕杭炳²

(1. 上海交通大学 微纳电子学系 薄膜与微细技术教育部重点实验室, 上海 200240;

2. 中国科学院 微电子所 微电子器件与集成技术重点实验室, 北京 100029)

摘 要: 采用磁控溅射法制备了 Zr 含量占比为 0.134 和 0.156 的 $\text{TiN}/\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ 结构的薄膜器件。对该器件进行了不同条件下的退火实验。研究了 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 器件的电流、极化和循环特性, 以及特性随退火温度和退火时间改变的变化规律, 并结合微观结构表征手段, 对器件特性随退火条件变化的规律做出了解释。在此基础上, 总结出溅射法制备氧化铪锆薄膜的适用退火条件。实验结果表明, 当退火温度低于氧化铪的居里温度时, 退火后的器件仍表现出顺电性而不具有铁电性。Zr 含量为 0.156 的 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 器件在氧气中快速退火的最佳退火条件为: 温度 600 °C、退火时间 50 s。适当延长退火时间可以提高器件性能。

关键词: $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$; 磁控溅射; 退火; MIM 结构

中图分类号: TN303

文献标识码: A

文章编号: 1004-3365(2020)02-0257-05

DOI: 10.13911/j.cnki.1004-3365.190255

Effects of Annealing Parameters on Electrical Properties of Ferroelectric $\text{TiN}/\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ Thin Film Devices

ZHU Xi¹, MA Haili¹, GAO Tian¹, FENG Jie¹, LÜ Hangbing²

(1. Key Lab. for Thin Film and Micro Fabrication of the Ministry of Education, Department of Micro/Nano Elec.,

Shanghai Jiao Tong University, Shanghai 200240, P. R. China; 2. Key Lab. of Microelec. Dev. and Integr. Technol.,

Institute of Microelec., The Chinese Academy of Sciences, Beijing 100029, P. R. China)

Abstract: $\text{TiN}/\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ devices with Zr contents of 0.134 and 0.156 were prepared by magnetron sputtering and annealed under different conditions. The effects of annealing temperature and time on the current, polarization, and cyclic properties of the devices were investigated. The changes of the device characteristics with annealing conditions were explained by means of microstructure characterization. On this basis, the suitable annealing conditions for the preparation of $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ films by sputtering were obtained. According to the experiment results, ferroelectricity of $\text{TiN}/\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ devices were not achieved by annealing below the Curie temperature of hafnium oxide. The $\text{TiN}/\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ device with 15.6% zirconium atom ratio annealed at 600 °C for 50 s revealed excellent properties in leakage current and polarization. Proper prolongation of annealing time would improve the device performance.

Key words: $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$; magnetron sputtering; annealing; MIM structure

收稿日期: 2019-04-29; 定稿日期: 2019-05-22

作者简介: 朱 曦(1995—), 女(汉族), 河南省人, 硕士研究生, 研究方向为铁电存储器技术。

冯 洁, 女, 研究员, 通信作者, E-mail: jfeng@sjtu.edu.cn。

吕杭炳, 男, 研究员, 通信作者, E-mail: lvhangbing@ime.ac.cn。

0 引 言

铁电 HfO_2 存储器件具有低读写电压、低功耗、小尺寸、高读写速度、良好循环性能、抗辐照和非易失性等优点^[1]。随着信息存储的需求不断提高,铁电存储器越来越受到关注。J. F. Scott 等人最先对铁电存储器的结构及性能进行了系统研究^[2]。E. Yurchuk 等人对铁电 HfO_2 器件的疲劳氧空位机制进行了研究^[3]。S. Clima 等人研究了铁电 HfO_2 器件的导电机理^[4]。F. Huang 等人研究了 HfO_2 相关器件及机理^[5]。F. Shosuke 等人制备了铁电 HfO_2 相关的 FTJ 器件^[6]。

纯的 HfO_2 室温下不具有铁电性^[7],经过掺杂某些元素的后,可具备室温下稳定的铁电性^[8-9]。Zr 元素(Zr 的原子半径与 Hf 非常接近)掺杂的 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 具有稳定均一的结构和优良的铁电及存储特性^[10]。当 Zr 元素在 Hf-Zr 总量中的占比低于 50% 时^[11], $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 薄膜呈现稳定的铁电性。铁电 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 薄膜在性能上具有诸多优势^[12]。铁电薄膜在 400 °C 居里温度左右时由顺电相转变为铁电相,即发生铁电相变^[13]。 $\text{TiN}/\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ 器件在高于居里温度的条件下退火,顺电相会发生铁电相变,显著提高铁电相的比例可使器件具有良好的铁电特性^[14]。

本文实验采用磁控溅射法,制作了一种铁电 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 薄膜($x=0.134, 0.156$)。将 TiN 层作为上下电极,制作 $\text{TiN}/\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ 薄膜器件,再在 O_2 气氛中退火。本文通过改变退火的温度、时间,研究了 $\text{TiN}/\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ 器件的极化、电流和循环性能的变化规律。

1 实验过程

制作工艺流程如下。1) 采用带 $200 \pm 20 \text{ nm}$ SiO_2 层的硅片作为基底。2) 采用原子层淀积法,制作 30 nm TiN 下电极。3) 利用 Hf、Zr 靶材进行磁控溅射,淀积 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 薄膜。溅射 Hf 时,功率为 40 W,保持不变;溅射 Zr 时,功率分别为 100 W、110 W;在 TiN 层上得到两种厚度为 15 nm、不同组分的 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 薄膜。4) 采用磁控溅射法,制作 30 nm TiN 上电极。5) 旋涂光刻胶,曝光显影,形成边长分别为 20 nm、30 nm、40 nm 的方块电极图形。6) 采用磁控溅射法,淀积 50 nm 铂金属层。7) 在丙

酮溶液中,剥离掉多余的光刻胶,得到铂金属层的电极图形。8) 利用 BCl_3 和 Cl_2 气体进行刻蚀,去掉未被顶层铂电极覆盖的 TiN 层^[15],最终得到 $\text{TiN}/\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ 器件,结构如图 1 所示。在 O_2 气氛中对该器件进行快速退火。退火温度分别为 400 °C、500 °C、600 °C、700 °C 和 800 °C,退火时间分别为 30 s、50 s、65 s。

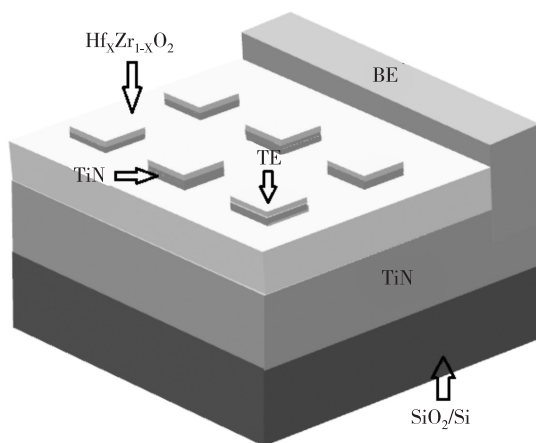


图 1 $\text{TiN}/\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ 器件的结构示意图

采用 X 射线光电子能谱进行定量测试,结果表明^[16]:在溅射 Hf 的功率为 40 W、溅射 Zr 的功率为 100 W 的条件下,Zr 元素在 Hf-Zr 总量中的占比为 13.4%,此时薄膜成分为 $\text{Hf}_{0.866}\text{Zr}_{0.134}\text{O}_2$;在溅射 Hf 的功率为 40 W、溅射 Zr 的功率为 110 W 的条件下,Zr 元素在 Hf-Zr 总量中的占比为 15.6%,此时薄膜成分为 $\text{Hf}_{0.844}\text{Zr}_{0.156}\text{O}_2$ 。

退火后,用金刚刀划开 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 薄膜层,暴露出下面的 TiN 下电极,用导电银胶引出 TiN 下电极。采用 Keithley B1500A 半导体参数测试仪,对退火后的 $\text{TiN}/\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ 器件进行电学测试。测试时,电压加载于底层 TiN 电极(导电银胶)和顶层铂电极。

2 实验过程和结果

2.1 退火温度对 $\text{TiN}/\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ 器件电性能的影响

将上述两个组分的器件分别在 500 °C、600 °C、700 °C 和 800 °C 下退火 50 s。 $\text{Hf}_{0.866}\text{Zr}_{0.134}\text{O}_2$ 和 $\text{Hf}_{0.844}\text{Zr}_{0.156}\text{O}_2$ 器件在 500 °C 和 600 °C 下退火 50 s 的 $I-V$ 曲线如图 2 所示。图中,横坐标为器件两端所加电场的电压,纵坐标为通过器件的电流密度。可以看出, $\text{Hf}_{0.866}\text{Zr}_{0.134}\text{O}_2$ 和 $\text{Hf}_{0.844}\text{Zr}_{0.156}\text{O}_2$ 器件

600 °C 退火后的打开电流均大于 500 °C 退火,前者在矫顽电压处(I - V 曲线的“鼓包”处)的电流更小,因而具有更大的记忆窗口,读写性能更优。 I - V 曲线的“鼓包”显示了铁电特有的负电阻效应,其矫顽电压值约为 1~1.5 V。出现负电阻效应的原因是,通电过程中载流子填满了部分陷阱,薄膜阻值发生了变化,从而表现为负值电阻。

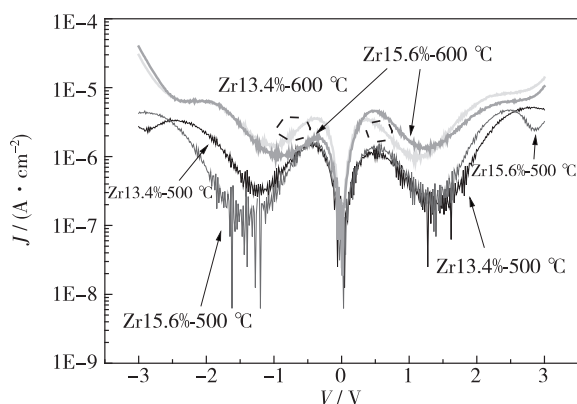


图2 $\text{Hf}_{0.866}\text{Zr}_{0.134}\text{O}_2$ 和 $\text{Hf}_{0.844}\text{Zr}_{0.156}\text{O}_2$ 器件退火 50 s 后的 I - V 曲线

$\text{Hf}_{0.866}\text{Zr}_{0.134}\text{O}_2$ 和 $\text{Hf}_{0.844}\text{Zr}_{0.156}\text{O}_2$ 器件在 500 °C 和 600 °C 下退火 50 s 的极化-电压曲线如图 3 所示。等效电滞回线通过电流对时间的积分得到。可以看出,器件 600 °C 退火后的极化强度整体高于 500 °C 退火。 $\text{Hf}_{0.866}\text{Zr}_{0.134}\text{O}_2$ 器件的整体极化强度略大于 $\text{Hf}_{0.844}\text{Zr}_{0.156}\text{O}_2$ 器件,表明 $\text{Hf}_{0.866}\text{Zr}_{0.134}\text{O}_2$ 薄膜含有更多的铁电相。

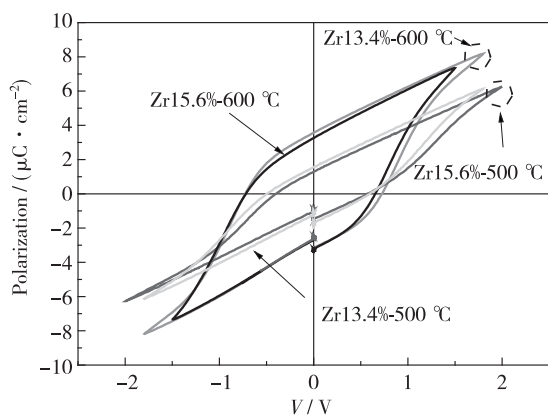


图3 $\text{Hf}_{0.866}\text{Zr}_{0.134}\text{O}_2$ 和 $\text{Hf}_{0.844}\text{Zr}_{0.156}\text{O}_2$ 器件退火 50 s 后的极化-电压曲线

综合图 2 和图 3 可知,在 600 °C 退火的 $\text{Hf}_{0.844}\text{Zr}_{0.156}\text{O}_2$ 器件具有最优的电流特性、足够的极化强度和合适的矫顽电压。两个组分的样品在 600 °C 退火 50 s 后的性能均优于在 500 °C 退火 50 s。

$\text{Hf}_{0.844}\text{Zr}_{0.156}\text{O}_2$ 器件在未退火、400 °C 退火 65 s 后的极化-电压曲线如图 4 所示。可以看出,对于 $\text{Hf}_{0.844}\text{Zr}_{0.156}\text{O}_2$ 器件,400 °C 退火 65 s 与未退火的极化表现一致,都表现为顺电性。这表明 400 °C 的快速退火无法使薄膜中足够多的非铁电相向铁电相转化,从而不具有铁电性。T. Shimizu 等人根据外延生长得到的钇掺杂 HfO_2 的结果推断,其居里温度点为 450 °C,在此温度值之上退火才能使薄膜发生铁电相转变^[17]。本实验的结果也符合这个规律。

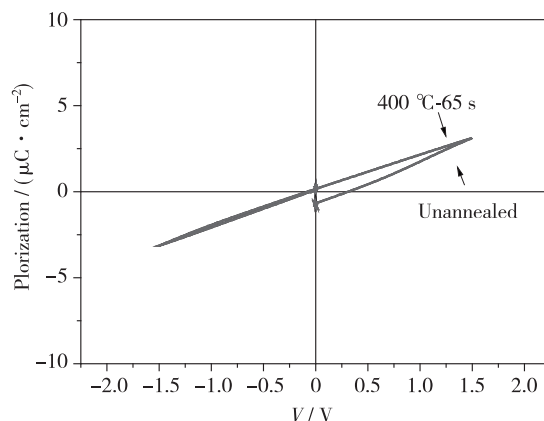


图4 $\text{Hf}_{0.844}\text{Zr}_{0.156}\text{O}_2$ 器件在未退火、400 °C 退火 65 s 后的极化-电压曲线

综合图 3 和图 4 可知,在 600 °C 退火后,器件的铁电性得到增强。原因是退火使得薄膜中原子的扩散作用加强,提高了薄膜的晶化程度,降低了晶体的缺陷密度。当薄膜中缺陷密度降低时,畴壁的钉扎作用随之减弱,畴壁运动的活化能降低,有利于极化翻转。

对两种组分器件在 700 °C、800 °C 下进行快速退火。退火后,两种器件的初始态电阻均在 $1 \times 10^5 \Omega$ 左右。 I - V 曲线显示,器件的漏电流较大,器件易发热或击穿。原因是退火温度升高后,晶粒的生长速度加快,晶界面积和缺陷密度随之增加,晶粒变得尖锐,导致器件的漏电流升高。

2.2 退火时长对 $\text{TiN}/\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ 器件电极化性能的影响

$\text{TiN}/\text{Hf}_{0.866}\text{Zr}_{0.134}\text{O}_2/\text{TiN}$ 器件在 500 °C 退火 30 s、500 °C 退火 50 s 后的极化-电压曲线如图 5 所示。可以看出,器件退火 50 s 后的极化强度比 30 s 更高,极化曲线形状更接近于方形。这表明 50 s 退火后, $\text{Hf}_{0.866}\text{Zr}_{0.134}\text{O}_2$ 薄膜的铁电性更强。因此,退火时长从 30 s 增加到 50 s 后,有利于铁电性能的提升。

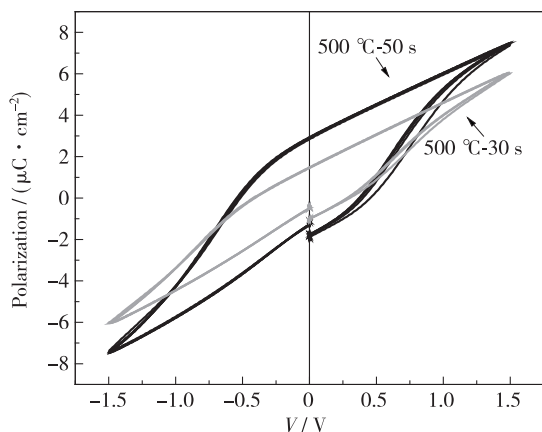


图5 $\text{Hf}_{0.866}\text{Zr}_{0.134}\text{O}_2$ 器件在 500 °C 退火 30 s, 500 °C 退火 50 s 后的极化-电压曲线

$\text{Hf}_{0.844}\text{Zr}_{0.156}\text{O}_2$ 器件在 600 °C 退火 50 s, 600 °C 退火 65 s 后的极化-电压曲线如图 6 所示。可以看出, 器件退火 50 s 的样品极化强度更高, 印记效应明显, 矫顽电压为 0.7 V 左右, 极化曲线是对称的。曲线的左侧不够尖锐, 表明漏电流较大, 可能与界面效应有关。退火时长从 50 s 增加到 65 s 后, 器件的极化性能有所下降。

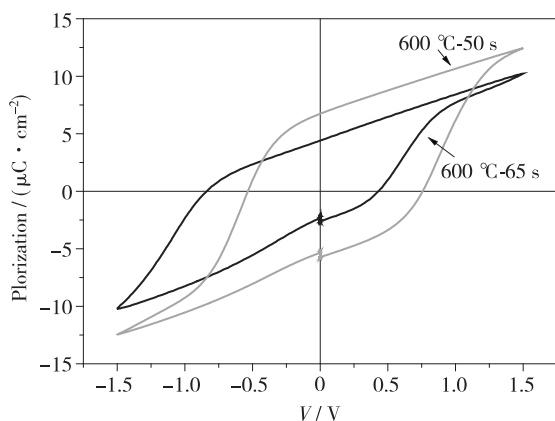


图6 $\text{Hf}_{0.844}\text{Zr}_{0.156}\text{O}_2$ 器件在 600 °C 退火 50 s, 600 °C 退火 65 s 后的极化-电压曲线

2.3 $\text{TiN}/\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ 器件的循环性能

$\text{Hf}_{0.844}\text{Zr}_{0.156}\text{O}_2$ 器件在 600 °C 退火 50 s 后的 1×10^6 次循环的极化-电压曲线如图 7 所示。可以看出, 首次循环的电滞损耗略大。最初几次循环中, 极化程度和电滞损耗均会随循环次数的增加而缩减。沿着图中的箭头指向, 随着极化次数的增加, 最大极化强度降低, 印记效应更明显。在 1×10^6 次循环后, 极化和损耗的衰减均很低, 器件性能保持良好。随着循环次数的增加, 最大极化强度有衰减, 印记效应变得更明显, 极化强度的跨度约

为 $15 \sim 16 \mu\text{C}/\text{cm}^2$ 。

器件循环中的极化衰减可能与氧空位机制有关。D. R. Islamov 等人关于氧空位相关机制的研究认为, 氧空位受电场驱动而重新排布, 影响铁电正交相的分布, 造成了极化性能的变化^[18-19]。

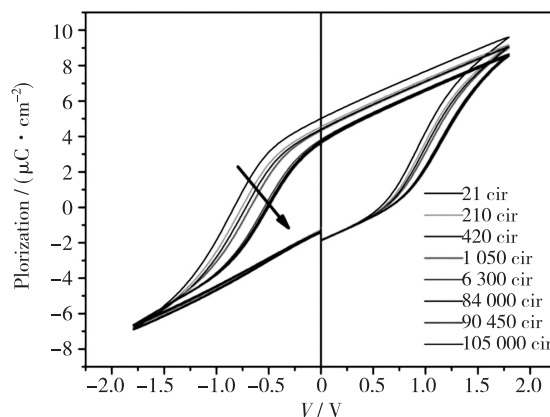


图7 $\text{Hf}_{0.844}\text{Zr}_{0.156}\text{O}_2$ 器件在 600 °C 退火 50 s 后的 1×10^6 次循环的极化-电压曲线

通过能谱仪, 分析了 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 薄膜的元素分布, 结果表明, 薄膜中的 Hf、Zr 元素掺杂均匀, 薄膜呈多晶结构, 为斜方相和正交相。

3 结 论

采用磁控溅射法制作了 $\text{TiN}/\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ 薄膜器件, 在 400 °C ~ 800 °C 下进行了退火。实验结果表明, 退火对于 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 薄膜器件具有重要意义。在高于居里温度下进行快速退火, 可使 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 薄膜在室温下具有稳定的铁电性, 而在低于居里温度下进行快速退火, $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 薄膜保持顺电性。该 $\text{TiN}/\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ 薄膜器件的最佳退火条件为: 600 °C 温度、50 s 时间。在此条件下, 可获得循环、极化和电流等特性均良好的器件。在更高温度或更长时间下退火, 器件的性能会下降。

参考文献:

- [1] MULLER J, POLAKOWSKI P, MUELLER S, et al. Ferroelectric hafnium oxide based materials and devices: assessment of current status and future prospects [J]. ECS J Sol Sta Sci & Technol, 2015, 4 (5): 30-35
- [2] SCOTT J F, JAMES F. Ferroelectric memories [M]. New York: Springer-Verlag, 2000.
- [3] STARSCHICH S, MENZEL S, BOTTGER U. Pulse

- wake-up and breakdown investigation of ferroelectric yttrium doped HfO_2 [J]. *J Appl Phys*, 2017, 15 (121): 154102.
- [4] CLIMA S, WOUTERS D J, ADELMANN C, et al. Identification of the ferroelectric switching process and dopant-dependent switching properties in orthorhombic HfO_2 : a first principles insight [J]. *Appl Phys Lett*, 2014, 104(9): 092906.
- [5] HUANG F, CHEN X, LIANG X, et al. Fatigue mechanism of yttrium-doped hafnium oxide ferroelectric thin films fabricated by pulsed laser deposition [J]. *Phys Chemistry Chemical Phys*, 2016, 19(5): 3486-3497.
- [6] SHOSUKE F, YUUCHI K, TSUNEHIRO I, et al. First demonstration and performance improvement of ferroelectric HfO_2 -based resistive switch with low operation current and intrinsic diode property [C] // IEEE Symp VLSI Technol. Honolulu, HI, USA, 2016.
- [7] WANG Y, LIU Q, LONG S, et al. Investigation of resistive switching in Cu-doped HfO_2 thin film for multilevel non-volatile memory applications [J]. *Nanotechnol*, 2010, 21(4): 045202.
- [8] TSAI T L, CHANG H Y, JIANG F S, et al. Impact of post-oxide deposition annealing on resistive switching in HfO_2 -based oxide RRAM and conductive-bridge RAM devices [J]. *IEEE Elec Dev Lett*, 2015, 36(11): 1146-1148.
- [9] BOSCKE T S, MULLER J, BRAUHAUS D, et al. Ferroelectricity in hafnium oxide thin films [J]. *Appl Phys Lett*, 2011, 99(10): 102903.
- [10] PARK M H, KIM H J, KIM Y J, et al. Toward a multifunctional monolithic device based on pyroelectricity and the electrocaloric effect of thin antiferroelectric $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ films [J]. *Nano Energy*, 2015, 12(3): 131-140.
- [11] MULLER J, BOSCKE T S, SCHRODER U, et al. Ferroelectricity in simple binary ZrO_2 and HfO_2 [J]. *Nano Lett*, 2012, 12(8): 4318-4323.
- [12] LEE M H, FAN S T, TANG C H, et al. Physical thickness 1. x nm ferroelectric HfZrO_x negative capacitance FETs [C] // IEEE IEDM, San Francisco, CA, USA, 2017: 2-6.
- [13] GRIMLEY E D, SCHENK T, SANG X, et al. Structural changes underlying field-cycling phenomena in ferroelectric HfO_2 thin films [J]. *Advan Elec Mater*, 2016, 2(7): 1002-1004.
- [14] WILK G D, MULLER D A. Correlation of annealing effects on local electronic structure and macroscopic electrical properties for HfO_2 deposited by atomic layer deposition [J]. *Appl Phys Lett*, 2003, 83 (19): 3984-3986.
- [15] KIM D P, YANG X, WOO J C, et al. Dry-etching properties of TiN for metal/high-k gate stack using BCl_3 -based inductively coupled plasma [J]. *J Vacuum Sci & Technol A: Vacuum, Surfaces, and Films*, 2009, 27(6): 1320-1325.
- [16] LUO Q, MA H, SU H, et al. Composition-dependent ferroelectric properties in sputtered $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ thin films [J]. *IEEE Elec Dev Lett*, 2019, 40 (4): 570-573.
- [17] SHIMIZU T, KATAYAMA K, KIGUCHI T, et al. The demonstration of significant ferroelectricity in epitaxial Y-doped HfO_2 film [J]. *Scientific Reports*, 2016, 6(9): 32931.
- [18] ISLAMOV D R, PEREVALOV T V, GRITSENKO V A, et al. Charge transport in amorphous $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ [J]. *Appl Phys Lett*, 2015, 106(10): 102906.
- [19] BHUYIAN M N U, PODDAR S, MISRA D, et al. Impact of cyclic plasma treatment on oxygen vacancy defects in $\text{TiN}/\text{HfZrO}/\text{SiON}/\text{Si}$ gate stacks [J]. *Appl Phys Lett*, 2015, 106(19): 193508.

横向电阻区对 IGBT 过电流关断能力的影响研究

纪丙华^{1,2}, 吴 郁¹, 金 锐³

(1. 北京工业大学 信息学部, 北京 100124; 2. 上海航天电子技术研究所, 上海 201109;

3. 全球能源互联网研究院 先进输电技术国家重点实验室, 北京 100192)

摘 要: 针对绝缘栅双极晶体管(IGBT)在过电流关断测试中被烧毁的问题,设计了三种不同的横向电阻区结构。为了分析器件的失效机理,研究不同结构横向电阻区对过电流关断能力的影响,借助 Sentaurus TCAD 仿真工具构建了器件模型,模拟了器件的整个过电流关断过程。对三种结构器件在过电流关断过程中的内部关键物理参量的变化情况进行分析,发现不同长度的横向电阻区对空穴的抽取效率不同,进而可以影响到电流密度分布。当电阻区增加到一定长度时,可以有效提升过电流关断能力,避免器件烧毁失效。

关键词: IGBT; 过电流关断; 烧毁失效; 横向电阻区

中图分类号: TN323⁺.4

文献标识码: A

文章编号: 1004-3365(2020)02-0262-05

DOI: 10.13911/j.cnki.1004-3365.190257

Study on the Influence of Lateral Resistance Region on the IGBT Overcurrent Turn-Off Capability

JI Binghua^{1,2}, WU Yu¹, JIN Rui³

(1. Faculty of Information Technology, Beijing University of Technology, Beijing 100124, P. R. China; 2. Shanghai Aerospace Electronic

Technology Institute, Shanghai 201109, P. R. China; 3. State Key Lab of Advanced Power Transmission Technology, Global Energy

Interconnection Research Institute, Beijing 100192, P. R. China)

Abstract: Three different lateral resistance region structures were designed for the problem of burning failures of insulated gate bipolar transistors (IGBT) in the overcurrent turn-off test. To analyze its failure mechanism and study the influence of different lateral resistance regions on the overcurrent turn-off capability, device models of IGBT were established and overcurrent turn-off processes were simulated by using Sentaurus TCAD tools. The results showed that lateral resistance regions of different lengths had an affect on hole extraction efficiencies and current density distributions by comparison and analysis. When the length of the lateral resistance region increased to a certain value, the overcurrent turn-off capability of the device could be greatly improved, and the burning failure could be avoided.

Key words: IGBT; overcurrent turn-off; burning failure; lateral resistance region

0 引 言

IGBT 是一种由双极型晶体管(BJT)与场效应晶体管(MOSFET)共同构成的复合型功率器件,兼具 MOSFET 和 BJT 的优点^[1-3]。IGBT 驱动电路简

单,导通功耗低,被广泛应用于电网输电、高速铁路、电动汽车、光伏发电等领域。但是,IGBT 存在工作寿命较短、可靠性较低等问题。主要原因是 IGBT 的坚固性较差^[4-8],而器件的过电流关断能力与坚固性直接相关。目前尚未成功解决过电流关断能力的关键技术,这也是限制 IGBT 大范围推广应用的重

收稿日期:2019-04-30;定稿日期:2019-05-07

基金项目:国家重点研发计划项目(2016YFB0901800)

作者简介:纪丙华(1992—),男(汉族),河南周口人,硕士,从事功率半导体器件与功率集成电路等技术研究。

要因素^[9]。

针对 IGBT 过电流关断过程中元胞区边缘烧毁失效的问题,一个常用的解决方案就是在元胞边缘的一侧适当延伸掺杂,生成一个横向电阻区的结构^[10],这样可起到电流阻尼的作用。电阻区可以缓解元胞边缘处电流密度较大的问题,从而避免器件边缘局部因功率密度过大而形成烧毁点^[11-12]。

横向电阻区也可称为电阻连接区,在不同的文献中有不同的名称,如 HiRC^[13]、Junction Extension Zone^[14]、Ballast Resistance^[15]等。上述文献中,只给出了最终结果,没有详细讨论不同结构参数的横向电阻区对过电流关断能力的影响。关于 IGBT 横向电阻区的理论研究尚属空白。因此,本文选取不同长度的横向电阻区对器件过电流关断能力的影响进行了详细研究,发现在一定程度上延长横向电阻区长度可以提升器件的过电流关断能力。这为产品生产线提供了有价值的参考。

1 器件的结构

在过电流关断能力测试中,4 500 V IGBT 样品多次在横向电阻区附近发生烧毁失效。该样品的横向电阻区的解剖图如图 1 所示。横向电阻区的总长度为 210 μm 。采用多级场板结构,以提升耐压能力。

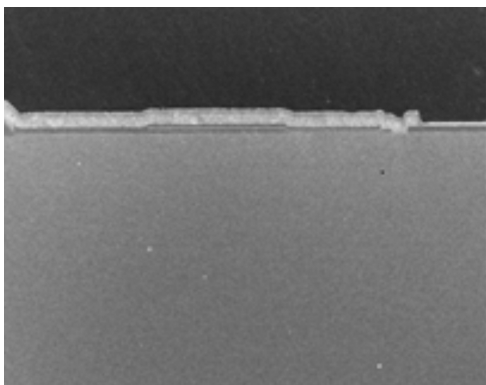
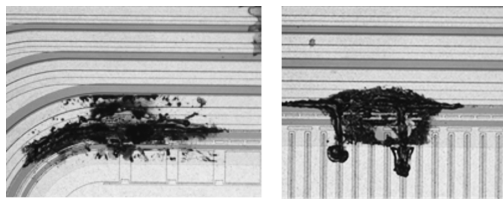


图 1 IGBT 样品横向电阻区的解剖图

烧毁部位的局部放大图如图 2 所示。可以看出,烧毁位置多集中于横向电阻区外边缘,并且其程度较严重。可知,器件的过电流关断能力对横向电阻区的结构非常敏感。

为了观察芯片烧毁失效前后的动态过程,找出横向电阻区对过电流关断能力的影响规律,本文借助 Sentaurus TCAD 仿真工具模拟了器件的整个过电流关断过程,以分析其失效机理。



(a) 烧毁例一

(b) 烧毁例二

图 2 烧毁部位的局部放大图

根据实测中烧毁芯片的版图尺寸参数,使用 Sentaurus TCAD 工具构建了一个完全相同的 IGBT 仿真模型。有源区尺寸约为 1 cm $\times$ 1 cm,内部采用条形元胞结构,额定电流为 50 A。元胞区外侧的横向电阻区长度为 210 μm ,该结构(以下简称 210 μm 结构)的模型如图 3 所示。为提升终端耐压能力,终端采用场限环加多级场板结构。仿真结果表明,对于 210 μm 结构的器件,在过流关断过程中,电流丝会过早地移动到电阻区右边缘并在该位置发生锁定,造成严重升温,直至该部位发生烧毁失效。烧毁位置与实测结果相吻合。

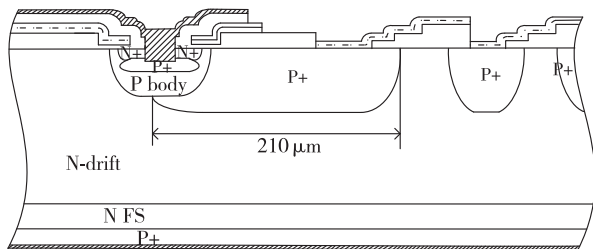
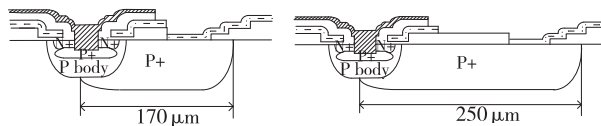


图 3 210 μm 结构的模型

为了研究不同长度的横向电阻区对过电流关断能力的影响,参照实际烧毁的 IGBT 器件结构,借助 Sentaurus TCAD 工具再设计了两个具有相同有源区面积和不同横向电阻区长度的新结构,以此作为 210 μm 结构的测试实验对照组。这两种结构的剖面图如图 4 所示。第一个 IGBT 的横向电阻区长度为 170 μm ,下面简称其结构为 170 μm 结构。第二个芯片的横向电阻区长度为 250 μm ,下面简称其结构为 250 μm 结构。



(a) 170 μm 结构

(b) 250 μm 结构

图 4 两种结构的剖面图

分别对上述三个结构施加 5 倍于额定电流的短时过电流(即 250 A),在苛刻条件下进行硬关断过程实验,观察对比这三种结构 IGBT 在这一过电流

关断过程中内部关键物理参数的变化规律,以研究各种长度的横向电阻区对过电流关断能力的影响。

采用感性负载电路来测试 IGBT 的过电流关断能力^[7],测试电路如图 5 所示。集电极施加电压 U_{CE} 为 2 800 V,为使 IGBT 在 50 μs 的时间内达到 5 倍于额定电流的大电流条件,感性负载 L_{load} 的值取为 0.56 mH。寄生电感 L_{par} 取为 6 μH (典型值),栅极电阻为 47 Ω 。

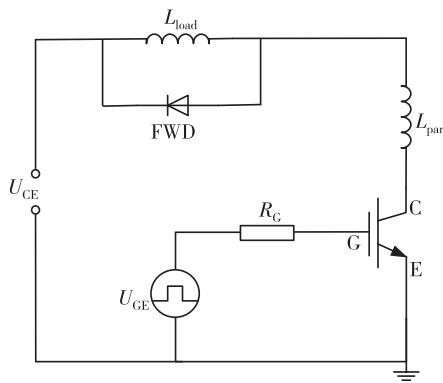


图 5 过电流关断能力测试电路

电路工作过程如下。给 IGBT 的栅极施加 15 V 的正栅压,使 IGBT 导通,集电极电流逐渐增大,经过 50 μs 之后,集电极电流达到额定电流值的 5 倍,即 $I_C=250$ A。栅极电压降为 -15 V,开始执行关断过程。由于有续流二极管 FWD,通过感性负载的电流会通过 FWD,形成闭合回路,降低对 IGBT 的电流冲击。但在实际电路中,由于有寄生电感,IGBT 也会受到一些影响,因此关断过程中的电流变化率较大。在这种苛刻条件下,器件内部容易受过剩载流子的影响而发生动态雪崩。如果结构坚固性较差,器件可能发生烧毁失效。

2 仿真测试结果

为了充分反映真实器件的过流关断过程,仿真模型中,选取了载流子产生与复合模型、迁移率模型、碰撞电离模型和禁带变窄模型等,并加入热动力方程进行仿真运算。在仿真测试中,与实测芯片相对应的 210 μm 结构在横向电阻区外侧发生烧毁失效,与实测芯片烧毁位置完全一致。对照的 170 μm 结构同样在电阻区右边缘发生烧毁失效,对照的 250 μm 结构安全渡过了过电流关断过程。

2.1 通态下横向电阻区附近的空穴浓度与电流密度分布

不同结构在通态下的差异是关断过程不同的初

始原因,所以有必要了解通态下三种结构的横向电阻区附近空穴浓度与电流密度分布情况。在 250 A 过电流条件下,横向电阻区附近的空穴浓度分布和电流密度分布分别如图 6、图 7 所示。

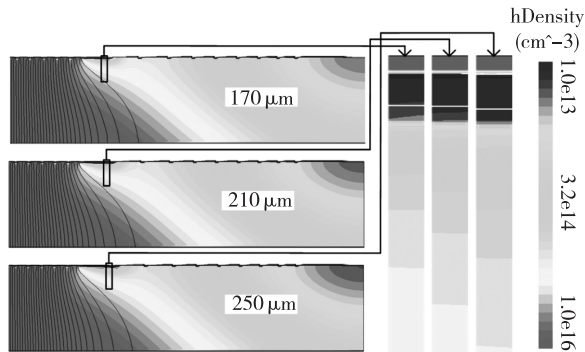


图 6 横向电阻区附近的空穴浓度分布

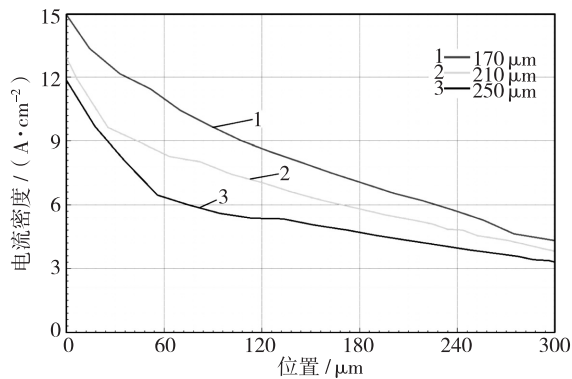


图 7 横向电阻区附近的电流密度分布

可以看出,在通态下三种结构的体内元胞区都充满了大量的过剩载流子,电流分布比较均匀。因为终端区主要承担分担电场、保护边缘元胞的作用,所以集电极一侧空穴注入效率明显降低,沿着远离元胞区方向的过剩载流子浓度迅速下降。三种结构比较明显的区别是,横向电阻区长度的差异直接导致空穴的抽取效率不同。通过局部放大横向电阻区下方的分布曲线,可以看出:在三种结构中,170 μm 结构由于横向电阻区最短,自偏压效应最弱,所以同一位置的空穴浓度也最接近于元胞区,而该处的电流主要是由 p 型横向电阻区和 n 型漂移区形成的 pn 结空间电场抽取空穴形成的,所以电流密度也最大。210 μm 结构的电阻区稍长,电阻区分压能力较强,相同位置的空穴浓度受电阻区影响有所降低,因此电流密度也略微下降;250 μm 结构的横向电阻区最长,自偏压效应最明显,空穴浓度降低最明显,电流密度也最小。器件关断过程中电流密度越小,则功率密度就越小,越不容易造成严重发热。250 μm 结构通态下的横向电阻区一侧空穴浓度较低,电流

密度就比较微弱,这将有利于器件安全地完成关断过程。

2.2 过电流关断过程最高温度变化及温度分布

三种结构 IGBT 过电流关断过程中,内部最高温度随时间的变化关系如图 8 所示。可以看出,170 μm 结构和 210 μm 结构在关断开始后,分别经历了 1 555 ns、1 592 ns 之后,温度急剧上升,直至温度超过 800 K,器件失效(以临界温度 800 K 为失效判据)^[10]。250 μm 结构虽经历了 1 667 ns 之后,温度明显上升,但是,峰值温度仅为 455 K,表明该结构安全渡过了整个过电流关断过程。

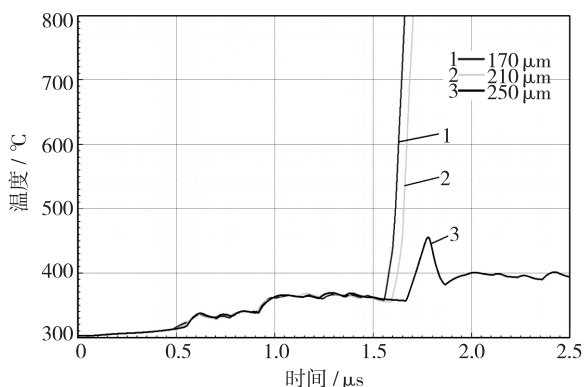


图 8 三种结构内部最高温度随时间的变化关系

分别提取 170 μm 结构和 210 μm 结构发生失效时的最高温度点,提取 250 μm 结构的最高温度点。三种结构峰值温度附近的温度分布及局部放大图如图 9 所示。可以看出,三种结构的最高温度点都发生在横向电阻区的右边缘,210 μm 结构的烧毁点与实测结果相吻合。根据峰值温度的不同和失效时间的前后差异,可认为横向电阻区的不同是造成这种差异的主要因素。

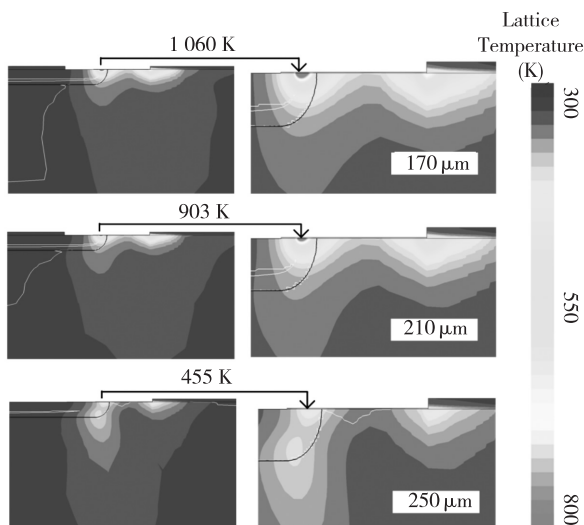


图 9 三种结构峰值温度附近的温度分布及局部放大图

3 结果与分析

3.1 器件空穴浓度和电流密度演变

三种结构达到最高温度之前,不同时刻内部空穴浓度和电流丝的分布如图 10 所示。

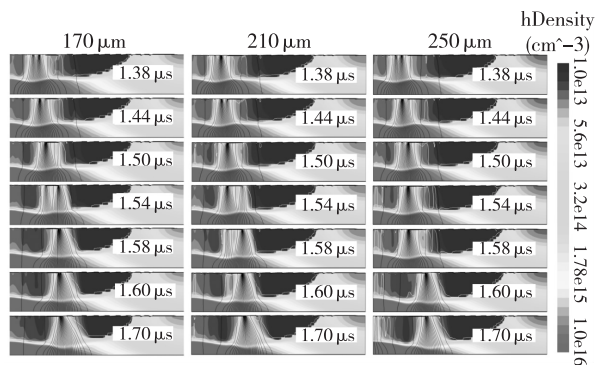


图 10 不同时刻内部空穴浓度和电流丝的分布

在器件关断后的较长时间内,电流丝最先出现于元胞区。由于元胞区 plasma 前沿距离 p-well 较近,空穴浓度较高,因此在很长一段时间内电流丝一直都在元胞区循环移动,不断地扫描抽取空穴。在 170 μm 结构的元胞区空穴经历了约 1 380 ns 抽取时间之后,plasma 前沿位置明显低于元胞区外围的终端区域,电流丝开始向空穴浓度更高的边缘处移动。在第 1 440 ns 时,部分电流丝已游移到了横向电阻区的左边缘,元胞区残存的电流丝还在向该区域移动汇集。在第 1 500 ns 时,电流丝全部移到横向电阻区左边缘处,有继续向右移动的趋势。再经过约 80 ns 后,电流丝完全移到了横向电阻区右边缘。此后,不再移动,直至器件烧毁失效。游走移动的电流丝通常不会造成器件严重温升,稳定而不移动的“死丝”却很容易因局部功率密度过大而导致器件烧毁。电流丝在该位置死锁的时间与图 8 所示的对应温升曲线相吻合。

从关断后到第 1 500 ns 的时间段内,210 μm 结构的空穴抽取过程与 170 μm 结构基本类似。不同的是,210 μm 结构的电流丝向横向电阻区边缘的移动速度更缓慢。此后,差别越来越明显,直到第 1 600 ns 后,210 μm 结构的电流丝完全移到横向电阻区右侧,比 170 μm 结构滞后了 20 ns。这就是 210 μm 结构剧烈温升比 170 μm 结构略微滞后的原因。此后,210 μm 结构的电流丝稳定在横向电阻区右侧,直至发生烧毁失效。

在空穴抽取阶段的第 1440 ns 后,250 μm 结构

的电流丝向横向电阻区左边缘的移动速度已出现明显滞后。此后,与前两种结构的差别越来越大。在第 1 540 ns 后,电流丝移动到横向电阻区左边缘。在第 1 680 ns 后,电流丝移动到右边缘。然而,电流丝在移到该位置后,不像前种结构直接变为死丝,而是,在停留约 100 ns 后,电流丝又重新回扫到了空穴浓度更高的元胞区。这段过程的最高温度仅为 455 K。电流丝这一较为滞后的移动变化过程和始终保持移动的活性,使得该结构在过电流关断测试中安全地通过考核。

3.2 通态下横向电阻区附近空穴浓度与电流密度分布

三种结构烧毁失效时刻前,空穴浓度随时间的演变过程如图 11 所示。图中表示的是横向电阻区下方距离表面 337 μm 处的空穴浓度分布。

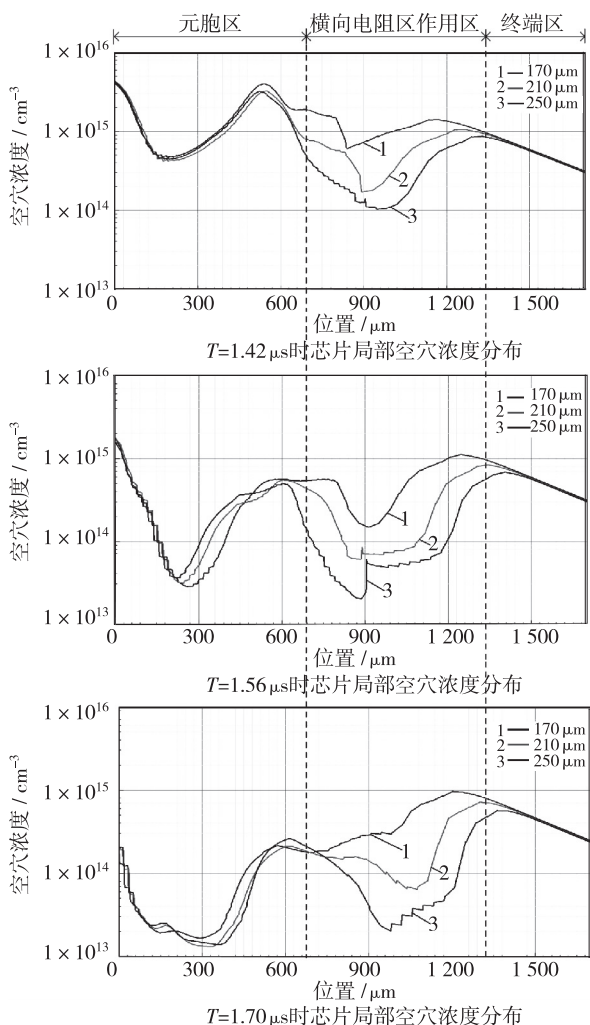


图 11 三种结构烧毁失效前空穴浓度随时间的演变过程

可以看出,在器件失效前的第 1 420 ns 到第 1 700 ns 的过程中,空穴不断地被抽取,浓度逐渐降低。由于三种结构的元胞区没有差别,所以空穴浓

度变化受影响很小,变化基本一致。差别主要体现在横向电阻区附近下方。横向电阻区越长,被抽取的空穴浓度就越低,较低的空穴浓度意味着电流密度较小。三种结构中,250 μm 结构的横向电阻区附近空穴浓度始终最低。这表明电流密度较低,有利于促进电流丝移向空穴浓度更高的元胞区。250 μm 结构的电流丝在元胞区循环扫描时间最长,移到横向电阻区右端的时间最晚,停留时间较短,因而该结构能安全地完成过电流关断。

4 结 论

针对 210 μm 结构的 IGBT 器件在实际过电流关断能力测试中横向电阻区边缘烧毁失效的情况,设计了两种对比新结构。对三种结构的器件过电流关断过程进行测试后发现,250 μm 结构安全地完成了过电流关断,其他两种横向电阻区较短的结构均发生烧毁。可推测,临界安全关断所需的横向电阻区长度应在 210 μm ~250 μm 之间。横向电阻区越长,电阻区外边缘下方的电流密度越小,使得电流丝移到横向电阻区末端的时间更延后,有利于避免右端形成高温烧毁点,从而提升过电流关断能力。横向电阻区长度值直接影响过电流关断过程中电流丝移动到横向电阻区外边缘的时间和电流密度。因此适当增加横向电阻区长度,可提高 IGBT 的过电流关断能力,即增强器件的动态坚固性。

参 考 文 献:

- [1] 杨媛,文阳,李国玉. 大功率 IGBT 模块及驱动电路综述 [J]. 高电压技术, 2018, 44(10): 3207-3220.
- [2] 陈天,杨晓鸾,季顺黄. 1 200 V 沟槽栅/平面栅场截止型 IGBT 短路耐量特性研究 [J]. 固体电子学研究进展, 2014, 34(2): 111-119.
- [3] RICHARDEAU F, DOU Z F, SARRAUTE E, et al. Comparison of IGBT short-circuit failure "ohmic mode": epoxy molded package versus silicone gel module for new fail-safe and interruptible power converters [J]. Microelec Reliab, 2011, 51(9): 1919-1926.
- [4] HORIGUCHI T, KINOUCI S I, NAKAYAMA Y, et al. A short circuit protection method based on a gate charge characteristic [C] // IEEE IPEC ECCE-ASIA. Hiroshima, Japan. 2014.

(下转第 271 页)

基于 Matlab 的基极电流理想因子提取方法研究

冯筱佳¹, 邱 盛², 张 静², 崔 伟², 张培健²

(1. 重庆电子工程职业学院, 重庆 400060; 2. 中国电子科技集团公司 第二十四研究所, 重庆 400060)

摘 要: 采用 Matlab 数字分析方法, 结合多晶硅发射极双极器件基极电流的构成情况, 阐述了不同理想因子电流成分分离的基本原理和数学方法。利用该方法分析了多晶硅发射极双极器件在正向大电流激励下的电参数退化过程中不同理想因子基极电流的变化情况, 分析了导致各电流分量变化的物理机制。该理想因子提取方法普遍适用于各类双极型器件。

关键词: 多晶硅发射极; Matlab; 基极电流; 理想因子

中图分类号: TN431; TN322⁺.8

文献标识码: A

文章编号: 1004-3365(2020)02-0267-05

DOI: 10.13911/j.cnki.1004-3365.190342

Study on Extraction Method of Base Current Ideal Factor Using Matlab

FENG Xiaojia¹, QIU Sheng², ZHANG Jing², CUI Wei², ZHANG Peijian²

(1. Chongqing College of Electronic Engineering, Chongqing 401331, P. R. China;

2. The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing 400060, P. R. China)

Abstract: Matlab numerical analysis, coupling with base current components in polysilicon emitter bipolar transistors, was adopted to illustrate the basic principles and mathematical methods in exact base current component extraction in detail. This method was employed to extract and analyse the base current component with different ideality factor and the variation trends in high forward current stressed polysilicon emitter bipolar transistors. The electrical parameters degradation characteristics and mechanisms were also discussed. This ideality factor extraction method was widely appropriate for various bipolar transistor technologies.

Key words: polysilicon emitter; Matlab; base current; ideality factor

0 引 言

自对准多晶硅发射极双极器件广泛应用于现代高速高精度模拟 IC 设计中。一方面, 自对准器件可以同时实现横向维度、纵向维度的特征尺寸的缩小; 另一方面, 多晶硅发射极双极器件具有线性度良好、电流驱动能力强、电学匹配性优良等特性^[1-2]。在自对准高速互补多晶硅发射极双极工艺中, 纵向 PNP 管具有与 NPN 管相比拟的电学性能, 可极大提升工艺的适用性和电路性能, 适用于线性双极电路和功率双极电路。

在正常模式下, 双极晶体管的集电极电流 I_C 与基极电流 I_B 的特性曲线分为四个区域: 1) 低电流非理想区, I_B 与 V_{BE} 呈指数关系, $I_B = \exp(qV_{BE}/(nkT))$; 2) 理想传导区, 基极电流由扩散漂移过程主导, n 为 1; 3) 中等注入区, 基极电压降比较显著; 4) 大注入区, 发射极串联电阻效应、Kirk 效应变得显著, 已影响器件的传导特性^[3]。

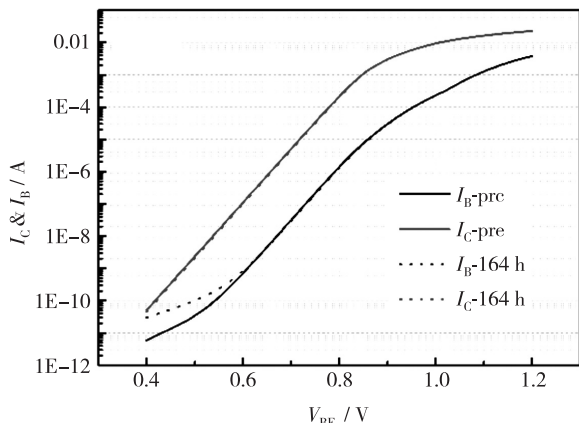
双极器件在长时间辐射环境下, 低电流非理想区的电流受到外界应力不同程度的影响, 从而影响基极电流的构成, 导致器件性能退化。这主要表现为电流增益的退化和基极漏电流的增大^[4-7]。

本文通过 Matlab 数值计算方法, 准确分离从低

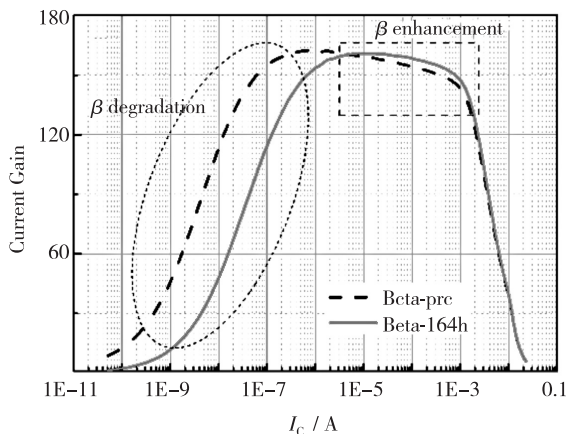
收稿日期: 2019-06-07; 定稿日期: 2019-07-16

作者简介: 冯筱佳(1983—), 女(汉族), 四川邻水人, 硕士, 工程师, 从事微电子学与固体电子学模拟/数模混合集成电路研究及教学工作。

电参数退化曲线如图 2 所示。本文中,器件的正向大电流条件是:在正向有源模式下,长时间工作,基极、发射极、集电极处于固定的电压偏置激励, $V_{BE}=1\text{ V}$ 、 $V_{CE}=2\text{ V}$,发射极接地。器件的典型电学特性和偏置条件分别如表 1 和表 2 所示。发射极电流密度 $J_E \approx 1.5\text{ mA}/\mu\text{m}^2$ 。



(a) G-P 曲线对比



(b) β 曲线对比

图 2 164 小时正向大电流应力下多晶硅发射极器件的电参数退化曲线

表 1 器件典型电学特性

器件类型	β	BV_{CEO}/V	BV_{CBO}/V	特征频率 f_T/GHz
NPN	150	15.6	28	8

表 2 电应力偏置条件

偏置条件	V_{EB}/V	V_{EC}/V	发射极长度/ μm	发射极宽 度/ μm
正向有源模式	1	-2	12	0.6

从图 2(a) 可以看到,在正向大电流应力作用

后,在小注入条件下,基极电流明显增大,而电应力激励前后器件集电极电流 I_C 几乎不发生变化。从图 2(b) 可以看到,在正向大电流应力作用后,在小注入区,即 I_C 电流较小时,电流增益大幅降低(图中的椭圆虚线框)。从中等注入区到大注入区,即 I_C 电流较大时,电流增益却有一定幅度增大(图中的矩形虚线框)。这是因为,在正向大电流激励后,当 E/B 结偏置电压较小时,E/B 界面的电子-空穴复合速率增加,导致基极电流增大,使得电流增益降低。当 E/B 结偏置较大时,多晶硅发射极晶粒之间陷阱缺陷中心的数量减少,导致多晶硅发射极晶粒间的复合电流减小。在正向大电流作用下,发生氢原子的电迁移,随后发生晶粒间悬挂键的去钝化,从而导致发射极多晶硅晶粒间的复合中心的密度减小^[5, 6, 10]。

2.2 基于 Matlab 的基极电流理想因子分离实例

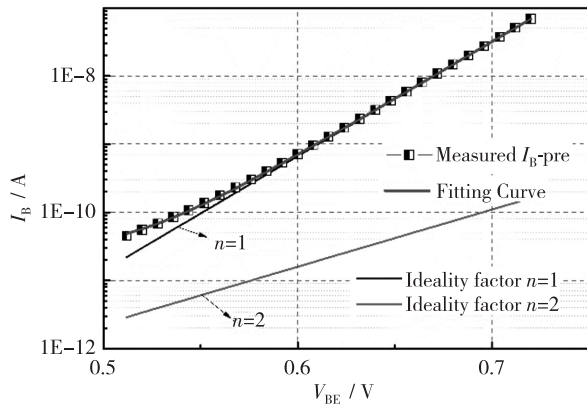
采用 Matlab 数值计算方法,结合式(1)的基极电流构成,对正向大电流应力作用前后的不同理想因子分量的基极电流进行定量分析。基极电流 I_B 测试数据与基于式(1)的拟合结果对比如图 3 所示。

E/B 结偏置电压选取为一定的范围,因为较低的 V_{BE} ($V_{BE} < 0.5\text{ V}$) 会导致 I_B 的测试噪声大,较大的 V_{BE} ($V_{BE} > 0.75\text{ V}$) 会引起 Kirk 效应和发射极串联电阻效应,因而不能准确地表征本征基极电流情况。图 3(a) 中,在应力作用前, $n=1$ 和 2 时电流分量部分的饱和复合电流分别为 I_{B1} 和 I_{B2} 。可以看出,在特定 V_{BE} 电压范围内,式(1)可以很好地表征基极电流构成。

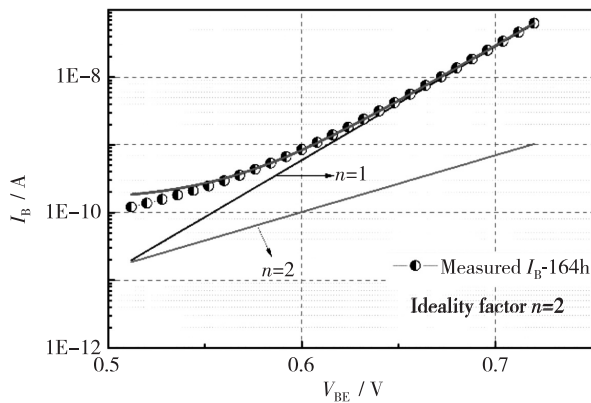
图 3(b) 中,在正向大电流应力作用后, $n=1$ 和 2 时电流分量部分的饱和复合电流分别为 I_{B1} 和 I_{B2} 。可以看出,在 164 小时正向大电流应力作用后,式(1)的基极电流不能很好地拟合应力作用后的基极电流构成,特别是在 V_{BE} 较小的情况下。在 $0.5\text{ V} < V_{BE} < 0.6\text{ V}$ 范围内,拟合结果明显偏离测试结果,在下节中将进一步讨论。

正向大电流应力作用前后, $n=1, 2$ 时基极电流分量各自变化量 ΔI_{B1} 、 ΔI_{B2} 随 E/B 结偏置电压的变化关系如图 4 所示。可以看出, $n=1$ 时,基极饱和电流在正向大电流激励下相比于电应力激励之前明显减小,E/B 结电压越大,减小幅度也越大。 $n=2$ 时,基极饱和电流在正向大电流激励下相比于电应力激励之前有一定程度增大。更进一步,从两部分饱和电流分量的变化幅度对比可见,

$n=1$ 时的基极电流分量在电应力诱导的基极电流变化中起主导作用, 这部分电流分量的变化幅度比较显著。



(a) 电应力前



(b) 164 小时正向大电流后

图 3 基极电流 I_B 测试数据与基于式(1)的拟合结果对比

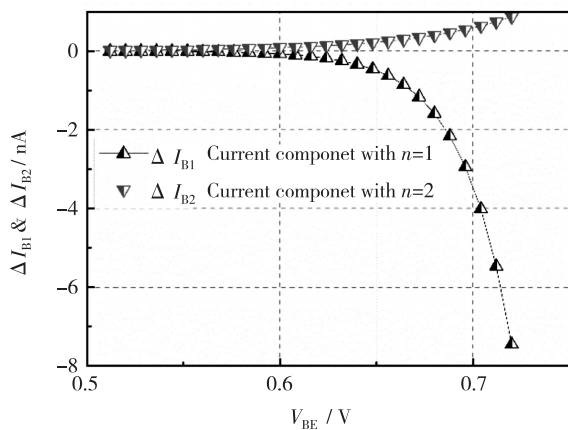


图 4 正向大电流应力激发后不同理想因子的基极电流随 E/B 结偏置电压的变化情况

3 电应力参数退化物理机制分析

在电场作用下, $n=1, 2$ 时, 基极电流分量有不

同程度的减小和增大。 $I_{B1}^{E/B}$ 、 $I_{B2}^{E/B}$ 、 $I_{B1}^{E/B}$ 、 $I_{B2}^{E/B}$ 、 $I_{B1}^{E/B}$ 和 $I_{B2}^{E/B}$ 等分量均来自 E/B 精细结构中各界面处的复合电流, n 均为 1。在这些界面处存在不同数量的缺陷中心, 如电荷限制中心、 H^+ 悬挂键缺陷等。在正向大电流激励下, 氢原子存在电迁移作用, 这类缺陷被不同程度地去钝化, 即界面缺陷的数量减少, 导致这些界面复合电流减小, 这与前面数值拟合结果完全一致。

因为界面复合电流分量的变化占主导作用, 所以总基极电流在 V_{BE} 较大时逐渐变小。因此, 从中等注入区到大注入区, 观察到了电流增益增大的现象。在 V_{BE} 较小时, 由于界面缺陷数量的变化, E/B 本征区域或 E/B 空间电荷区的电场分布会发生一定程度的变化, 正向大电流作用后, 非理想传导区向 V_{BE} 较大的方向偏移, 这正与图 3(b) 中拟合曲线在低 E/B 电压区明显偏离测试结果一致。在正向大电流作用下, 由于氢原子的电迁移和随后的去钝化作用, 多晶硅/单晶硅界面 H^+ 悬挂键缺陷部分被中和, 减小了电传导过程中对多子载流子的库伦散射作用, 使得发射极电阻变小。这就进一步加剧了 E/B 空间电荷区初始状态电场分布的变化。因此, 在 E/B 结电压较小的区域, 式(1)的拟合结果与正向大电流作用后的测试结果存在一定程度偏差。

4 结 论

本文阐述了多晶硅发射极器件基极电流构成的基本原理, 并结合 Matlab 数值分析工具, 有效分离了基极电流不同理想因子的电流分量构成。通过对小尺寸多晶硅发射极器件正向大电流作用前后的电参数变化对比, 定量地分析理想因子为 1、2 时的基极电流分量变化关系, 讨论了引起各电流分量变化的物理机制。该基极电流分量提取方法不仅适用于多晶硅发射极器件, 还适合于常规双极器件、超高速 SiGe HBT 器件。在应用时, 须准确地分析电流工作区域所对应的特定判断条件。

参 考 文 献:

- [1] EL-KAREH B. Silicon devices and process integration: deep submicron and nano-scale technologies [M]. New York: Springer, 2009: 158-164.

- [2] ZHANG P J, WU X, YI Q N, et al. A comparison of the effects of cobalt-60 γ ray irradiation on DPSC bipolar transistors at high and low injection levels [J]. *Microelec Reliab*, 2017, 71(4): 86-90.
- [3] SZE S M, NG K K. *Physics of semiconductor devices* [M]. New Jersey: Wiley-Interscience, 2007: 243-291.
- [4] ZHAO J, LI G P, LIAO K Y, et al. Resolving the mechanisms of current gain increase under forward current stress in poly emitter n-p-n transistors [J]. *IEEE Elec Dev Lett*, 1993, 14 (5): 252-255.
- [5] CARROLL M S, NEUGROSCHEL A, SAH C T. Degradation of silicon bipolar junction transistors at high forward current densities [J]. *IEEE Trans Elec Dev*, 1997, 44(1): 110-117.
- [6] CHEN T C, KAYA C, KETCHEN M B, et al. Reliability analysis of self-aligned bipolar transistor under forward active current stress [C] // *IEEE IEDM*. Los Angeles, CA, USA. 1986: 650-653.
- [7] RAGHUNATHAN U S, CHAKRABORTY P S, BANTU T G, et al. Bias-and temperature-dependent accumulated stress modeling of mixed-mode damage in SiGe HBTs [J]. *IEEE Trans Elec Dev*, 2015, 62(7): 2084-2091.
- [8] SANDE'N M, KARLIN T E, MA P, et al. The effect of hydrogen passivation on electrical characteristics of double-polysilicon self-aligned bipolar transistor [J]. *Sol Sta Elec*, 1999, 43(3): 615-620.
- [9] MA P X, ZHANG L C, ZHAO B Y, et al. An analytical model for determining carrier transport mechanism of polysilicon emitter bipolar transistors [J]. *IEEE Trans Elec Dev*, 1995, 42 (10): 1789-1797.
- [10] RAGHUNATHAN U S, MARTINEZ R P, WIER B R, et al. Hot-carrier-damage-induced current gain enhancement (CGE) effects in SiGe HBTs [J]. *IEEE Trans Elec Dev*, 2018, 65 (6): 2430-2438.

(上接第 266 页)

- [5] SUNDARAMOORTHY V, BIANDA E, BLOCH R, et al. Online estimation of IGBT junction temperature (T_j) using gate-emitter voltage (V_{ge}) at turn-off [C] // 15th EPE. Lille, France. 2013: 1-10.
- [6] ZHANG X Y, CHEN M, ZHU N, et al. A self-adaptive blanking circuit for IGBT short-circuit protection based on VCE measurement [C] // *IEEE ECCE*. Montreal, QC, Canada. 2015.
- [7] 陈喻. 影响 IGBT 动态特性参数浅析 [J]. *科技与创新*, 2018(14): 89-90.
- [8] 杨颂华. *数字电子技术基础* [M]. 西安: 西安电子科技大学出版社, 2000.
- [9] LUO J, LIANG Y C, CHO B J. Design of IGBT gate drive circuit with SOA consideration [C] // *Int Conf Power Elec Driv & Energy Syst Industr Growth*. Perth, WA, Australia. 1998.
- [10] LUTZ J, SCHLANGENOTTO H, SCHEUERMANN U, et al. *Semiconductor power devices* [M]. Berlin: Springer, 2011: 434-435.
- [11] 吴郁, 俞敏锋, 郭晨, 等. 主结边缘电阻区对高压功率快恢复二极管特性的影响 [J]. *北京工业大学学报*, 2018, 44(2): 220-224.
- [12] SANDOW C, BABURSKE R, VAN TREEK V, et al. Predictive half-cell simulations of filament formation during IGBT turn-off [C] // *IEEE ISPSD*. Hong Kong, China. 2015: 97-100.
- [13] MORI M, KOBAYASHI H, YASUDA Y. 6.5 kV ultra soft & fast recovery diode (U-SFD) with high reverse recovery capability [C] // *IEEE ISPSD*. Toulouse, France. 2000.
- [14] MATTHIAS S, VOBECKY J, CORVASCE C, et al. Field shielded anode (FSA) concept enabling higher temperature operation of fast recovery diodes [C] // *IEEE ISPSD*. San Diego, CA, USA. 2011.
- [15] NISHII A, NAKAMURA K, MASUOKA F, et al. Relaxation of current filament due to RFC technology and ballast resistor for robust FWD operation [C] // *IEEE ISPSD*. San Diego, CA, USA. 2011.

一种电感值可独立调节的低噪声有源电感

徐 曙, 张万荣, 谢红云, 金冬月, 那伟聪, 张 峯, 杨 鑫
(北京工业大学 信息学部 微电子学院, 北京 100124)

摘 要: 基于回转器-电容原理,联合采用回转电容、可调反馈电阻、补偿电容和噪声抵消支路,提出了一种电感值相对于 Q 值可独立调节的低噪声有源电感。通过改变正-负跨导器之间的回转电容值来实现电感值的调节。因调节电感值而引起的 Q 值变化,可通过调节正-负跨导器之间的可调反馈电阻值和伪差分对之间的补偿电容值来共同补偿,从而实现电感值相对于 Q 值的独立调节。通过噪声抵消支路来降低有源电感的噪声。对该有源电感的性能验证表明,协同调节 3 个外部偏置电压,可实现电感值相对于 Q 值的独立调节,在电感峰值变化幅度为 175.49% 时, Q 值的峰值变化幅度仅为 4.88%。在 0~6 GHz 内,有源电感的输入参考噪声电流均小于 $45 \text{ pA} \cdot \text{Hz}^{-1/2}$, 噪声较低。

关键词: 有源电感; 独立调节; 低噪声

中图分类号: TM55; TN432

文献标识码: A

文章编号: 1004-3365(2020)02-0272-04

DOI: 10.13911/j.cnki.1004-3365.190264

A Low Noise Active Inductor with Independently Adjustable Inductance Values

XU Shu, ZHANG Wanrong, XIE Hongyun, JIN Dongyue, NA Weicong,
ZHANG Yin, YANG Xin

(College of Microelectronics, Faculty of Information Technology, Beijing University of Technology, Beijing 100124, P. R. China)

Abstract: Based on the gyrator-capacitor principle, a novel low noise active inductor with independently adjustable inductance values was proposed by combining gyration capacitance, adjustable feedback resistor, compensation capacitance and noise cancellation branch. The inductance value could be adjusted by changing the value of the gyration capacitance between the positive transconductor and negative transconductor. At the same time, the changes in Q value when adjusting the inductance value could be compensated by adjusting the adjustable feedback resistor between the positive transconductor and negative transconductor, and by adjusting the compensation capacitance between the pseudo differential pairs, therefore, the inductance value with independent adjustment relative to Q value was achieved. The noise of the active inductor was reduced by the noise cancellation branch. The verification results showed that when the three external bias voltages were adjusted cooperatively and the peak value of the inductance changed by 175.49%, the variation of the Q peak value was only 4.88%. The active inductor also had a low noise, and the input referred noise current was less than $45 \text{ pA} \cdot \text{Hz}^{-1/2}$ at the frequency range from 0 to 6 GHz.

Key words: active inductor; independent adjustment; low noise

收稿日期: 2019-05-05; 定稿日期: 2019-06-06

基金项目: 国家自然科学基金资助项目(61774012, 61574010, 61901010); 北京市自然科学基金资助项目(4142007, 4143059, 4192014, 4204092); 北京市未来芯片技术高精尖创新中心科研基金资助项目(KYJJ2016008); 中国博士后科学基金资助项目(2019M650404); 朝阳区博士后科研经费资助项目(2019ZZ-9)

作者简介: 徐 曙(1994—), 男(汉族), 江苏盐城市人, 硕士研究生, 研究方向为射频集成电路。

张万荣(1964—), 男(汉族), 河北阜城县人, 教授, 博士生导师, 研究方向为射频器件与射频集成电路。

流的精确度。 $M_4 \sim M_8$ 管和电阻 R_2 构成自偏置电流源,为正跨导器提供直流偏置。 M_5 管的源极退化电阻 R_2 拉低了 M_4 管的漏电流,导致 M_4 管的输出电导降低,从而增大了等效 Q 值。

为进一步探究上述拓扑结构对 L 值、 Q 值的影响,对电路的小信号进行分析。小信号等效电路如图 2 所示。图中, C_{gs1} 、 C_{gs2} 、 C_{gs3} 分别为 M_1 、 M_2 、 M_3 管的栅源电容, g_{ds1} 、 g_{ds2} 、 g_{ds3} 、 g_{ds4} 分别为 M_1 、 M_2 、 M_3 、 M_4 管的输出电导, g_{m1} 、 g_{m2} 、 g_{m3} 分别为 M_1 、 M_2 、 M_3 管的跨导。

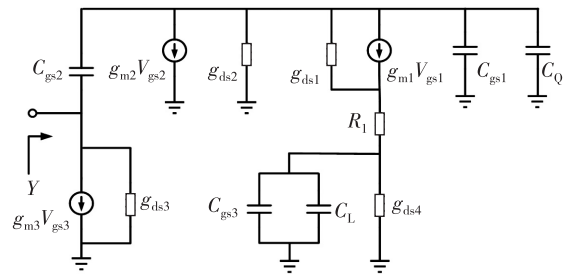


图 2 新型有源电感的小信号等效电路

通过计算推导,得到新型有源电感的输入导纳:

$$Y_{in} \approx \frac{1}{\left[g_{ds1} + 2g_{ds4} - \frac{\omega^2 (C_{gs1} + C_L)(C_{gs1} + C_{gs2} + C_Q)}{g_{m1}} \right]} \times \frac{1 - R_1 g_{ds1}}{g_{m1} g_{m3}} + j\omega \frac{2(C_{gs3} + C_L)}{g_{m1} g_{m3}} + g_{ds3} + j\omega \frac{C_{gs1}}{2} \quad (1)$$

新型有源电感可进一步等效为图 3 所示的 RLC 等效电路。

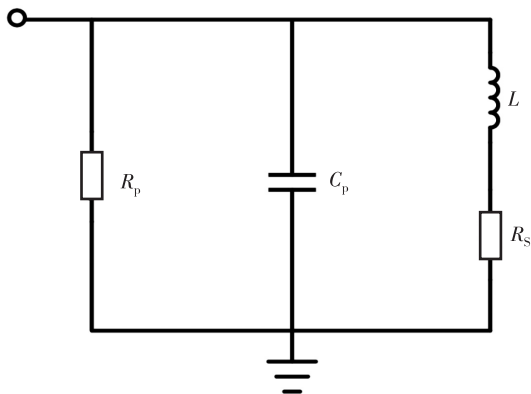


图 3 新型有源电感的 RLC 等效电路

根据式(1), RLC 等效电路中各参数为:

$$L = \frac{2(C_{gs3} + C_L)}{g_{m1} g_{m3}} \quad (2)$$

$$R_s = \left[g_{ds1} + 2g_{ds4} - \frac{\omega^2 (C_{gs3} + C_L)(C_{gs1} + C_{gs2} + C_Q)}{g_{m1}} \right] \times \frac{1 - R_1 g_{ds1}}{g_{m1} g_{m3}} \quad (3)$$

$$R_p = \frac{1}{g_{ds3}} \quad (4)$$

$$C_p = \frac{C_{gs1}}{2} \quad (5)$$

有源电感的等效 Q 值为:

$$Q \approx \frac{\omega L R_p}{R_s^2} \quad (6)$$

联合式(2)、(3)和(6)可知,当调节外部偏置电压 V_L 时(改变 C_L),可以调节电感值,但会导致 Q 值变化。因此,需要调节 V_{Q1} (改变 C_Q)和 V_{Q2} (改变 R_1),以共同补偿因 C_L 变化而致的 Q 值变化,从而实现电感值相对于 Q 值的独立调节。

由于引入了回转电容 C_L ,相当于式(2)的分子中添加了一项 C_L ,等效电感值增大。采用自偏置电流源后,从式(3)可知, g_{ds4} 降低,减少了等效串联电阻 R_s 。同时,由于可调反馈电阻的引入,为 R_s 引入了小于 1 的系数 $1 - R_1 g_{ds1}$,进一步减少了 R_s 。由式(6)可知,增大 L ,减小 R_s ,可提高 Q 值。

下面对该新型有源电感的噪声性能进行分析。有源电感的噪声大部分来源于正跨导器^[13],未采用噪声抵消支路时,正跨导器 M_1 和 M_2 对噪声的影响为:

$$\overline{I_{n,in}^2} = 4KT\gamma \frac{2}{g_{m1} (L\omega)^2} \quad (7)$$

采用噪声抵消支路后,正跨导器对噪声的影响可表示为:

$$\overline{I_{n,in}^2} = \frac{8KT\gamma}{g_{m1} (L\omega)^2} \times \frac{1}{(\alpha_f + 1)^2} \quad (8)$$

式中, α_f 为反馈支路的增益, $\alpha_f = g_{m13} \times R_3$ 。根据式(7)和式(8),采用与未采用噪声抵消支路的噪声电流之比 N_R 为:

$$N_R = \frac{1}{\alpha_f + 1} \quad (9)$$

从式(9)可知, N_R 是小于 1 的数,所以采用噪声抵消支路后,达到了降低噪声的目的。

2 新型有源电感的性能验证

采用 TSMC 0.18 μm CMOS 工艺,利用安捷伦公司 ADS 软件,对本文的电感值可独立调节的低噪声有源电感进行了性能验证。

协同调节外部偏置电压 V_L 、 V_{Q1} 和 V_{Q2} 时,电感值和 Q 值的变化曲线分别如图 4、图 5 所示。可以看出,电感变化范围为 11.92~182.64 nH,变化幅

度大,高达 175.49%。与之相对应的 Q 值变化范围为 13.25~13.43,变化幅度仅有 1.35%。在频率为 2.9~3.1 GHz 时, Q 峰值变化范围为 787.98~827.4,变化幅度仅为 4.88%。相较于文献[10](电感值变化幅度为 133.66%时, Q 峰值变化幅度为 187.84%),该新型有源电感在电感值大范围调节时, Q 值基本不变。这表明,通过协同调节补偿电容和可调反馈电阻的值,可补偿 Q 值变化,使得电感值相对于 Q 值可独立调节。

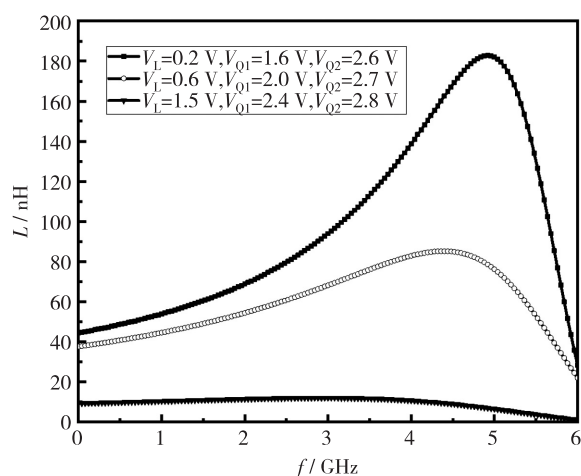


图4 调节 V_L 、 V_{Q1} 、 V_{Q2} 对电感值的影响

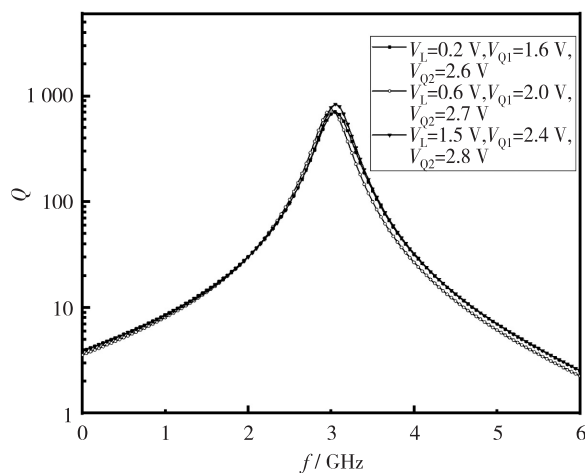


图5 调节 V_L 、 V_{Q1} 、 V_{Q2} 对 Q 值的影响

有源电感的噪声曲线如图 6 所示。可以看出,采用噪声抵消支路后,在 0~6 GHz 频率范围内,输入参考噪声电流均小于 $45 \text{ pA} \cdot \text{Hz}^{-1/2}$,相比于文献[11]有显著降低。此外,由于采用了回转电容,电感值较大,峰值可达 182.64 nH。由于采用了可调反馈电阻和自偏置电流源, Q 值较高,峰值可达 827.4。相比于较文献[14],电感峰值、 Q 峰值均大幅提高。

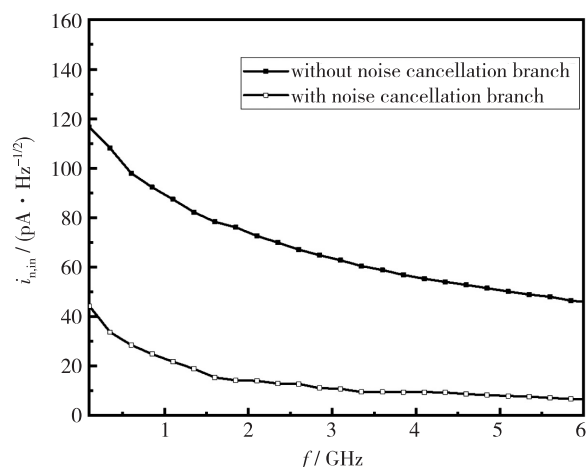


图6 有源电感的噪声曲线

3 结 论

本文针对现有有源电感在调节电感值时存在 Q 值变化较大、噪声较高的问题,联合采用回转电容、可调反馈电阻、补偿电容以及噪声抵消支路,提出了一种新型有源电感。可通过调节正-负跨导器之间的回转电容值来调节电感值。因调节电感值而引起的 Q 值变化,可通过协同调节伪差分对之间的补偿电容值和正-负跨导器之间的可调反馈电阻值来进行双重补偿,从而实现电感值相对于 Q 值的独立调节。此外,引入了噪声抵消支路,有效降低了有源电感的噪声。性能验证结果表明,在协同调节回转电容、补偿电容和可调反馈电阻的值后,电感峰值可调范围为 11.92~182.64 nH,幅度高达 175.49%。与之相应的 Q 值的变化幅度仅为 1.35%, Q 值峰值的变化幅度仅为 4.88%。在 0~6 GHz 频率范围内,输入参考噪声电流均低于 $45 \text{ pA} \cdot \text{Hz}^{-1/2}$ 。本文实现了一种电感值可独立调节的低噪声有源电感。该新型有源电感为低噪声 LC 谐振压控振荡器、低噪声放大器等低噪声 RFIC 对电感性能的需求提供了有效解决方案。

参考文献:

- [1] LIU S, SUN D, DING R, et al. High-efficiency class-C LC-VCO with AFC-based phase noise compensation [J]. IEEE Microwave & Wireless Compon Lett, 2018, 64(4): 402-406.
- [2] JIN J Y, WU L, XUE Q. A V-band CMOS VCO with digitally-controlled inductor for frequency tuning [J]. IEEE Trans Circ & Syst II: Expr Bri, 2018, 65(8): 979-983.

(下转第 280 页)

AlGaIn/GaN HEMT 的恒压电应力退化研究

张 璐, 宁 静, 王 东, 沈 雪, 董建国, 张进成

(西安电子科技大学 宽带隙半导体技术国家重点学科实验室, 西安 710126)

摘 要: 研究了 AlGaIn/GaN 高电子迁移率晶体管(HEMT)在不同持续恒压电应力条件下的退化机制,制作了一种 AlGaIn/GaN HEMT。对该器件分别采用恒压开态应力和恒压关态应力,研究了与直流特性相关的重要参数的陷阱产生规律。实验结果表明,在开态应力下,由于存在热载流子效应,发生了阈值电压正漂现象,峰值跨导降低;在关态应力下,由于存在逆压电效应,发生了阈值电压负向漂移现象。

关键词: AlGaIn/GaN HEMT; 电应力退化; 热载流子效应; 逆压电效应

中图分类号:TN386; TN304.2

文献标识码:A

文章编号:1004-3365(2020)02-0276-05

DOI:10.13911/j.cnki.1004-3365.190689

Study on Electric Stress Degradation of AlGaIn/GaN HEMT Under Constant Voltage

ZHANG Lu, NING Jing, WANG Dong, SHEN Xue, DONG Jianguo, ZHANG Jincheng

(The National Key Discipline Laboratory of Wide Band-Gap Semiconductor, Xidian University, Xi'an 710126, P. R. China)

Abstract: The degradation mechanism of AlGaIn/GaN high electron mobility transistor (HEMT) under different sustained and constant voltage electric stresses was studied. An AlGaIn/GaN HEMT device was fabricated, and the constant voltage on-state and off-state stresses were applied to the device respectively. The trap generation law was explored by comparing the important parameters related to the DC characteristics of the device. The experimental results showed that under the on-state stress, due to the hot carrier effect, the threshold voltage of the device appeared positive drift, and the peak transconductance decreased. Under the off-state stress, due to the reverse piezoelectric effect, the threshold voltage of the device appeared negative drift.

Key words: AlGaIn/GaN HEMT; electrical stress degradation; hot carrier effect; reverse piezoelectric effect

0 引 言

GaN 是宽带隙材料,物理化学性质稳定,具有热导率高、熔点高、硬度大、击穿场强高、电子饱和漂移速度高、抗辐照性能强等优势^[1]。GaN 制作的 AlGaIn/GaN HEMT 在高温、微波大功率和高频等领域具有很大的应用市场^[2-5]。AlGaIn/GaN

HEMT 因内部异质结能产生很强的二维电子气(2DEG)而具有迁移率高、电流处理能力强等特点^[6],但存在的逆压电效应会引起性能退化^[7-10]。

本文研究了不同持续恒定电压应力引起的退化机制问题,分析了与电流特性相关的重要参数的变化规律。结果表明,主要退化机制是由长时间外加电场带来的晶格应力形变而引发的逆压电效应,以及由强场对载流子的加速作用带来的热载流子效应。

收稿日期:2019-10-26;定稿日期:2019-11-26

基金项目:国家自然科学基金资助项目(61334002);陕西省自然科学基金基础研究计划资助项目(2016ZDJC-09);陕西省重点研发项目(2017ZDCXL-GY-11-03)

作者简介:张 璐(1996—),女(汉族),内蒙古赤峰人,硕士,研究方向为新型半导体材料及器件。

宁 静(1985—),女(汉族),湖北孝感人,副教授,研究方向为新型半导体材料、器件及电路的研制。通信作者, E-mail:ningj@xidian.edu.cn。

1 实验

1.1 器件制作

GaN 材料具有很高的熔点(2 300 ℃),传统的生长工艺并不适用于 GaN 材料。通常采用金属有机物化学气相淀积(MOCVD)工艺,在低温低压下进行外延,生长所需 GaN 薄膜^[4]。

MOCVD 是以汽相外延生长(VPE)为基础的生长工艺。通过热分解反应,在衬底材料上进行汽相外延,生长Ⅲ-V 主族、Ⅱ-VI 副族的化合物半导体和相关多元固溶体的薄单晶材料。通常,采用异质外延法制作 GaN 材料。本文选用蓝宝石外延衬底,器件剖面如图 1 所示。

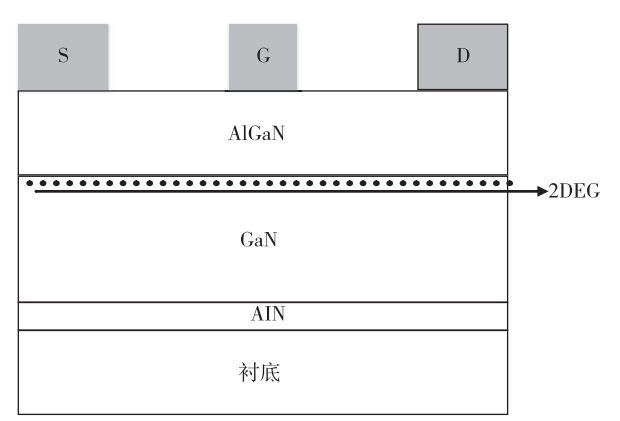


图 1 AlGaIn/GaN HEMT 的剖面图

首先,在衬底材料上外延一层 AlN 成核层薄层。成核层可以有效抑制结构中的晶格失配、热失配,促使外延材料的横向生长,释放与晶格失配、热失配有关的晶格应力。接着,在 AlN 成核层上生长未掺杂的 GaN 缓冲层。最后,在 GaN 缓冲层上生长 AlGaIn 势垒层。需要时,可在 GaN 缓冲层与 AlGaIn 势垒层之间生长极薄的 AlN 插入层。AlN 插入层的作用是提高 2DEG 的面密度。

AlGaIn/GaN HEMT 的制作工艺流程如图 2 所示。工艺操作步骤对器件性能有很大影响。其中,欧姆接触、肖特基接触等是关键工艺,需要特别重视。在关键工艺结束后,对器件进行测试,确保工艺操作符合要求,以便进行后续工艺,确保器件性能达到要求。器件制备过程中,主要的监测步骤有欧姆接触监测、刻蚀监测、钝化监测和肖特基监测等。

1.2 实验方案

实验过程中,AlGaIn/GaN HEMT 的源端接地。通过探针台在器件的栅极、漏极上连接外加偏

置,测量器件各参数随时间的变化情况^[5]。

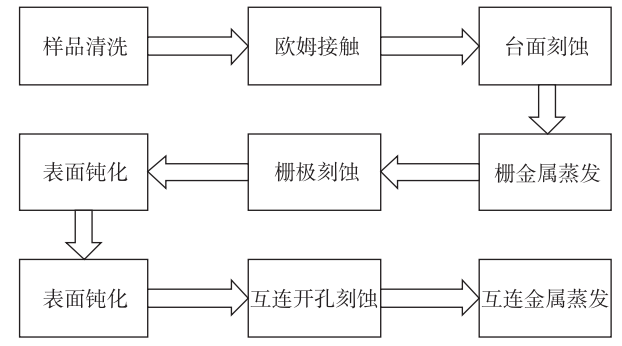


图 2 AlGaIn/GaN HEMT 的制作工艺流程

本次实验中,对器件进行测试的参数如表 1 所示。表中,饱和电流 I_{Dsat} 为器件中流动的最大电流,峰值跨导 G_{mmax} 为沟道电流饱和时对应的跨导,阈值电压 V_{TH} 为器件产生导电沟道所需的栅压,栅反向泄漏电流 I_G 为栅漏极产生的电流。开态器件所选取的应力条件为: $V_{GS}=0\text{ V}$, $V_{DS}=20\text{ V}$;关态器件所选取的应力条件为: $V_{GS}=-3\text{ V}$, $V_{DS}=28\text{ V}$ 。

表 1 实验测试参数

参数	名称
I_{Dsat}	饱和电流
G_{mmax}	峰值跨导
V_{TH}	阈值电压
I_G	栅反向泄漏电流

为了得到较为准确的器件特性曲线,实验选用多个器件进行重复监测,进行多次扫描,以确保操作过程中并未对器件造成不允许的损伤,对实验结果造成的影响基本可以忽略。对 AlGaIn/GaN HEMT 进行检测的偏置条件为: V_{GS} 从-2 V 扫描至 2 V,步进为 2 V, V_{DS} 从 0 V 扫描至 5 V,步进为 1 V。扫描过程结束后,提取的时间节点为 0,1,2,5,10,20,50,100,200,500,1 000,2 000,5 000,8 000,10 000 s。绘制转移特性曲线、输出特性曲线和肖特基特性曲线。

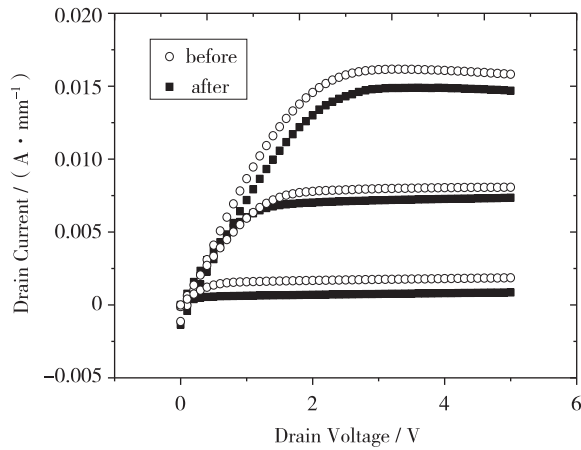
2 结果分析

2.1 开态应力下 AlGaIn/GaN HEMT 的退化

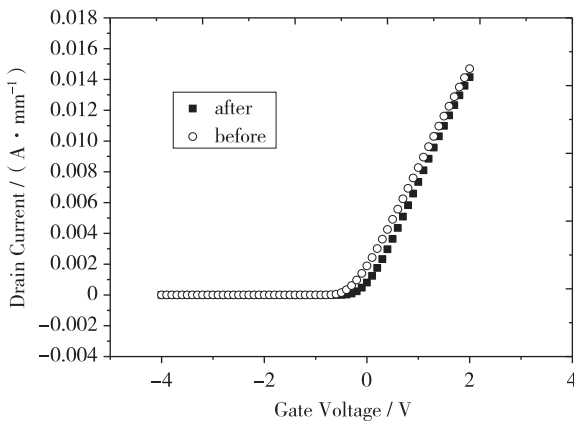
对 AlGaIn/GaN HEMT 施加 $V_{GS}=0\text{ V}$, $V_{DS}=-20\text{ V}$ 的电应力,器件的导电沟道被打开,施加应力的时长为 10 000 s。AlGaIn/GaN HEMT 在施加应力前后的输出特性曲线、转移特性曲线和肖特基特性曲线分别如图 3(a)、(b)、(c)所示。可以看出,

器件电学性能出现明显退化。

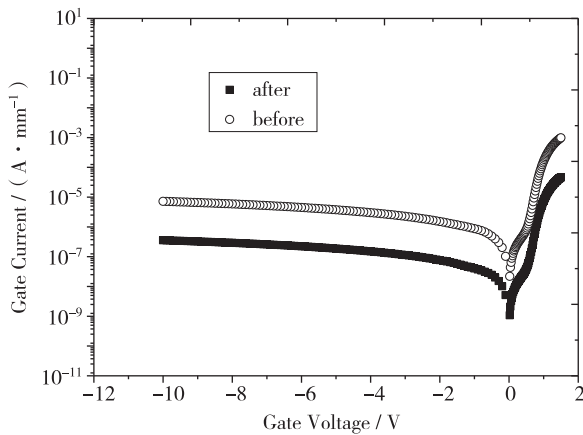
开态应力下器件的重要参数随时间的变化情况如图 4 所示。图中,通过给出各参数在选取时间结点处的数值与初值的比值,分析参数偏移随时间的变化情况。可以看出, I_{Dsat} 、 G_{mmax} 随时间逐渐降低, V_{TH} 发生正向漂移, I_{G} 明显减小,且趋于饱和。



(a) 输出特性



(b) 转移特性



(c) 肖特基特性

图 3 AlGaIn/GaN HEMT 开态应力下的电特性曲线

器件退化的主要原因是器件表面和两种材料交

界面处存在陷阱。固有陷阱俘获载流子,使得器件的参数发生变化,从而影响器件性能。如图 4 所示,施加应力后,饱和电流随时间增加而降低,由斜率可以看出增加的幅度随时间增加而逐渐减小。原因是应力作用后,器件的沟道被打开,电子在强场加速作用下变为热电子,逃离了沟道区的束缚。溢出的电子被栅漏区的陷阱俘获,导致沟道电阻、漏串联电阻增加,从而导致 I_{Dsat} 、 G_{mmax} 退化。因为饱和区的横向电场很大,电阻对器件特性的影响很小,所以 I_{Dsat} 的退化幅度比 G_{mmax} 小,其退化有所改善。

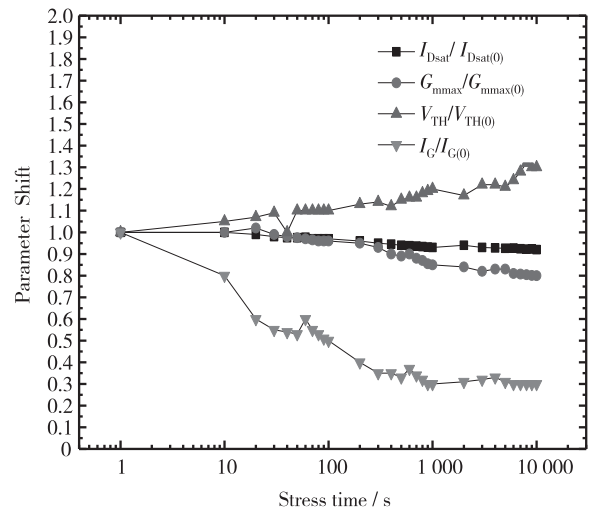


图 4 开态应力下重要参数随时间的变化情况

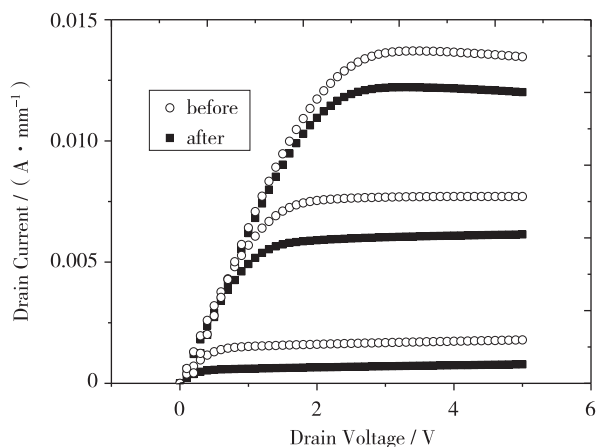
当电子被陷阱俘获时,电荷在器件表面、界面处积累,阻碍载流子转移。为了解决这个问题,需要额外的偏置来保证沟道打开,但会导致阈值电压正向漂移。当被陷阱俘获的电荷来自栅极时,势垒高度降低,导致栅泄漏电流减小。对器件施加较长时间应力后,陷阱的填充和俘获达到饱和,没有额外产生缺陷,栅泄漏电流逐渐趋于稳定。

综上可知,器件的退化行为与热载流子效应作用的结果基本一致。在应力范围内,退化行为主要由热载流子效应引起。

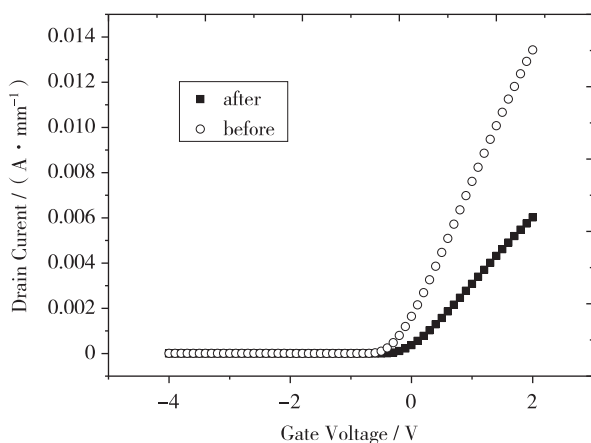
2.2 关态应力下 AlGaIn/GaN HEMT 的退化

对 AlGaIn/GaN HEMT 施加 $V_{\text{GS}} = -3 \text{ V}$, $V_{\text{DS}} = 28 \text{ V}$ 的电应力。此时,沟道处于关断状态,施加电应力的总时间为 10 000 s。

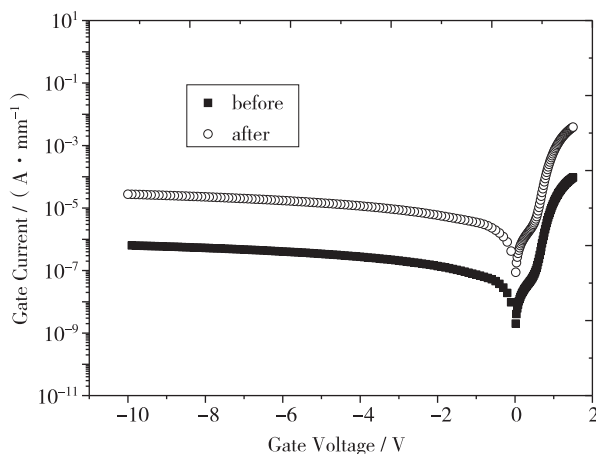
AlGaIn/GaN HEMT 在关态应力下,应力前后的输出特性曲线、转移特性曲线和肖特基特性曲线分别如图 5(a)、(b)、(c)所示。可以看出,不同应力条件下,器件的退化行为明显不同。在关态应力下,器件的退化机制并非为热载流子效应。



(a) 输出特性



(b) 转移特性



(c) 肖特基特性

图5 AlGaIn/GaN HEMT 关态应力下的电特性曲线

关态应力下, I_{Dsat} 、开态应力有所下降。但关态应力下的退化程度明显大于开态应力。关态应力下, 器件中不存在热载流子, 加之饱和输出电流的降低程度更大, 说明退化的主要机制不是由电流驱动引起的, 而是由电场的相关机制引起的。反向泄漏电流的变化趋势则是相反的。施加了关态应力后, 反向泄漏电流显著增加, 说明陷阱的行为在关态应

力下更强, 对电子有作用的陷阱数更多。这有利于电子在栅和沟道之间流动。综上可知, 关态应力下, 退化行为主要由逆压电效应引起。

AlGaIn/GaN HEMT 在关态应力下的重要参数随时间的变化情况如图6所示。可以看出, 关态应力下, I_{Dsat} 、 G_{mmax} 的变化趋势相同, 均随着时间增加而降低。关态应力下, V_{TH} 发生了负向漂移现象, I_{G} 显著变大, 并没有出现趋于饱和的趋势。

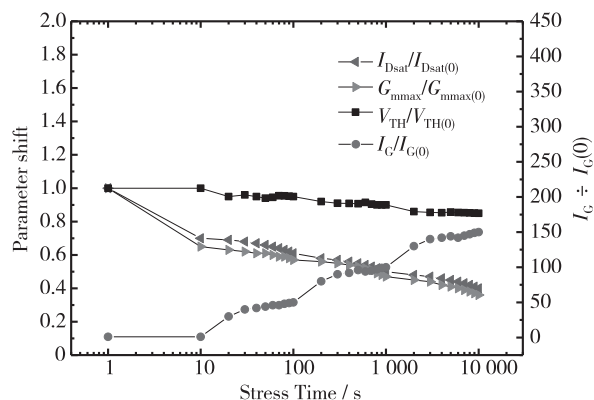


图6 关态应力下的重要参数随时间的变化

在器件受到应力作用的整个过程中, 参数的变化是缺陷对电子的作用所致。 I_{Dsat} 、 G_{mmax} 降低的现象表明, 关态应力下, 器件中仍存在陷阱对电子的俘获作用。这些陷阱不同于热载流子效应作用时所致的固有陷阱, 而为新的缺陷。在强电场作用下, 器件中出现逆压电效应, 发生局部弛豫, 产生新的晶格缺陷, 最终变为电子陷阱。这些电子陷阱为电子提供了通道, 便于电子在栅与沟道之间运动, 使得栅的漏电行为增强。

因逆压电效应产生的陷阱相较于俘获电子更易释放电子, 电子的运动得到加强, 使得阈值电压发生负向漂移。反向泄漏电流的增加现象证明了这种电子陷阱的存在。逆压电效应产生的陷阱数与固有陷阱不同, 对电子的作用也不尽相同, 因此, 该反向泄漏电流不存在饱和趋向。

综上所述, 在关态应力下, 器件的退化行为与逆压电效应产生新陷阱的作用基本一致, 因此, 关态应力下的退化行为主要由逆压电效应引起。

3 结论

本文通过实验, 对 AlGaIn/GaN HEMT 在不同工作状态下的退化机制进行了研究。在开态和关态下分别进行电应力实验, 对整个应力过程中器件参

数的变化进行了对比分析。实验结果表明,开态应力下,发生阈值电压正向漂移、反向泄漏电流降低的现象。关态应力下,发生阈值电压负向漂移、反向泄漏电流大幅增加的现象。最终得出,AlGaIn/GaN HEMT 在开态应力下的主要退化机制为热载流子效应,在关态应力下的主要退化机制为逆压电效应。

参考文献:

- [1] ZHU M D, SONG B, QI M, et al. 1.9-kV AlGaIn/GaN lateral Schottky barrier diodes on silicon [J]. IEEE Elec Dev Lett, 2015, 36(4): 375-377.
 - [2] SUN S C, FU K, YU G H, et al. AlGaIn/GaN metal-insulator-semiconductor high electron mobility transistors with reduced leakage current and enhanced breakdown voltage using aluminum ion implantation [J]. Appl Phys Lett, 2016, 108(1): 013507-1 - 013507-4.
 - [3] MI M H, MA X H, YANG L, et al. 90 nm gate length enhancement-mode AlGaIn/GaN HEMTs with plasma oxidation technology for high-frequency application [J]. Appl Phys Lett, 2017, 111(17): 173502
 - [4] HAO R H, LI W Y, FU K, et al. Breakdown enhancement and current collapse suppression by high-resistivity GaN cap layer in normally-off AlGaIn/GaN HEMTs [J]. IEEE Elec Dev Lett, 2017, 38(11): 1567-1570
 - [5] EIZO M, MAKOTO A, ARATA M, et al. An 800-W AlGaIn/GaN HEMT for S-band high-power application [C] // CS MANTECH Conf. Austin, TX, USA, 2007: 213-215.
 - [6] EISENSTEIN J P, STORMER H L, NARAYANAMURTI V, et al. Magnetization and density of states of the 2D electron gas in GaAs/AlGaAs heterostructures [J]. Surface Sci Lett, 1986, 170(1): 271-276.
 - [7] KACHI T, KIKUTA D, UESUGI T. GaN power device and reliability for automotive applications [C] // IEEE Reliab Phys Symp. Anaheim, CA, USA, 2012: 3D.1.1-3D.1.4
 - [8] PARK S Y, FLORESCA C, CHOWDHURY U, et al. Physical degradation of GaN HEMT devices under high drain bias reliability testing [J]. Microelec Reliab, 2009, 49(5): 478-483.
 - [9] MENEGHESSO G, MENEGHINI M, STOCCO A, et al. Degradation of AlGaIn/GaN HEMT devices: role of reverse-bias and hot electron stress [J]. Microelec Engineer, 2013, 109: 257-261.
 - [10] SAUNIER P, LEE C, JIMENEZ J, et al. Progress in GaN devices performances and reliability [J]. Proceed SPIE, 2008, 6894: 35-36.
-
- (上接第 275 页)
- [3] 王静, 王涛, 黄国恒. 基于可变电容反馈技术的宽带 VCO 设计 [J]. 压电与声光, 2019, 41(5): 657-660.
 - [4] CHANG C H, ONABAJO M. Analysis and demonstration of an IIP3 improvement technique for low-power RF low-noise amplifiers [J]. IEEE Trans Circ & Syst I: Regu Pap, 2018, 65(3): 859-869.
 - [5] SAAD S, MHIRI M, HAMMADI A B, et al. Design of high-performance CMOS tunable active inductor [C] // 11th Int Des & Test Symp. Hammamet, Tunisia, 2016: 239 -244.
 - [6] KUMAR V, MEHRA R, ISLAM A. A CMOS active inductor based digital and analog dual tuned voltage-controlled oscillator [J]. Microsyst Technol, 2019, 25(5): 1571-1583.
 - [7] WANG H. A two-terminal active inductor with minimum apparent power for the auxiliary circuit [J]. IEEE Trans Power Elec, 2019, 34(2): 1013-1016.
 - [8] MALEK M, SAINI S. Improved CMOS low noise tunable-Q active inductor for RF-application [J]. Int J Global Technol Initiat, 2013, 2(1): 54-61.
 - [9] TELLEGEN B D H. The gyrator, a new electric network element [J]. Philips Res Rep, 1948, 3(1): 81-101.
 - [10] SAYEM A S, RASHID S, AKTER S, et al. Performance analysis and simulation of spiral and active inductor in 90 nm CMOS Technology [C] // 4th iCEEICT. Dhaka, Bangladesh, 2018: 571-576.
 - [11] LI C, GONG F, WANG P. Analysis and design of a high-Q differential active inductor with wide tuning range [J]. IET Circ, Dev & Syst, 2010, 4(6): 486-495.
 - [12] MANJULA J, MALARVIZHI S. Design of low power low noise tunable active inductors for multiband RF front end communication circuits [C] // Int Conf Commun & Signal Process. Melmaruvathur, India, 2013: 868-872.
 - [13] MALEK M, SAINI S. Improved two stage ultra-wideband CMOS low noise amplifier without band rejection using low noise active inductor [C] // Int Conf Signal Process & Commun Engineer Syst. Guntur, India, 2015: 157-161.
 - [14] SLIMANE A, TEDJINI S. Novel CMOS active inductor for tunable RF circuits [C] // IEEE 61st Int MWSCAS. Windsor, Canada, 2018: 917-920.

· 产品与可靠性 ·

低失调电压双极运放的单粒子瞬态特性研究

于 新^{1,2,3}, 陆 妩^{1,2}, 姚 帅^{1,2,3}, 荀明珠^{1,2}, 王 信^{1,2}, 李小龙^{1,2}, 孙 静^{1,2}

(1. 中国科学院 新疆理化技术研究所 特殊环境功能材料与器件重点实验室, 乌鲁木齐 830011;

2. 中国科学院 新疆理化技术研究所 新疆电子信息材料与器件重点实验室, 乌鲁木齐 830011;

3. 中国科学院大学, 北京 100049)

摘 要: 在 Ne、Fe、Kr、Xe、Ta 五种重离子入射条件下获得了运放的 SET 幅值-宽度分布, 发现 SET 脉冲具有宽、窄两种形态。在 SET 幅值-宽度特性基础上, 采用概率密度方法获得了任意 SET 阈值下散射截面与 LET 的关系。考虑入射深度与器件敏感区域的匹配, 根据产生的电荷量, 可对重离子-激光的 SET 进行关联, 以便获得等效重离子的激光能量。激光与重离子的对比试验表明, 选取恰当的激光能量, 能够反映重离子产生的 SET 幅值。研究结果为双极模拟集成电路抗 SET 选型评估及激光试验条件的选取提供了参考。

关键词: 双极模拟集成电路; 单粒子瞬态效应; 等效 LET; 电荷收集

中图分类号: TN406; TN722

文献标识码: A

文章编号: 1004-3365(2020)02-0281-06

DOI: 10.13911/j.cnki.1004-3365.190261

Study on the SET Characteristics of Low Offset Voltage Bipolar Operational Amplifiers

YU Xin^{1,2,3}, LU Wu^{1,2}, YAO Shuai^{1,2,3}, XUN Mingzhu^{1,2}, WANG Xin^{1,2}, LI Xiaolong^{1,2}, SUN Jing^{1,2}

(1. Key Lab. of Functional Mater. and Dev. for Special Environments, Xinjiang Tech. Instit. of Phys.

and Chemistry, Chinese Academy of Sci., Urumqi 830011, P. R. China; 2. Xinjiang Key Lab. of

Elec. Inform. Mater. and Dev., Xinjiang Tech. Instit. of Phys. and Chemistry, Chinese Academy of Sci.,

Urumqi 830011, P. R. China; 3. Univ. of Chinese Academy of Sci., Beijing 100049, P. R. China)

Abstract: The amplitude-width characteristics of SET in operational amplifiers was studied by Ne, Fe, Kr, Xe, Ta, and two kind of waveforms, short and long pulse, were discriminated. On the base of amplitude-width characteristics, the relationship between the scattering cross section and the LET with any SET threshold was calculated through the method of probability density. Considering the match between the heavy ion's incidence depth and the device's sensitive volume, the heavy ion and laser induced SET was correlated through carrier generation. Then the laser energy with equivalent heavy ion LET was found. The validation experimental results indicated that the SET caused by heavy ions could be simulated by laser with a suitable energy. Above results provided support for heavy ion hardness assurance lot acceptance testing (HALAT) of SET in bipolar analog ICs and test condition selection for laser.

Key words: bipolar analog IC; single event transient; equivalent LET; charge collection

收稿日期: 2019-05-15; 定稿日期: 2019-10-15

基金项目: 国家自然科学基金资助项目(U1532261, U1630141, 61534008)

作者简介: 于 新(1987—), 男(汉族), 天津人, 硕士, 助理研究员, 从事辐射效应模拟试验和损伤机理研究工作。

0 引言

单粒子瞬态效应(SET)是空间环境中模拟电路单粒子效应的表现形式。从 20 世纪 90 年代开始,TOPEX、SOHO、MAP、Cassini 等卫星陆续发生故障^[1-5]。故障原因均起源于模拟电路中 SET 传输至后级电路而引发功能异常。为了支撑卫星的抗辐射加固(RH)设计,欧洲航天局在后继 XMM 卫星的研制过程中,对候选模拟电路进行了 SET 特性摸底^[6]。NASA 制定了模拟电路的 SET 试验规范^[7]。因此,模拟电路 SET 已纳入了抗辐射加固保障(RHA)的范围,其 SET 特性是系统 RH 设计中抗辐射裕度(RDM)制定的关键因素。

在测试表征及激光模拟试验方面,与数字电路 SEU 相比,模拟电路 SET 仍不成熟。仅通过散射截面与 LET 的关系描述 SET 特性是不充分的。模拟电路 SET 的界定与数字电路 0→1 或 1→0 的翻转不同,SET 的影响程度是通过 RDM 与 SET 特性相互关联获取的,只有在获取 SET 幅值-宽度的基础数据后才能进一步获得散射截面。为缓解重离子机时,脉冲激光常用于器件 RH 验证及敏感区域定位。黄建国、田恺等人计算了激光的等效 LET,并在数字电路中得到了验证^[8-10]。考虑到模拟电路存在的特殊问题,若采用数字电路的试验条件及等效方法,将会有较大误差,针对模拟电路的激光-重离子单粒子等效关系仍需具体分析。

针对上述存在的问题,本文在 Ne、Fe、Kr、Xe、Ta 五种重离子入射条件下获得了 SET 幅值-宽度的分布规律。针对 SET 阈值多样化的问题,采用概率密度的方法给出了不同 SET 阈值下的 SET 散射截面。针对厚的敏感区域对模拟电路激光-重离子等效关系带来的特殊问题,一方面采用 TRIM 计算了重离子 LET 与入射深度的关系,另一方面引用最新的激光能量-电荷关系,建立了重离子与激光试验条件的关系。最后,通过激光试验对上述关系进行了验证。

1 SET 试验条件

SET 试验框图如图 1 所示。试验样品为普通商用器件 OP07。SET 由重离子或激光激发,数字示波器俘获产生的 SET 脉冲,计算机对数据进行保存和处理。

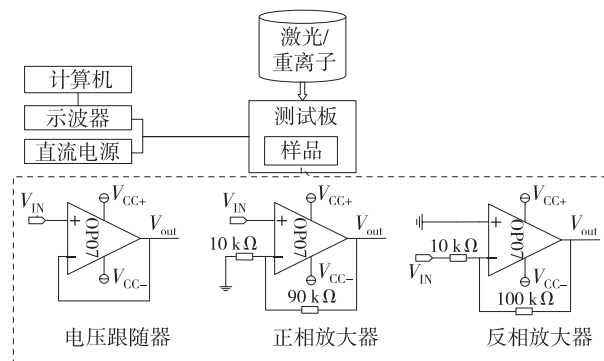


图 1 SET 试验示意图

Ne、Fe、Kr、Xe 重离子由芬兰 Jyväskylä 大学提供,Ta 离子由中国科学院近代物理研究所提供。激光等效试验在中国科学院空间中心进行。重离子、激光信息由上述单位提供。重离子信息和激光条件的具体数据分别如表 1、表 2 所示。

表 1 重离子信息

重离子	能量/MeV	LET/(MeV·cm ² /mg)	射程/μm
Ne	186	3.63	146
Fe	523	18.5	97
Kr	678	32.2	94
Xe	1217	60	89
Ta	1 500.5	80.29	88.7

表 2 激光条件

波长/ nm	束斑半径/ μm	激光脉冲宽度/ ps	发射频率/ kHz
1 064	1.5	9	1

测试规范^[7]对 SET 测试有以下基本要求:1)重离子注量率 $<1 \times 10^4$ /s;2)每帧 SET 波形采样点 >500 个;3)波形采集数量 >200 个。

考虑到模拟电路的 SET 宽度的典型值为 10 μs 量级,最短 SET 宽度约为 10 ns 量级,测试条件的最低要求及所用示波器的性能如表 3 所示。在数据采集前,设置好示波器的幅值、时间分辨率,以俘获完整的 SET 波形,并设置为快速触发模式。每当产生的 SET 幅值超过触发阈值,数字示波器会自动采集该 SET 幅值,直至波形采集数量达到设置值。

表 3 测试条件

试验参数	最低要求	Pico 6404D
带宽/MHz	200	500
波形采集速率/(kFrames·s ⁻¹)	10	170
采样率/(MSamples·s ⁻¹)	5	5×10^3
存储深度/MByte	0.1	2 000

注:Frames 为采集 SET 形态的一帧图像,Sample 为由电压幅值-时间构成的一组数据样本。

2 运放的 SET 特性

首先在激光试验条件下获得辐照偏置对 SET 的影响。选用的辐照偏置条件分别为跟随器、正相 10 倍放大器、反相 10 倍放大器^[11],如图 1 所示。为区分不同偏置下 SET 的差异,激光触发的 SET 幅值应适中,激光能量选取为 1.2 nJ。不同偏置下 SET 幅值-宽度分布如图 2 所示。可以看出,OP07 的 SET 具有 ns 量级的窄脉冲和 μs 量级的长脉冲两种形态。为进一步显示不同偏置下的差异,SET 幅值的概率密度如图 3 所示。可以看出,不同偏置下没有显著的差异,表明该样品 SET 特性对这几种偏置不敏感。

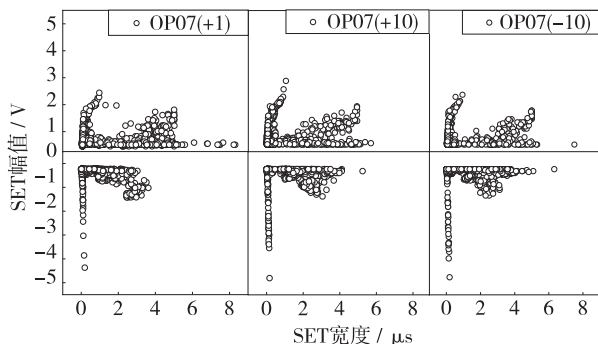


图2 跟随器、 ± 10 倍放大器偏置下 SET 幅值-宽度分布

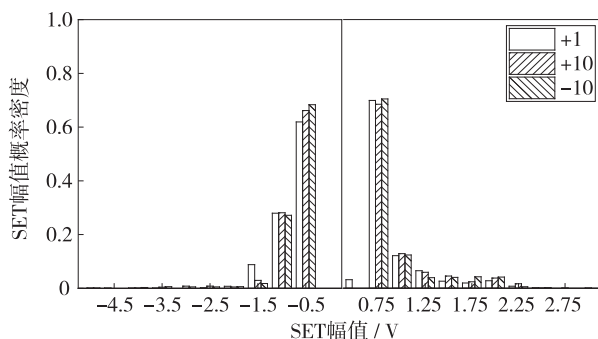


图3 在跟随器、 ± 10 倍放大器偏置下 SET 幅值概率密度

运放由输入级、增益级和输出级组成,OP07 增益级由达林顿电路和补偿电容组成。因此,SET 形态与发生的位置及传输特性有关。Y. Boulghassoul 等人研究了运放 SET 内部传输的频域特性,认为产生于输入级、增益级的 SET 受低通滤波影响显著,而产生于输出级的 SET 不受滤波影响^[12]。由此可知,窄脉冲 SET 主要来源于输出级,而宽脉冲 SET 主要来源于输入级和增益级。输出级能提供足够的电压和电流摆幅,而且隔离增益级与外接负载存在特殊的关系^[13],因此产生于输出级

的 SET 对放大倍数不敏感。而宽幅值 SET 是产生于输入级和增益级的脉冲信号经滤波作用后的结果,所以不同放大倍数下 SET 幅值的差异被滤波作用削弱了。A. L. Sternberg 等人对 LM124 的研究结果同样表明,产生于输入级和增益级的 SET 对放大倍数不敏感^[14]。

重离子试验在 ± 10 倍放大偏置下进行。随着 LET 的增大,SET 幅值-宽度的变化趋势如图 4 所示。可以看出,两种类型 SET 脉冲幅值均出现增大趋势,而脉冲宽度没有明显变化。在较低的 LET 下,窄 SET 脉冲更容易出现。在 LET 为 $3.63 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 的 Ne 离子入射条件下,未出现超过触发阈值的 SET。

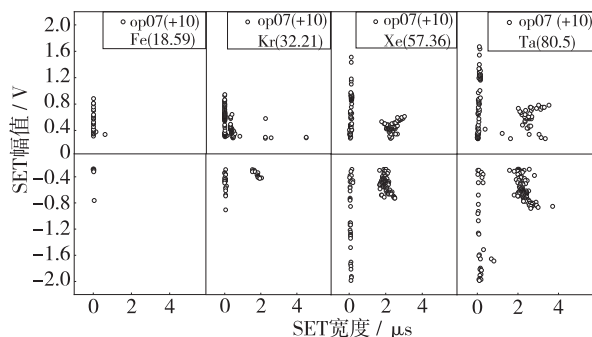


图4 SET 幅值-宽度随 LET 增大的变化趋势

对于数字电路而言,一般可通过散射截面与 LET 的关系预测空间环境下单粒子翻转发生的概率。考虑到模拟电路应用的多样化,以及需要权衡系统 RH 设计阶段的抗辐射指标、性能和成本,模拟电路 SET 的 RDM 会在较大范围内变化。因此,在散射截面与 LET 的关系中需加入触发阈值作为变量,以获得不同幅值的 SET 对散射截面的贡献。首先由 SET 幅值-宽度的数据得到 SET 幅值的概率密度,再通过积分可获得 SET 幅值的概率分布,如图 5 所示。

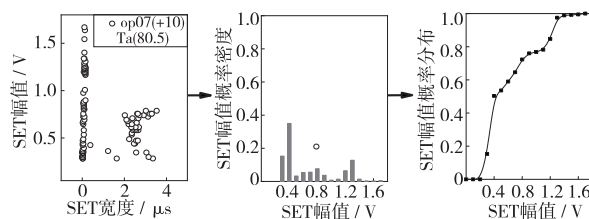


图5 Ta 离子入射条件下 SET 幅值-宽度、SET 幅值概率密度和概率分布

在获得 SET 概率分布及采样数量的条件下,可获得任意触发阈值(V_{th})条件下 SET 截面与 LET 的关系,如图 6 所示。

可以看出,随着 SET 阈值的增大,能够触发 SET 的 LET 出现增大的趋势,同时 SET 发生的概率出现降低的趋势。

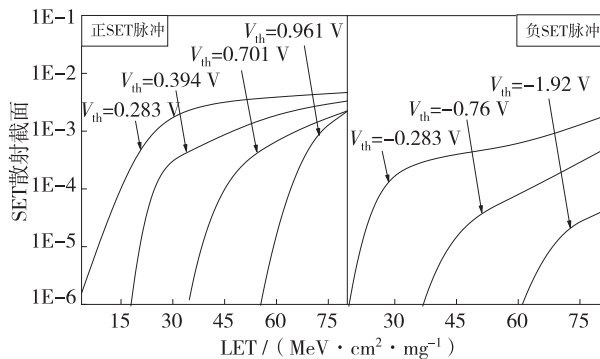


图6 不同阈值下 SET 截面与 LET 的关系

3 激光与重离子入射条件下 SET 的关联

与 CMOS 数字电路相比,双极模拟电路的敏感区域相对较厚。A. H. Johnston 等人通过 Pisces 仿真发现,衬底型双极晶体管中的发射极不仅存在敏感区域,而且充当集电极的衬底同样对 SET 敏感^[15]。针对这一问题,本文对重离子、激光入射硅材料的能量吸收进行分析。

首先,通过 TRIM 获得了重离子 LET 与深度的关系,如图 7 所示。

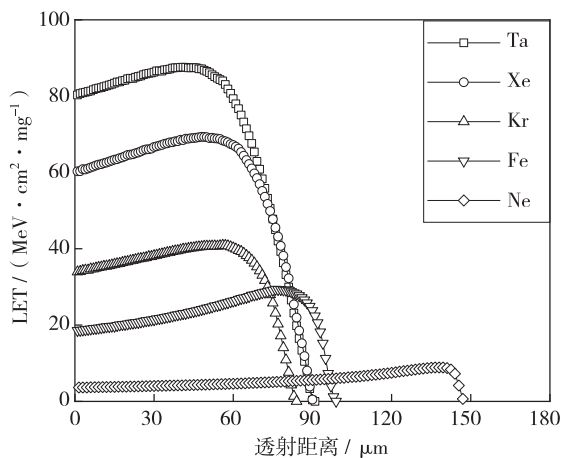


图7 重离子 LET 随入射深度的变化趋势

对于敏感区域很薄的数字电路,一般直接使用 LET 的表面值。但是,对于双极模拟电路,必须考虑 LET 随深度的变化情况。因此,采用了积分形式计算重离子产生的电荷:

$$Q_{HI} = \frac{q}{E_p} \cdot \rho \cdot \int r_{LET-HI} \cdot dz \quad (1)$$

Q_{HI} 为重离子入射产生的电荷量,其值等于重离

子 LET 沿入射径迹的积分, q 为电子电量, E_p 为平均电离能, ρ 为硅密度, z 为离子射程。

激光强度随透射深度呈指数下降,下降程度取决于吸收系数。为达到与重离子同样的入射深度,必须选用吸收系数较小的长波激光,如 1 064 nm 波长的激光。激光在硅中的传输特性可表示为^[16]:

$$\text{SPA: } I(z) = I_0 \exp(-\alpha z) \quad (2)$$

$$\text{TPA: } I(z) = I_0 \frac{\exp(-\alpha z)}{1 + \frac{\beta I_0}{\alpha} [1 - \exp(-\alpha z)]} \quad (3)$$

$I(z)$ 为硅中的激光强度, z 为激光透射深度, I_0 为激光初始强度, α 为吸收系数, β 为双光子吸收系数。当激光强度不高时,单光子吸收(SPA)起主要作用,激光的透射深度可达 1 000 μm ^[8],远超重离子的射程;当激光强度很高时,双光子吸收(TPA)起主要作用时,其透射深度为 50~100 μm ^[8],与重离子相当。

尽管重离子和激光在硅中的作用机制及能量沉积分布不同,假设激光能够到达敏感区,而且产生的电荷量与重离子相同,那么可以认为激光能够模拟重离子的单粒子效应。J. M. Hales 等人根据大尺寸硅基光电二极管在不同波长、能量条件下的试验数据,以及通过非线性光学传播程序 NLOBPM 计算,得到了激光能量与产生电荷的关系^[17-18],如图 8 所示。由于光电二极管同样具有很厚的敏感区域,该数据可供双极模拟电路参考。因此,根据式(1)和图 7 数据,可计算重离子产生的电荷量,再根据图 8 激光能量与电荷的关系,即可确定激光能量。通过上述方法,建立了适用于双极模拟电路的激光-重离子等效关系,如表 4 所示。

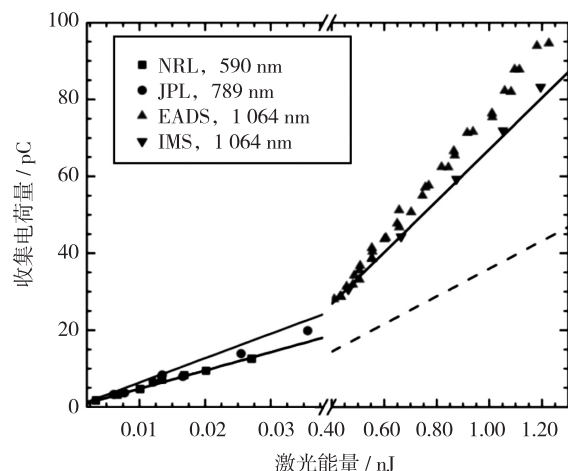


图8 激光能量与电荷的关系

表4 重离子产生的电荷量

重离子	能量/MeV	产生电荷/pC	激光能量/pJ
Ne	186	6.59	-
Fe	523	20.61	320
Kr	678	30.174	450
Xe	1 217	54.05	750
Ta	1 500.5	65.9	850

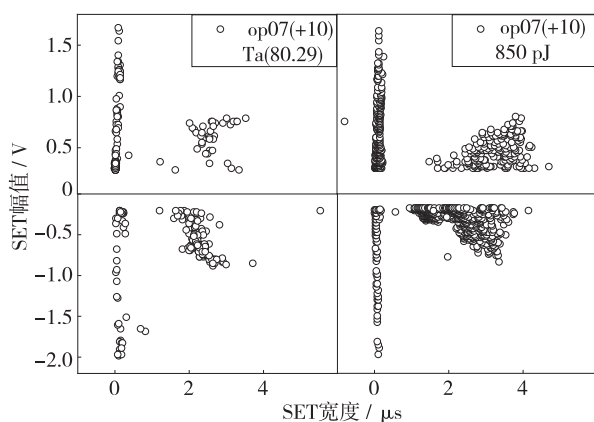


图9 Ta离子与850 pJ激光的SET幅值-宽度分布

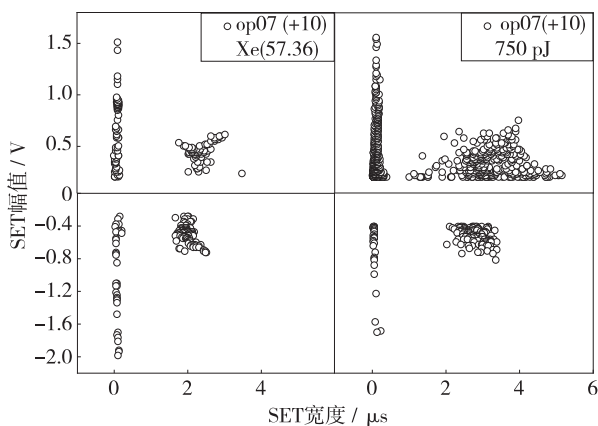


图10 Xe离子与750 pJ激光的SET幅值-宽度分布

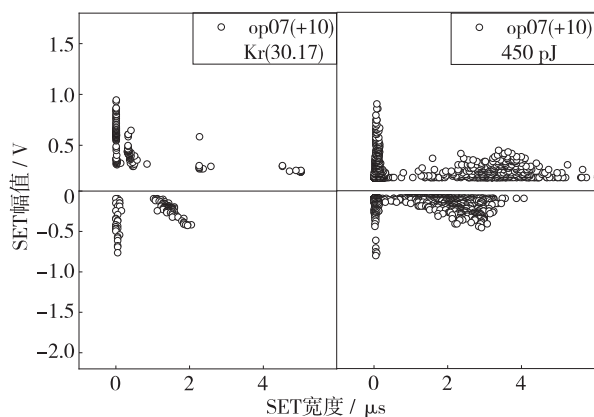


图11 Kr离子与450 pJ激光的SET幅值-宽度分布

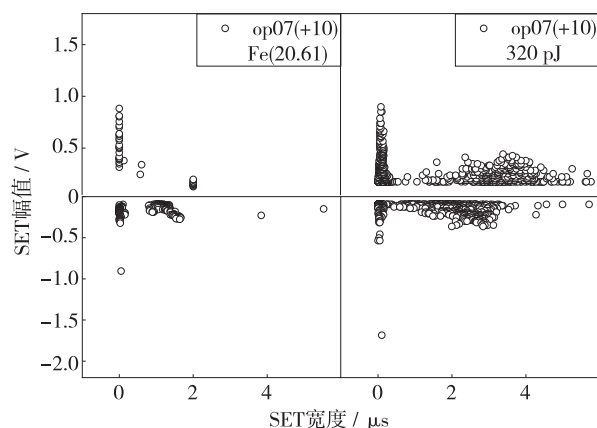


图12 Fe离子与320 pJ激光的SET幅值-宽度分布

上述等效关系的验证如图9~图12所示。可以看出,激光能够较准确地反映重离子的SET特性。对于窄脉冲,无论是幅值还是宽度在各种能量下都得到了准确的模拟;对于宽脉冲,在能量较高的Ta、Xe、Kr入射条件下,激光能够反映SET的幅值。而SET宽度具有较大离散性,原因可能是重离子采样数量相对较少造成统计差异。

4 结论

本文研究了模拟电路SET在工程应用中面临的问题,分析了RHA对模拟电路SET特性测试及分析的要求,给出了模拟电路SET的测试条件和指标要求。激光辐照结果显示运放对放大倍数不敏感。在不同重离子入射条件下获得了OP07的SET特性,通过统计分析SET幅值概率密度,给出了任意SET阈值下散射截面与LET的关系。在满足敏感区域与粒子径迹匹配的前提下,通过产生的电荷量建立了重离子与激光的等效关系。重离子-激光对比试验显示,在恰当的激光能量下,激光试验能够反映双极模拟电路在重离子入射条件下的SET幅值特性。

参考文献:

- [1] ECOFFET R, DUZELLIER S, TASTET P, et al. Observation of heavy ion induced transients in linear circuits [C] // Proceed IEEE Radiation Effects Data Workshop. Tucson, AZ, USA. 1994: 72-77.
- [2] KOGA R, PINKERTON S D, MOSS S C, et al. Observation of single event upsets in analog microcircuits [J]. IEEE Trans Nucl Sci, 1993, 40(6): 1838-1844.

- [3] HARBOE-SORENSEN R, DALY E, TESTON F, et al. Observation and analysis of single event effects on-board the SOHO satellite [J]. IEEE Trans Nucl Sci, 2002, 49(3): 1345-1350.
- [4] PRITCHARD B E, SWIFT G M, JOHNSTON A H, et al. Radiation effects predicted, observed, and compared for spacecraft systems [C] // Proceed IEEE Radiation Effects Data Workshop. Phoenix, AZ, USA, 2002: 7-13.
- [5] POIVEY C, L BARTH J, MCCABE J, et al. A space weather event on the microwave anisotropy probe (MAP) [C] // proceed 7th RADECS Workshops. Padova, Italy, 2002: 161-167.
- [6] HARBOE-SORENSEN R, GUERRE F X, CONSTANS H, et al. Single event transient characterization of analog IC's for ESA's satellites [C] // Proceed Fifth Europ Conf Radiat & Its Effects Compon & Syst. Fontevraud, France, 1999: 573-581.
- [7] NASA Goddard Space Flight Center. Testing guidelines for single event transient (SET) testing of linear devices [Z]. 2003-06-30.
- [8] 黄建国, 韩建伟. 脉冲激光模拟单粒子效应的等效 LET 计算 [J]. 中国科学 G 辑, 2004, 34(6): 610-609.
- [9] 田恺, 曹洲, 薛玉雄, 等. 器件表面钝化层对脉冲激光等效重离子 LET 值的影响 [J]. 真空与低温, 2007, 13(2): 102-106.
- [10] 田恺, 曹洲, 薛玉雄, 等. 脉冲激光能量等效重离子 LET 研究 [J]. 原子能科学技术, 2010, 44(4): 489-493.
- [11] BOULGHASSOUL Y, MASSENGILL L W, STERNBERG A L, et al. Circuit modeling of the LM124 operational amplifier for analog single-event transient analysis [J]. IEEE Trans Nucl Sci, 2002, 49(6): 3090-3096.
- [12] BOULGHASSOUL Y, MASSENGILL L W, TURFLINGER L T, et al. Frequency domain analysis of analog single-event transients in linear circuits [J]. IEEE Trans Nucl Sci, 2002, 49(6): 3142-3147.
- [13] DOSTAL J. Operational amplifiers [M]. 2nd ed. Stoneham, USA: Butterworth-Heinemann, 1993: 67-73.
- [14] STERNBERG A L, MASSENGILL L W, SCHRIMPF R D, et al. Effect of amplifier parameters on single-event transients in an inverting operational amplifier [J]. IEEE Trans Nucl Sci, 2002, 49(3): 1496-1501.
- [15] JOHNSTONAH, SWIFTGM, MIYAHIRATF, et al. A model for single-event transients in comparators [J]. IEEE Trans Nucl Sci, 2000, 47(6): 2624-2633.
- [16] MELINGER J S, BUCHNER S, MCMORRO W D, et al. Critical evaluation of the pulsed laser method for single event effects testing and fundamental studies [J]. IEEE Trans Nucl Sci, 1994, 41(6): 2574-2584.
- [17] HALES J M, KHACHATRIAN A, BUCHNER S, et al. Experimental validation of an equivalent LET approach for correlating heavy-ion and laser-induced charge deposition [J]. IEEE Trans Nucl Sci, 2018, 65(8): 1724-1733.
- [18] HALES J M, KHACHATRIAN A, BUCHNER S, et al. A simplified approach for predicting pulsed-laser-induced carrier generation in semiconductor [J]. IEEE Trans Nucl Sci, 2017, 64(3): 1006-1013.

小腔体元器件内部气氛检测修正因子适用性分析

秦国林, 朱朝轩, 罗 俊, 谭晓洪

(中国电子科技集团公司 第二十四研究所, 重庆 400060)

摘 要: 对国军标 548B-2005 中提出的小腔体元器件内部水汽检测修正因子进行了适用性分析。提出修正系数 λ ,并引入修正因子表达式中。选择三种内腔体积的管子,封入一定含量的标准气体。在相同条件下进行了内部气氛检测及修正。通过与标准气体对比,获得了 λ 的值,并利用 Matlab 软件进行分析。结果表明,内部气氛实测值随内腔体积的减小而增大,并且更离散,呈单调递减。 λ 在 $0.001 \sim 0.01 \text{ cm}^3$ 内腔体积范围内适用。但内腔体积进一步减小后,必会出现修正因子的适用性问题。

关键词: 小腔体元器件; 气氛检测; 修正因子; 适用性分析

中图分类号: TN306

文献标识码: A

文章编号: 1004-3365(2020)02-0287-04

DOI: 10.13911/j.cnki.1004-3365.190677

Analysis on Applicability of Internal Residual Gas Detection Correction Factor for Small Cavity Component

QIN Guolin, ZHU Chaoxuan, LUO Jun, TAN Xiaohong

(The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing 400060, P. R. China)

Abstract: Applicability of the correction factor for the internal residual gas detection of small cavity components which was proposed by GJB548B-2005 had been analyzed. The corrected coefficient(λ) was introduced into the expression of correction factor. Meanwhile, three packaging shells with different volume of inner cavity were chosen, and they were sealed with a certain content of standard gas sample. These devices were tested and modified under the same conditions. The values of λ were calculated by comparing the standard sample and correction results. Based on the corrected data processed in Matlab, the results showed that the measured value of vapor content tended to increase and disperse with smaller volume, and it exhibited a monotonic decline. The correction factor was applicable at $0.001 \sim 0.01 \text{ cm}^3$ volume of inner cavity. However, when the volume of inner cavity was further reduced, the problem of applicability of the correction factor would arise.

Key words: small cavity component; internal residual gas detection; correction factor; applicability analysis

0 引 言

航空航天领域对电子元器件的质量与可靠性要求很高。研究发现,气密性封装元器件的性能、寿命和可靠性受元器件内部气氛的影响程度很高,异常的内部气氛极易造成元器件性能降低,甚至早期失效^[1-4]。因此,内部气氛检测技术是电子系统急需解

决的技术难题。

目前,国内主流检测设备的气氛检测能力为 0.01 cm^3 及以上,检测设备的质谱室内腔体积为 0.1 cm^3 。对于 0.001 cm^3 的微小器件,内腔被穿刺后,内部气体通过真空管道进入质谱室,其浓度将被稀释 100 倍,因水汽的检测精度为 1.0×10^{-4} ,则在稀释 100 倍后,变为 1.0×10^{-6} ,仍在设备检测极限范围之内^[5]。研究表明,只要设计合适的密封夹具

收稿日期: 2019-11-24; 定稿日期: 2020-01-16

基金项目: 模拟集成电路国家重点实验室基金资助项目(6142802040805)

作者简介: 秦国林(1965—),男(汉族),四川乐至人,高级工程师,长期从事电子元器件可靠性技术及相关标准研究。

和相应的校准器,在现有设备的基础上,仍可完成对 $0.001 \sim 0.01 \text{ cm}^3$ 器件的内部气氛检测。根据 GJB548B-2005 标准中的 1018.1 方法,对小于 0.01 cm^3 的器件进行内部气氛检测时,需要对实测结果进行修正,并给出修正因子 C_T 及其表达式。然而该方法并未对 C_T 的具体适用范围进行详细界定或说明^[6]。因此,有必要对修正因子 C_T 的适用范围进行研究,以探究修正因子与元器件内腔体积的关系及变化趋势。

1 内部气氛检测原理

本次实验设备采用美国 ORS 公司的四极质谱仪 IVA 系统,如图 1 所示。该设备可检测腔体体积不小于 0.01 cm^3 的器件。

为满足腔体体积小于 0.01 cm^3 的器件的试验需求,ORS 公司研发了基于时间飞行质谱仪的新型小腔体器件内部气体测试设备。该时间飞行质谱仪如图 2 所示。



图 1 四极质谱仪

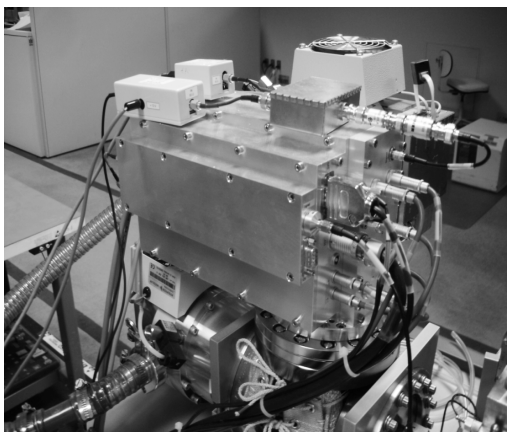


图 2 时间飞行质谱仪

相较于四极质谱仪,时间飞行质谱仪具有更高的信噪比和测试精度,可测的器件最小体积达 0.00001 cm^3 。国内一般使用四极质谱仪,本文对四极质谱仪的检测原理进行分析。

四极质谱仪是最广泛使用的内部气体成份分析仪。其原理是,将器件内部气氛抽取到试验真空环境,再将气体分子离子化,利用四极质谱仪,进行精细的定性定量分析。

工作原理如图 3 所示。工作流程为:1)对系统抽真空;2)器件烘焙并夹装后,仪器刺穿器件,抽取密封器件空腔内部气体;3)气体进入分析仪,由炙热的铱钨丝通过电子碰撞使气体离子化;4)在气体分子离子化后,系统通过电场的引力和斥力来控制离子的运行,一系列电极通过这种引力加速离子,使得离子进入四极滤质器;5)在四个一组的电极上依次施加扫描射频和直流电压,使离子螺旋式通过电极组中心。

对于任何给定的电极上的碰撞,只有某一种质荷比的离子可以通过所有电极到达探测器,而其他质荷比的离子会撞击电极失去电荷,成为中性气体分子,继而被抽走。

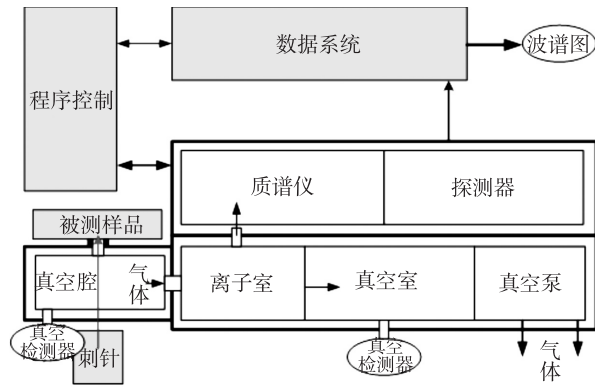


图 3 四极质谱仪的工作原理

用于离子检测的探测器是一个电子倍增器。通过一系列的带电倍增电极,气体离子打到第一个倍增电极后可形成电子级联效应。这个级联效应将产生静电计可检测的电信号,并通过放大器放大。电信号强度的测量值可粗略等价于所分析气体的量。测试信号时,加载在四电极上的电压可用于区分气体类型,从而完成对气体成分的定性分析和定量分析。

2 修正系数的引入

对于内腔体积于小于 0.01 cm^3 的电子元器件,

GJB548B-2005 提出,应对每个实测值进行修正,以得到更可靠的检测结果。修正因子 C_T 为:

$$C_T=(T_r+273)/(T_s+273) \tag{1}$$

式中, T_r 、 T_s 分别代表封装室内温度和封装温度,单位均为℃。根据式(1)计算出修正因子的值后,便可对实测值进行修正。修正后的水汽值 $H_{correct}$ 为:

$$H_{correct}=H_{tested}\times C_T \tag{2}$$

为了研究 C_T 对于不同内腔体积器件的适用性,本文在式(1)中引入修正系数 λ 。选择三种不同内腔体积的管子,封入一定含量的标准气体。采用分组检测方式,在相同条件下分别对三组管子进行内部气氛检测。将实测值修正后与标准值进行对比,求得 λ 值,从而判别 C_T 与内腔体积的相关性及 C_T 的适用范围。

引入修正系数后, C_T 为:

$$C_T=\lambda(T_r+273)/(T_s+273) \tag{3}$$

3 分组及检测过程

本文选择的三类管子如图 4 所示。陶瓷四面引线扁平封装 ST11 的体积为 0.001 cm^3 ,ST31 的体积为 0.003 cm^3 ,陶瓷双面引线扁平封装 FP08 的体积为 0.008 cm^3 。每类管子各取 10 只管子为一组,分别封入一定含量的气体,然后进行内部气氛检测。

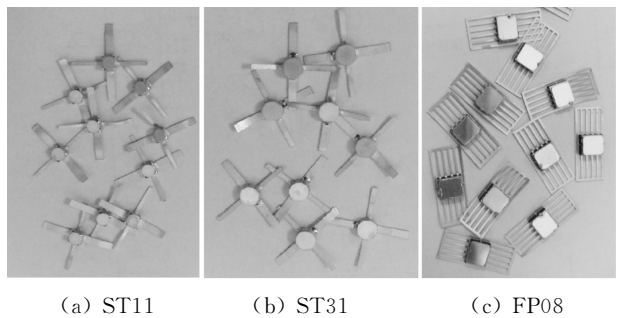


图 4 选择的三类管子

很多管壳与盖板会在封帽后持续释放氢气,

且释放速率不一致,直接影响样品内部氢气含量的一致性 & 测试数据的稳定性^[7-8],因此氢气不宜作为标准气体。本文所选的样品很小,封帽区域可能存在微漏孔,较轻的氦气会从漏孔中逸散,导致氦气的测试数据异常。样品的单向漏孔检测难度大,内部氦气含量在氦质谱检漏过程中可能产生变化,造成检测结果偏差^[9]。另外,现有技术不能实现水汽的定量封存。因此氦气也不宜作为标准气体。

综合以上因素,本文选择 N_2 和 CO_2 的混合气体作为标准气体,封入样品中。标准气体中, CO_2 的含量初步设定为 4.0×10^{-3} 。将该气体样本送与计量,经过检定后确认, CO_2 实际含量为 3.976×10^{-3} 。因此,将 3.976×10^{-3} 作为三组样品的 CO_2 检测标准值。

在相同条件下,对 ST11、ST31、FP08 三种样品进行内部气氛检测试验,得到的实测结果如表 1 所示。

表 1 CO_2 含量的检测结果

样品	CO_2 含量实测值/ 10^{-6}
ST11	8 013,8 027,7 657,7 975,8 286,8 065,7 985,8 050,7 941,8 094
ST31	7 733,8 128,7 678,8 041,8 061,8 085,7 722,7 868,7 804,8 053
FP08	7 805,7 724,7 856,7 772,7 715,7 896,7 876,7 776,7 798,7 787

4 数据修正及结果分析

本文所选的 ST11、ST31、FP08 均为熔封管壳,封接温度为 $310\text{ }^{\circ}\text{C}$,封接环境温度为 $25\text{ }^{\circ}\text{C}$ 。因此,修正因子为 0.511 1 λ ,进而得到 CO_2 含量修正值。再将修正值与标准值进行对比,得到 λ 的取值,结果分别如表 2~表 4 所示,表中的标准值均为 3.976×10^{-3} 。

表 2 ST11 内部 CO_2 含量修正值和修正系数

名称	数值/ 10^{-6}									
实测值	8 013	8 027	7 657	7 975	8 286	8 065	7 985	8 050	7 941	8 094
修正值	4 095.4 λ	4 102.6 λ	3 913.5 λ	4 076 λ	4 235 λ	4 122 λ	4 081.1 λ	4 114.4 λ	4 0586 λ	4 146.8 λ
λ	0.971	0.969	1.016	0.976	0.939	0.965	0.974	0.966	0.980	0.961

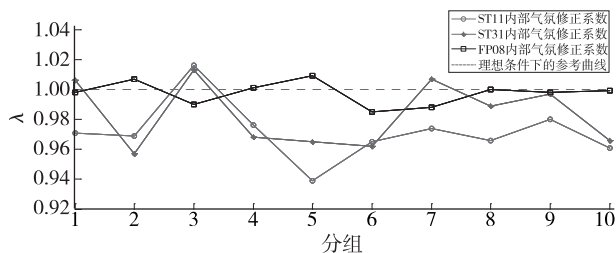
表 3 ST31 内部 CO₂ 含量修正值和修正系数

名称	数值/ 10^{-6}									
实测值	7 733	8 128	7 678	8 041	8 061	8 085	7 722	7 868	7 804	8 053
修正值	3 952.3 λ	4 154.2 λ	3 924.2 λ	4 109.8 λ	4 120 λ	7 132.2 λ	3 946.7 λ	4021.3 λ	3 988.6 λ	4 115.9 λ
λ	1.006	0.957	1.013	0.968	0.965	0.962	1.007	0.989	0.997	0.966

表 4 FP08 内部 CO₂ 含量修正值和修正系数

名称	数值/ 10^{-6}									
实测值	7 805	7 724	7 856	7 772	7 715	7 896	7 876	7 776	7 798	7 787
修正值	3 989.1 λ	3 947.7 λ	4 015.2 λ	3 972.3 λ	3 943.1 λ	4 035.6 λ	4 025.4 λ	3 974.3 λ	3 985.6 λ	3 979.9 λ
λ	0.998	1.007	0.990	1.001	1.009	0.985	0.988	1.00	0.998	0.999

为了更直观地分析三种管子的修正系数,本文采用 Matlab 软件将各分组中 λ 值进行数据拟合,绘制成拟合曲线,并计算每一分组数据的均值和方差。 λ 的拟合曲线如图 5 所示。图中的虚线为理想情况下的参考曲线(λ 值为 1)。可以看出,FP08 分组的拟合曲线最接近理想曲线,ST31 分组的拟合曲线也较接近理想曲线,ST11 分组的拟合曲线偏离参考曲线最远。ST11、ST31、FP08 三组 λ 的均值分别为 0.972、0.983、0.997,对应的方差则为 3.69×10^{-4} 、 4.66×10^{-4} 、 6.07×10^{-5} 。

图 5 λ 的拟合曲线

三组数据的 λ 均值均小于 1,且内腔体积越小, λ 的均值越小。三组 λ 的方差中,FP08 分组的方差最小(小约 1 个数量级),说明 FP08 分组的内部气氛修正系数离散度较 ST11 和 ST31 分组小,所以 FP08 内部气氛修正系数最接近参考曲线。内腔体积越接近于 0.01 cm^3 ,修正结果的一致性越好。而 ST11 和 ST31 分组的 λ 所对应的方差较大,拟合曲线的离散度较大,则表明内腔体积越小,内部气氛检测的稳定性越差。这两组的 λ 均值较小,使得 λ 的拟合曲线偏离参考曲线的程度较大。

为了分析 λ 值随内腔体积的变化规律,本文进一步将均值拟合,得到如图 6 所示的小腔体元器件内部气氛修正曲线。

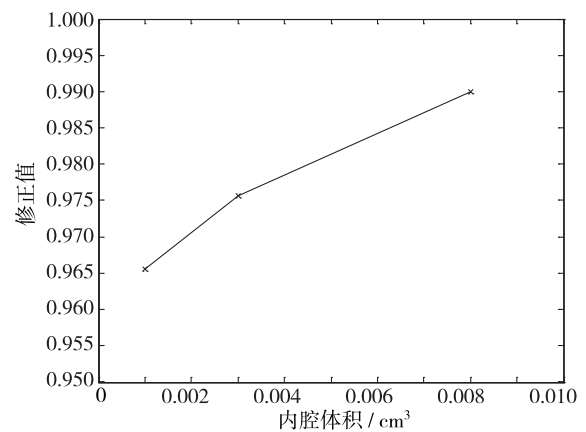


图 6 小腔体元器件内部气氛修正曲线

可以看出, λ 值与内腔体积的关系呈单调上升的关系。内腔体积越大, λ 值越大;反之,内腔体积越小, λ 值越小。

由式(2)与式(3)可知,当内腔体积略小于 0.01 cm^3 时, λ 值趋近于 1,即 GJB548B-2005 中提出的修正因子仍能适用。当内腔体积趋近于 0.001 cm^3 时, λ 值约为 0.96,该值与 1 相差不大,因此军标提出的修正因子及其表达式也能适用。但是,当内腔体积更小时,穿刺口周围密封效果将越不稳定,校准偏差趋于增大,小腔体气体量更少。这就进一步放大了真空度、环境温度等外界干扰因素,导致元器件内部气氛的实测值趋于增大,且越发离散。由图 6 的单调趋势可知,内腔体积越小, λ 值就越小,而式(1)的修正因子将趋于增大,使得修正的水汽值过大,从而产生修正因子不再适用的问题。

5 结 论

对内腔体积小于 0.01 cm^3 的小腔体元器件内

(下转第 296 页)

一种适用于 PUF 可靠性提升的微弱 延时测试方案

江 悦¹, 梁华国¹, 应健锋¹, 周 凯¹, 马高亮¹, 蒋翠云², 鲁迎春¹, 黄正峰¹

(1. 合肥工业大学 电子科学与应用物理学院, 合肥 230009; 2. 合肥工业大学 数学学院, 合肥 230009)

摘 要: 受环境变化和老化的影响,物理不可克隆函数(PUF)会呈现输出不可靠的问题,这会降低它们在识别和认证应用中的接受度。改善 PUF 可靠性的现有方法包括更好的结构设计、后处理误差校正、不匹配选择等,但这些方法在测试时间和设计开销方面成本较高。因此,提出了一种针对 PUF 映射单元的稳定性测试方案。基于量化竞争路径延时差异的测试策略,通过识别和筛选掉使 PUF 结果不稳定的映射单元,选择性映射到合适的片(Slice)上,在 SRAM 型 FPGA 上实现了一个低资源开销、高可靠性的 SR-Latch PUF。实验结果表明,PUF 单元被紧凑地映射进一个 Slice,其资源开销较小。当温度变化为 20 °C~80 °C、电压波动为 0.8~1.2 V 时,在三个 FPGA 平台进行多次重复测试,没有检测到不可靠的 PUF 位,可靠性达到 100%。

关键词: 物理不可克隆函数; 可靠性; 现场可编程门阵列; 硬件安全

中图分类号: TN406

文献标识码: A

文章编号: 1004-3365(2020)02-0291-06

DOI: 10.13911/j.cnki.1004-3365.190334

A Weak Delay Test Scheme Suitable for PUF Reliability Improvement

JIANG Yue¹, LIANG Huaguo¹, YING Jianfeng¹, ZHOU Kai¹, MA Gaoliang¹,

JIANG Cuiyun², LU Yingchun¹, HHUANG Zhengfeng¹

(1. School of Electronic Science & Applied Physics, Hefei University of Technology, Hefei 230009, P. R. China;

2. School of Mathematics, Hefei University of Technology, Hefei 230009, P. R. China)

Abstract: Physically Unclonable Functions (PUF) are impacted by environmental variations and aging which can reduce their acceptance in identification and authentication applications. Prior approaches to improve PUF reliability include better structure design, post-processing error correction, and mismatch selection. But these solutions are with high cost in terms of test time and design overheads. So a stability test scheme was presented. By identifying and filtering out the mapping unit that made the PUF results unstable, and mapping selectively to the appropriate slice, a low resource overhead, highly reliable SR-Latch PUF was implemented on the SRAM type FPGA. The experimental results indicated that the PUF unit was mapped compactly into a slice with lower resource overhead. When the temperature fluctuated from 20 °C to 80 °C and the voltage varied from 0.8 V to 1.2 V, the tests repeated many times suggested that no unreliable PUF bits were detected on the three FPGA platforms, and the reliability was 100%.

Key words: PUF; reliability; FPGA; hardware security

0 引 言

物理不可克隆函数(PUF)是一种安全原语,主

要利用集成电路制造过程中不可避免的工艺波动来产生某些物理特性,并以此来为集成电路提供独一无二的标识^[1]。现场可编程门阵列(FPGA)是主流的硬件实现平台。由于 FPGA 器件具有可重构特

收稿日期: 2019-06-15; 定稿日期: 2019-07-12

基金项目: 国家自然科学基金资助项目(61674048, 61834006); 电子测试技术重点实验室开放基金资助项目(61420010202717)

作者简介: 江 悦 (1992—), 女(汉族), 安徽池州人, 硕士, 研究方向为嵌入式系统综合与测试。

性,FPGA 平台上的 IP 保护问题特别重要。值得庆幸的是,可以通过 PUF 生成特定设备的 ID 来解决此问题。在 FPGA 平台上实现的硅 PUF 非常灵活,安全且经济高效。基于 FPGA 的 PUF 应用多种多样,如 IP 保护^[2]、RFID^[3]、生成安全密钥^[4],等等。在相关文献中已经提出许多用于 PUF 的架构,如 SRAM-PUF^[5]、DRAM-PUF^[6]、A-PUF^[7]、RO-PUF^[8]、Butterfly-PUF^[9] 和 SR-Latch PUF^[10]。

SR-Latch PUF 属于常见的基于 FPGA 实现的 PUF。与其他几种常见 PUF 相比,SR-Latch PUF 结构简单、功耗低,但面积消耗较大、可靠性较低^[11]。目前,已有许多方法可以提高可靠性。但這些方法具有很高的硬件成本,或者操作复杂。M. D. Yu 等人利用纠错码(Error Correction Code, ECC)技术来纠正错误位^[12],但会显著增加设计的复杂度和总的设计成本,更严重的是,纠错码会泄露一些重要信息,引发安全性问题。W. Yan 等人通过相位校准过程来提高 RO PUF 的稳定性,并将误码率降低到了 1% 以下^[13]。I. Vatajel 等人通过分析 SRAM 位单元的动态稳定性,识别并剔除使 PUF 单元不稳定的对称或几乎对称的单元,有效改善了 PUF 的可靠性^[14]。

本文采用一种基于扇出插入调整路径延时的策略来识别可靠 Slice。一方面,电路结构简单,容易实现紧凑的布局,每个 PUF 电路单元的实现仅需一个 Slice,资源开销极低。另一方面,直接利用一个 Slice 上未被利用的查找表来实现扇出,不额外增加资源,并通过扇出个数的调整来量化路径延时。通过将 PUF 单元映射到筛选出的可靠 Slice 上,可以有效提高 PUF 单元的可靠性。

1 SR-Latch PUF 的基本原理

SR 锁存器可以使用两个 NOR 或 NAND 门实现,图 1 所示为基于 NAND 的 SR-Latch。

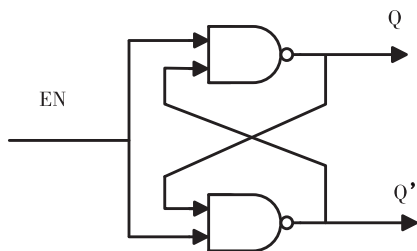


图 1 SR-Latch 的结构

输入信号 EN 为低电平时,SR-Latch 处于稳定

状态,输出 Q 和 Q' 均为高。EN 变为高电平时,电路进入亚稳态。从理论上讲,该结构在亚稳状态下无限振荡。但是,由于制造过程的不同,两个 NAND 门的延迟略有不同,导致其中一个反馈更强。因此,在一定时间之后,输出变为稳定状态。由于输入信号偏移以及输入和输出的容性负载,输出 Q/Q' 可以被偏置为“高/低”或“低/高”。

2 PUF 可靠性分析

理想情况下,如果仅存在工艺变化,PUF 输出将是稳定且唯一的。实际上,由于电压和温度的改变,PUF 的输出也会发生改变。因此,如果一个 Slice 的工艺变化幅度足够大,可以安全抵消外界噪声的影响,那么映射在该片上的 PUF 单元就可以产生稳定的输出。FPGA 上具有大量可以用作 PUF 的逻辑资源,表明存在着足够的完全偏置的 Slice (工艺偏差足够大),也就可能产生非常可靠的 PUF 输出。因此,设计目标是找到在 PUF 结构设计和测试开销方面成本较低的方法,以识别最稳定的 PUF 位。

为了方便了解不稳定原理,采用图 2 所示曲线来描述工艺偏差与噪声波动(即电子热噪声、环境引起的延时偏移)对 PUF 输出响应的影响。

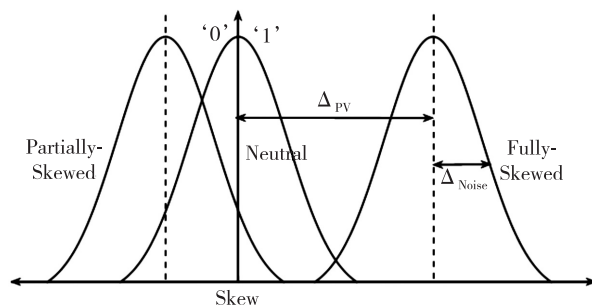


图 2 工艺偏差与噪声波动对 PUF 输出响应的影响

由图 2 可见,PUF 输出响应呈现高斯分布, Δ_{pv} 表示工艺偏差, Δ_{Noise} 表示噪声波动。PUF 单元映射到一个 Slice 上,该 Slice 不存在工艺偏差时(Neutral),PUF 单元输出“0”和“1”的概率都是 50%。这样的 PUF 单元对于两种稳定状态没有倾向性,是不希望得到的。当部分偏置(Partially-Skewed)Slice 的工艺偏差不足以抵消外界噪声的影响时,PUF 输出响应会在“0”与“1”之间摆动。这意味着,当工作环境发生改变时,映射到该 Slice 上的 PUF 单元输出不稳定,即该 Slice 不适合配置成 PUF 单元。相反,完全偏置的 Slice(Fully-Skewed)

能够很好地抵消外界噪声对输出响应带来的影响, PUF 的输出响应会稳定在一个确定的状态(“0”或“1”),表明该 Slice 适合实现 PUF 单元,本文将这些 Slice 定义为可靠 Slice。映射到可靠 Slices 上的 PUF 单元的两条竞争路径会有较大的制造延时不匹配,输出响应保持稳定,即达到了提高 PUF 输出可靠性的目的。

3 本文方法

3.1 扇出插入原理

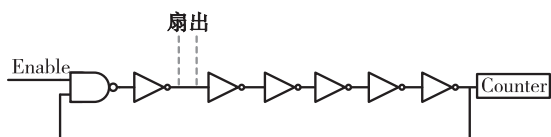
N. H. E. Weste 等人提出,计算延时的最基本方法是建立所关注电路的物理模型,写出描述输出电压和输入电压时间的微分方程,然后求解方程^[15]。但是微分方程过于复杂。若想近似描述电路中间节点的行为,可以采用 Elmore 延时模型。一般来说,设计人员所关心的大多数电路都可以表示成一个 RC 树,即一个没有闭合回路的 RC 电路。Elmore 延时模型将信号源到其中一个电路节点之间的延时估计为:

$$t_{pd} = \sum_i R_{is} C_i \quad (1)$$

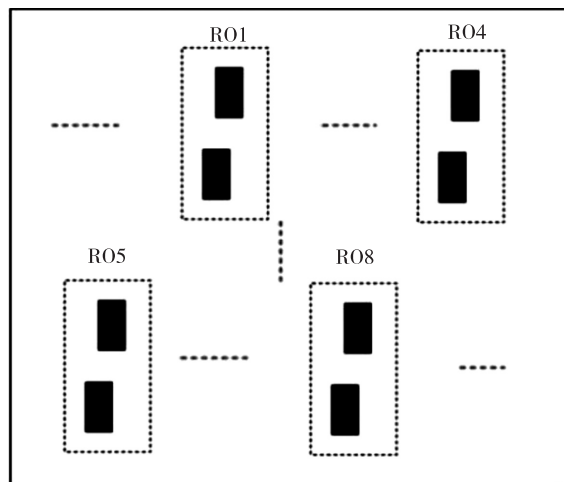
式中, C_i 表示每个节点 i 上的电容, R_{is} 表示从信号源至该节点 i 及该节点间公共路径的等效电阻。式(1)表明延时是逻辑门扇出的线性函数,扇出插入会增加负载电容,传输延时会发生改变。

根据上述分析,针对 ML605 平台上的不同位置,通过构造 RO 环来观察负载插入对 RO 环延时的影响。如图 3 所示,在 FPGA 不同位置上构造 8 个 7 阶 RO 环,记录 50 ms 内 RO 环的振荡次数,从而得到每个 RO 环的延时。为了使实验结果更有说服力,选择三个 Xilinx Virtex-6 FPGA(ML605)平台,分别在 8 个不同位置实现 RO 环来进行实验。

三个实验平台上,放置在不同位置的 RO 环在加入不同扇出个数后的延时变化结果列于表 1。可以看出,在 RO 环上插入 1 个和 2 个扇出对延时的影响是不同的。理论上,插入 2 个扇出的延时增量是插入 1 个扇出的 2 倍。由此可以得出,在传输路径上插入不同数量的扇出,路径的延时增量等于扇出个数乘以单个扇出的延时。



(a) 基本 RO 环构造



(b) 放置在不同位置的 RO 环

图 3 RO 环扇出插入实验原理图

表 1 插入不同数量扇出后 RO 环延时的变化

实验平台不同位置	Chip1 延时/ps		Chip2 延时/ps		Chip3 延时/ps	
	1 个扇出	2 个扇出	1 个扇出	2 个扇出	1 个扇出	2 个扇出
1	2.90	8.54	5.81	10.49	4.46	9.53
2	4.26	10.00	7.18	12.63	5.75	10.97
3	5.64	8.32	8.91	11.23	7.35	9.67
4	1.53	6.55	3.99	8.41	3.59	7.69
5	4.30	9.27	7.85	12.08	6.46	10.56
6	2.98	8.09	5.75	10.46	4.26	8.15
7	5.34	9.57	3.76	12.00	3.32	10.98
8	5.28	11.62	8.55	14.68	7.31	13.13
平均延时	4.03	9.00	6.47	11.50	5.31	10.09

从表 1 还可以看出,插入的扇出对路径延时的影响是微弱的,只有几 ps。同时,SR-Latch PUF 本身的路径延时极短,每条链路的传播延时只有几百 ps,不易测量,很难利用不匹配选择来改善可靠性。基于文献[16]提出的 SRAM 型 FPGA 上 SET 测量与传播实验的相关时延技术,本文利用扇出插入的微弱延时来模拟外界噪声对 PUF 电路的影响,以此来识别可靠的 Slice,从而提升 PUF 单元的可靠性。

3.2 本文架构

若要在 FPGA 上实现基于与非门的 SR-Latch,需要使用查找表来实现。若要实现无偏置的 SR-Latch,则需要考虑一些细节问题。首先,必须在输入端使用触发器,可以使得连接到 2 个 NAND 门的路径对称。同时,必须在输出端使用触发器,将输出

线的容性负载与内部节点(Q)分离,如果输出端没有触发器,Q点的容性负载会变得比Q'点大得多,会严重降低输出的随机性。

其次,由于FPGA在布局布线时会自动优化路径选择,SR-Latch的路径不一定对称。本文在Xilinx Virtex-6 FPGA(ML605)平台上进行实现。ML605平台由一系列可配置逻辑块(CLB)组成。每个CLB包括2个Slice。每个Slice包括4个六输入查找表和4个D触发器。将一个二输入NAND门映射到六输入LUT上有多种选择,再将4个LUT和4个D触发器的布局同时加以考虑,会存在大量的配置选择。因此,可以通过FPGA编辑器(FPGA Editor)来不断调整布局布线和观察相应的延时信息,使得两条竞争路径的延时差异几乎可以忽略不计。这样,可以实现对称的路由选择,并能把一个PUF单元紧凑地映射到一个Slice上,大大节约了硬件资源。

本文提出的结构如图4所示。如果在D触发器到SR-Latch的传输线上插入扇出,每插入1个扇出只发挥一次作用,并且同一个节点多次插入扇出后,扇出对延时的改变作用会减小,所以需要在Chain1和Chain2上额外增加缓冲区来增加扇出插入节点,以方便插入扇出。基于此,本文在SR-Latch的反馈线上加入扇出来调整电路节点负载。在达到稳定状态之前,信号会在反馈线上来回振荡,不断竞争。加入一个扇出可以多次发挥作用,从而减少扇出插入的个数,也不需要额外加入缓冲区来增加扇出插入节点,结构简单、方便实现。

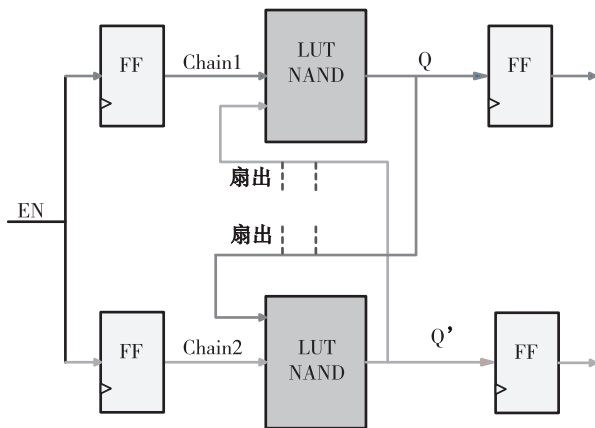


图4 扇出插入的SR-Latch PUF架构

3.3 实验原理

由前面的分析可知,当Slice单元的工艺偏差足够大,反映在SR-Latch PUF中,就是使布线对称的Chain1和Chain2的延时出现差异。当两条链路的

延时差异足够大时,即使在延时小的链路上插入扇出来微弱调整延时,也不会改变PUF的响应值。

为了使实验操作更简单,不需要提前知道Chain1和Chain2的延时快慢,只需分别在Chain1和Chain2路上插入扇出,记录两次的输出结果,对比两次输出对应位的值有没有翻转,剔除位发生翻转的PUF单元,得到的Slice可以被定义为是可靠的。接下来,在不同环境下,测试筛选出的可靠PUF单元输出响应保持稳定的概率。通过数次筛选,得到不同测试环境下百分百保持稳定的PUF单元,从而筛选出制造偏差足够大的可靠Slice。

基于PUF输出响应在两种情况下是否一致,可以判断工艺波动引起的延时偏差是否大于某个设定值。这个值理论上等于单个扇出插入引起的延时增量乘以插入扇出的数量。简而言之,通过配置相应数量的扇出插入测试,可以得到设计希望的制造延时偏差。

4 实验结果

在提出可靠性改善机制的评估实验中,选择三个ML605平台以及两组扇出插入数量,以此验证提出的可靠性改善方法的有效性。

首先,在SRAM型FPGA上设计实现300个蝶形PUF单元,对每个PUF单元进行识别测试。测试的环境温度为25℃,工作电压为1V。分别向两个链路插入一定数量的扇出后,对比两次输出响应,剔除输出发生翻转的位。其次,在一个宽泛的操作环境中(温度以20℃为步进,从20℃增长到80℃;芯片工作电压以0.05V为步进,从0.8V增长到1.2V)进行鲁棒性测试,以此验证筛选出的PUF电路的可靠性。如果在每次测量中,PUF单元输出均保持不变,那么这个单元就可以被认为是可靠PUF单元。

加入不同数量的扇出,经过筛选之后保持稳定的PUF位数如表2所示。

表2 加不同扇出筛选得到的PUF响应稳定位数

实验平台	PUF响应稳定位数/位		
	未经筛选	第一次筛选	第二次筛选
Chip1	300	162	78
Chip2	300	162	81
Chip3	300	143	65

在 20℃下,电压从 0.8 V 增加 1.2 V 时,PUF 输出可靠性的变化结果列于表 3。在 1 V 条件下,温度从 20℃增加到 80℃时,PUF 输出可靠性的变化结果列于表 4。可以看出,随着筛选次数的增加,可靠性明显提升,逐渐向 100%靠拢。

以 Chip1 为例,插入一个扇出时,识别的可靠

PUF 是 162 位。此时,并不是所有的不可靠 Slice 都被检测到,可靠概率平均为 97.8%,当插入扇出的数量增加到 2 个时,识别的可靠 PUF 是 78 个,可靠概率接近 100%。由此可知,本文提出的可靠性改善机制只需增加 2 次扇出,即可显著提高 PUF 的可靠性。

表 3 温度相同、不同电压下 PUF 单元的稳定性

电压/V	未经筛选的 PUF 单元稳定性/%			第一次筛选的 PUF 单元稳定性/%			第二次筛选的 PUF 单元稳定性/%		
	Chip1	Chip2	Chip3	Chip1	Chip2	Chip3	Chip1	Chip2	Chip3
0.80	76.67	73.33	80.67	90.74	95.06	93.01	100.00	100.00	100.00
0.85	93.33	89.67	83.67	99.38	96.30	99.30	100.00	100.00	100.00
0.90	87.00	90.33	89.33	100.00	98.77	98.60	100.00	100.00	100.00
0.95	96.33	92.67	85.67	99.38	98.77	99.30	100.00	100.00	100.00
1.00	90.67	87.33	82.67	98.77	98.77	99.30	100.00	100.00	100.00
1.05	93.33	92.00	86.33	100.00	98.77	100.00	100.00	100.00	100.00
1.10	90.67	90.33	92.67	97.53	98.77	99.30	100.00	100.00	100.00
1.15	90.00	87.67	85.33	97.53	96.91	98.60	100.00	100.00	100.00
1.20	87.00	84.00	88.67	96.91	96.91	97.20	100.00	100.00	100.00

表 4 电压相同、不同温度下 PUF 单元的稳定性

温度/℃	未经筛选的 PUF 单元稳定性/%			第一次筛选的 PUF 单元稳定性/%			第二次筛选的 PUF 单元稳定性/%		
	Chip1	Chip2	Chip3	Chip1	Chip2	Chip3	Chip1	Chip2	Chip3
20	92.00	89.33	88.00	99.38	98.77	99.30	100	100	100
40	85.67	95.00	82.00	98.77	98.77	99.30	100	100	100
60	94.67	82.00	96.33	99.38	100	99.30	100	100	100
80	96.00	82.67	97.00	100	98.77	100	100	100	100

5 结 论

PUF 主要利用芯片自身固有特性进行认证识别,目前已被广泛应用于硬件安全领域。但是,操作条件和热噪声引起的波动可能会损坏 PUF 重现相同输出的能力,从而降低了 PUF 作为芯片识别的可信度。本文利用微弱延时调整来识别可靠 Slice,仅通过增加两次扇出,就能识别出一定数量的可靠 Slice,并且 PUF 单元可以选择性映射到一个 Slice 中,资源开销小。另外,在广泛的操作条件下进行多次鲁棒性测试,结果表明,可靠性达到 100%,有效提高了 PUF 的稳定性,具有广泛的使用价值。需要指出的是,扇出的增加并不是无限度的,如果扇出增加得过多,会造成过测试问题。应根据实际应用环境对 PUF 输出可靠性的要求,适当增加扇出。

参 考 文 献:

- [1] GU C, HANLEY N, O'NEILL M. FPGA-based strong PUF with increased uniqueness and entropy properties [C] // IEEE Int Symp Circ & Syst. Baltimore, MD, USA. 2017: 1-4.
- [2] GUAJARDO J, KUMAR S S, SCHRIJEN G J, et al. FPGA intrinsic PUFs and their use for IP protection [C] // 9th Int Workshop Cryptogra Hardware & Embed Syst. Vienna, Austria. 2007: 63-80.
- [3] KANG H, HORI Y, SATOH A. Performance evaluation of the first commercial PUF-embedded RFID [C] // 1st IEEE Global Conf Consum Elec. Tokyo, Japan. 2012: 5-8.
- [4] SUH G E, DEVADAS S. Physical unclonable functions for device authentication and secret key generation [C] // 44th ACM/IEEE Des Autom Conf.

- San Diego, CA, USA. 2007: 9-14.
- [5] HOLCOMB D E, BURLESON W P, FU K. Power-up SRAM state as an identifying fingerprint and source of true random numbers [J]. IEEE Trans Comput, 2009, 58(9): 1198-1210.
 - [6] TEHRANIPOOR F, KARIMIAN N, YAN W, et al. Dram-based intrinsic physically unclonable functions for system-level security and authentication [J]. IEEE Trans VLSI Syst, 2017, 25(3): 1085-1097.
 - [7] MAJZOBI M, KOUSHANFAR F, POTKONJAK M. Lightweight secure PUFs [C] // IEEE/ACM Int Conf Comput-Aided Des. San Jose, CA, USA. 2008: 670-673.
 - [8] MAITI A, SCHAUMONT P. Improved ring oscillator PUF: an FPGA-friendly secure primitive [J]. J Cryptol, 2011, 24(2): 375-397.
 - [9] XU X M, LIANG H G, HUANG Z F, et al. A highly reliable butterfly PUF in SRAM-based FPGAs [J]. IEICE Elec Expr, 2017, 14(14): 20170551.
 - [10] ARDAKANI A, SHOKOUHI S B. A secure and area-efficient FPGA-based SR-Latch PUF [C] // 8th Int Symp Telecommun. Tehran, Iran. 2016: 94-99.
 - [11] YAMAMOTO D, SAKIYAMA K, IWAMOTO M, et al. Variety enhancement of PUF responses using the locations of random outputting RS latches [J]. J Cryptogra Engineer, 2013, 3(4): 197-211.
 - [12] YU M D, DEVADAS S. Secure and robust error correction for physical unclonable functions [J]. IEEE Des & Test Comput, 2010, 27(1): 48-65.
 - [13] YAN W, JIN C, TEHRANIPOOR F, et al. Phase calibrated ring oscillator PUF design and implementation on FPGAs [C] // 27th Int Conf Field Programm Logic & Applic. Ghent, Belgium. 2017: 1-8.
 - [14] VATAJELU E I, NATALE G D, PRINETTO P. Towards a highly reliable SRAM-based PUFs [C] // DATE. Dresden, Germany. 2016: 273-276.
 - [15] WESTE N H E, HARRIS D M. CMOS VLSI design: a circuits and systems perspective [M]. 4th ed. Beijing: Publishing House of Eletronics Industry, 2012.
 - [16] LIANG H, XU X, HUANG Z, et al. A methodology for characterization of SET propagation in SRAM-based FPGAs [J]. IEEE Trans Nucl Sci, 2016, 63(6): 2985-2992.

(上接第 290 页)

部气氛检测修正因子进行了适用性分析。当内腔体积在 $0.001 \sim 0.01 \text{ cm}^3$ 范围内, GJB548B-2005 中提出的修正因子仍能适用。基于本文结果可知, 随着内腔体积不断变小, 内部气氛实测值越来越大。封接环境温度 T_r 与封接温度 T_s 相对稳定, 则会出现 C_T 无法适用的情况。因此, 要检测更小内腔体积的内部气氛时, 需进一步对 C_T 的实用性进行分析, 确保能精确检测小腔体元器件内部水汽含量。

参 考 文 献:

- [1] 吴文章. 密封元器件的残余气氛分析 [J]. 电子产品可靠性与环境试验, 2004, 22(2): 34-36.
- [2] 余咏梅. 陶瓷外壳内部气氛和多余物对产品性能的影响 [J]. 电子与封装, 2012, 12(1): 11-13.
- [3] 徐爱斌. 密封电子元器件内部水汽含量问题探讨 [J]. 电子产品可靠性与环境试验, 2002, 20(6): 26-28.
- [4] United States Department Of Defence. MIL-883G-2006 Test method standard microcircuits [S]. 2006.
- [5] 阳辉. 内部水汽含量检测技术和低压封装限制 [J]. 电子产品可靠性与环境试验, 2002, 20(6): 22-25.
- [6] 信息产业部电子第四研究所. GJB548B-2005 微电子元器件试验方法和程序 [S]. 2005.
- [7] 吴文章, 白桦, 刘艳芳. 密封元器件中氢气的产生与控制 [J]. 电子与封装, 2009, 9(8): 34-37.
- [8] 陈鹏, 欧昌银. 微电路封装产品内部水汽含量的分析与控制方法 [J]. 电子与封装, 2004, 4(3): 20-23.
- [9] 许桂芳. 元器件的封装气氛及内部材料物质对其内部水汽含量的影响 [J]. 实验技术与试验机, 2004, 44(3): 42-44.

灌封工艺方案与产品结构设计的匹配性研究

张世莉, 肖 玲, 陈 亮, 周 元

(中国电子科技集团公司 第二十四研究所, 重庆 400060)

摘 要: 在高可靠微电路模块设计中, 封装结构通常采用产品灌封的方式, 以满足产品抗冲击振动、恶劣环境、导热、绝缘等要求。剖析了某灌封模块样品的应力失效典型案例。采用仿真与试验验证相结合的方式验证, 提出了灌封工艺方案与产品结构设计匹配性与适宜性的研究方法。该方法为后续灌封方案与产品结构匹配性提供了理论指导和技术支持。

关键词: 灌封工艺; 结构设计; 环境适应性

中图分类号: TN406

文献标识码: A

文章编号: 1004-3365(2020)02-0297-06

DOI: 10.13911/j.cnki.1004-3365.190568

Study on the Matching Between Potting Process and Product Structure Design

ZHANG ShiLi, XIAO Ling, CHEN Liang, ZHOU Yuan

(1. The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing 400060, P. R. China)

Abstract: In the design of highly reliable microcircuit module, the potting process was adopted usually in the packaging structure to meet the requirements of product in mechanical shocking and vibrating, harsh environment, heat exchanging, insulation, etc. A typical stress failure case of certain potting module was analyzed. A method was proposed to investigate the matching and suitability between the potting process and product structure design, and it was verified by simulation and test. This method provided a theoretical guidance and technical support for the subsequent study on the matching between the potting process and the product structure.

Key words: potting process; structure design; environmental adaptability

0 引 言

电子产品被广泛应用于地面、航空、航天等领域。在高可靠微电路模块封装结构设计中, 为满足电子产品抗冲击振动、抗恶劣环境、防尘防潮防腐蚀、电绝缘和导热等要求^[1], 电路模块通常采用灌封封装方式。常用的灌封材料主要为各种聚合物类材料, 如环氧树脂、有机硅(酮)、聚酰亚胺、聚氨脂、液晶聚合物等^[1-4]。其中的有机硅(酮)类灌封料因其具有较宽的温度范围、易返修、固化后为弹性体、可吸收内应力等特性, 而成为高可靠应用场合中使用

最广泛的灌封材料。

在实际应用过程中, 虽然采用了柔性的有机硅(酮)类灌封料, 但元器件内部受过应力而失效的情况时有发生^[5-7]。这表明, 同型号灌封料在不同结构产品中使用产生的应力存在差异较大的问题。因此, 灌封方案设计不能只考虑材料的绝缘性、热导率、可生产性等自身因素, 还要考虑环境适应性因素, 如温度范围、线性膨胀系数、与内部结构的匹配性、灌封高度等。从某灌封方案与产品结构不匹配导致产品因过应力而失效的典型案例出发, 本文采用仿真分析与样品试验验证相结合的方式, 为后续灌封方案与产品结构的匹配性提供了有效解决方案。

收稿日期: 2019-09-26; 定稿日期: 2019-11-26

基金项目: 模拟集成电路国家重点实验室基金资助项目(614280204030317)

作者简介: 张世莉(1974—), 女(汉族), 四川广安人, 硕士, 高级工程师, 长期从事质量技术研究工作。

1 灌封产品失效案例剖析

1.1 问题

某模块样品采用 2 块 PCB 板和引针,进行上下焊接的互连装配。采用有机硅灌封料进行灌封。在振动试验考核过程中,出现无输出故障。经分析,失效原因为:结构设计与灌封工艺不匹配,基板整体强度和稳定性不足,抗弯能力较差。灌封胶体膨胀的应力导致基板严重变形,器件引线断裂,焊点开裂,典型图例分别如图 1、图 2 所示。

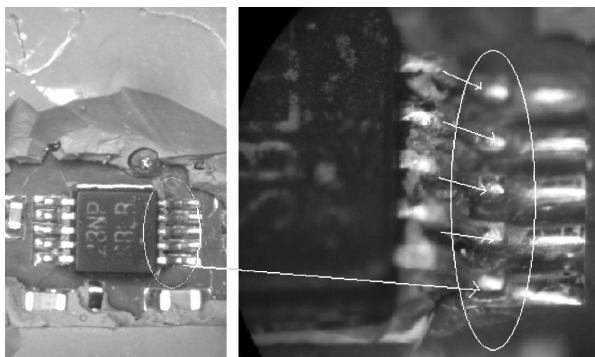


图 1 器件焊点裂纹

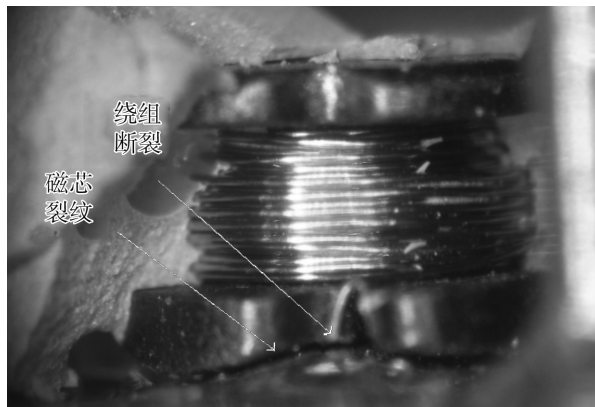


图 2 引线断裂及磁芯裂纹情况

针对上述案例,本文从样品的基板外形结构设计、版图设计和灌封高度设计三方面出发,采用 Ansys 仿真建模分析方法,结合产品试验摸底结果,对在温度、机械应力作用下的产品灌封工艺方案与结构设计的匹配性进行研究。

1.2 样品结构与灌封料

该样品为 2 块 PCB 基板上下叠装的双层结构,两端采用金属引线穿孔,焊接互连,基板厚度为 0.9 mm。上基板为长方形,焊点开裂的元件位于上基板正面。下基板为部分挖空的不规则形状,基板最窄的部位仅为 5.4 mm。引线及磁体断裂的元件位

于下基板正面。样品的基板外形如图 3 所示。在下基板的挖槽部位,安装了一个高度为 7 mm 的变压器。变压器顶部与上基板背面接触,如图 4 所示。2 块基板的两端采用 8 颗引针焊接互连,如图 5 所示。上、下基板焊接完成后,在开放式五面体金属外壳中进行整体灌封,如图 6 所示。

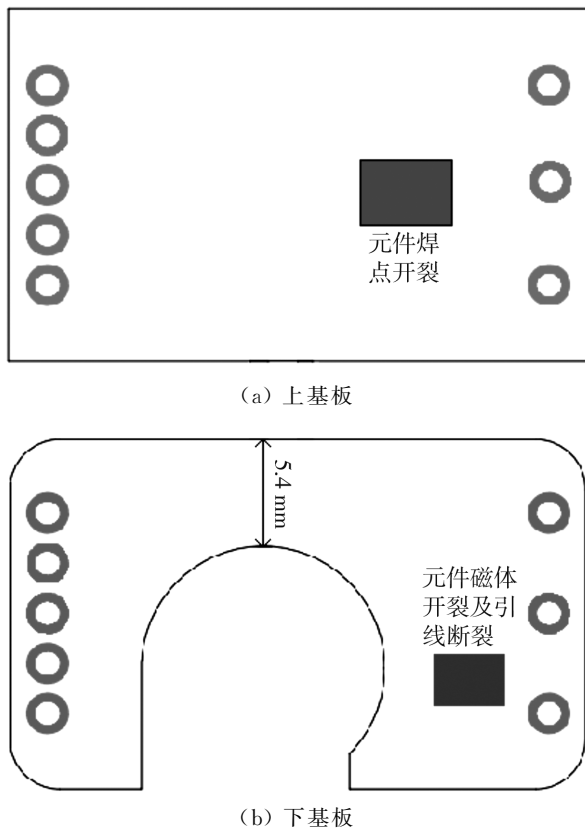


图 3 样品的基板外形

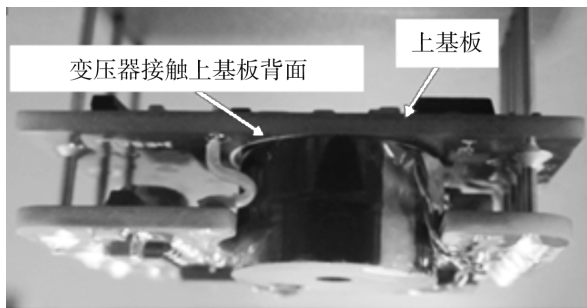


图 4 样品内部变压器安装图

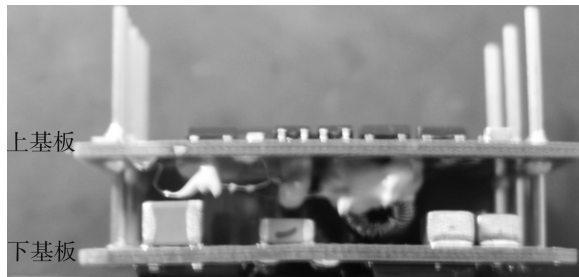


图 5 样品内部引针焊接互连图

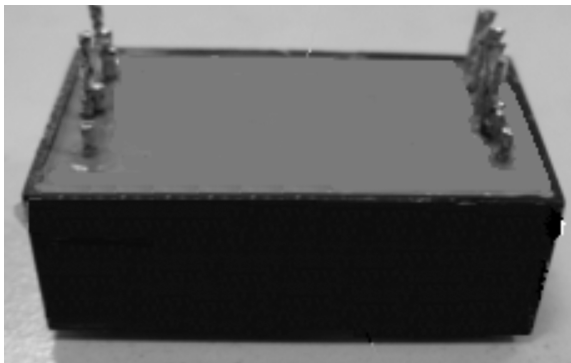


图 6 样品灌封后照片

样品灌封料选择 G 型有机硅类灌封料,为弹性体材料,肖氏硬度为 48。该灌封料两个样本的线性膨胀系数实测值分别为: $1.64 \times 10^{-4}/^{\circ}\text{C}$ ($0^{\circ}\text{C} \sim 40^{\circ}\text{C}$), $1.40 \times 10^{-4}/^{\circ}\text{C}$ ($0^{\circ}\text{C} \sim 100^{\circ}\text{C}$)。

1.3 应力集中产生的原因

下面从基板结构、元件两方面对应力集中产生的原因进行分析。在基板结构方面,因为基板厚度不足、形状不规则、尺寸稳定性差、抗弯能力较差,所以焊点在回流焊后受到的初始应力较大。基板厚度只有 0.9 mm,基板采用中部挖空结构,用于变压器安装,基板最窄部分的宽度仅为 5.4 mm。回流焊后,基板中部窄条区域存在明显弯曲,导致基板上元器件焊点在 Z 向上受到较大应力,并一直处于应力集中状态。该类现象对表面安装的磁性器件和窄间距 SMD 元件的影响较大。

在灌封工艺方案方面,内部应力中的热应力受线性膨胀系数、灌封温度的影响较大。有机硅灌封料的线性膨胀系数比元件大 3~5 倍。线性膨胀系数的差异较大,导致灌封体固化过程中电路模块与灌封料之间应力聚集。如果应力得不到及时松弛,灌封体内部将产生热应力集中。当产品受到振动、冲击、温度循环等试验应力时,内部器件或焊点会受到影响。灌封料应力作用如图 7 所示。

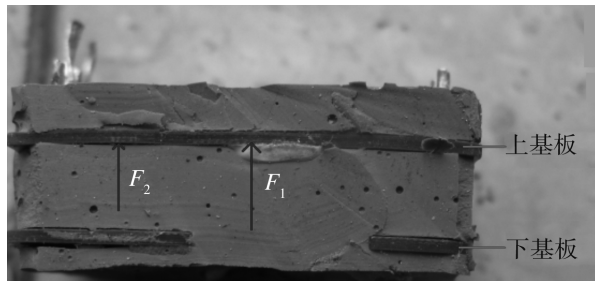


图 7 灌封料应力作用

可以看出,上基板受到背面灌封料和下基板背面灌封料共同作用,在高温下承受向上的膨胀作用

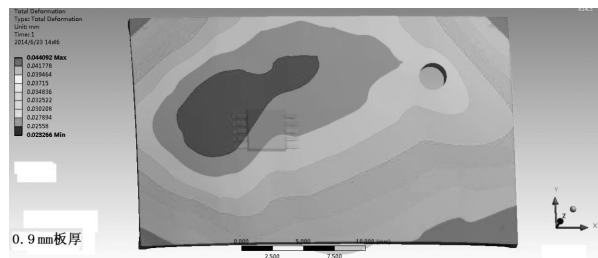
力(F_1 、 F_2)。上基板两端采用引针焊接固定,正面为开放式结构。在没受到向下的反作用力时,上基板无法抵消向上的应力,因而承受不了灌封胶向上膨胀的应力,中部发生向上弯曲。这就加剧了基板上元件焊点的应力,使得内部上基板表面安装的窄间距器件承受较大的拉应力。当弯曲应力大于焊料之间的结合力时,引脚焊接点的焊料将发生断裂。

1.4 应力仿真与改进措施

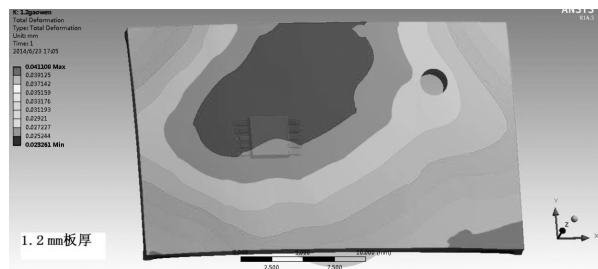
为了分析应力现象,提出产品的改进措施,将样品进行 Ansys 仿真建模。

1.4.1 基板变形与元件应力

失效样品的基板厚度为 0.9 mm。将 PCB 基板厚度分别设为 0.9 mm 和 1.2 mm,进行对比仿真分析。在 100°C 条件下,上 PCB 基板在不同板厚时的变形情况如图 8 所示。元件焊盘在不同板厚时的等效应力如图 9 所示。下 PCB 基板的变形情况如图 10 所示。在不同的下 PCB 板板厚时电感的等效应力如图 11 所示。上基板变形时元件焊盘的等效应力如表 1 所示。下基板变形时电感的等效应力如表 2 所示。

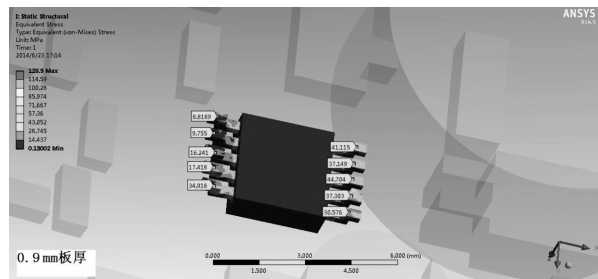


(a) 实例一

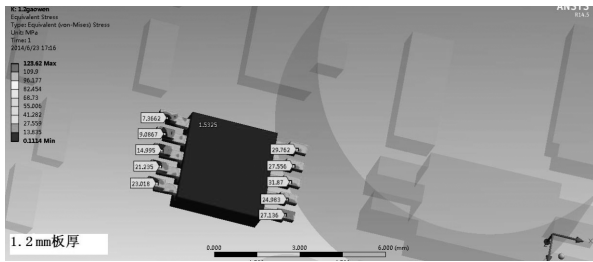


(b) 实例二

图 8 上 PCB 基板在不同板厚时的变形情况

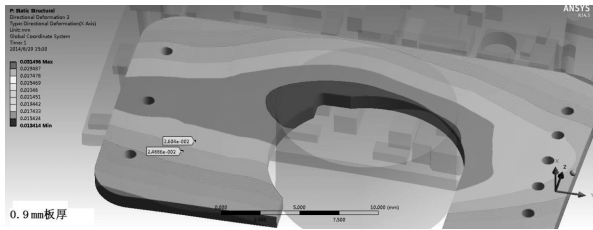


(a) 实例一

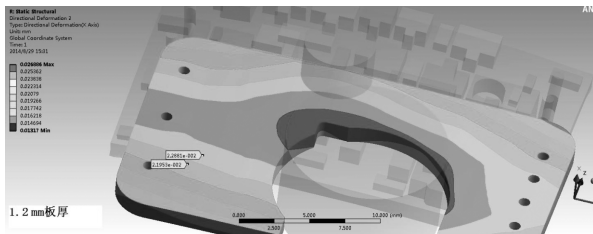


(b) 实例二

图 9 元件焊盘在上基板不同板厚时的等效应力

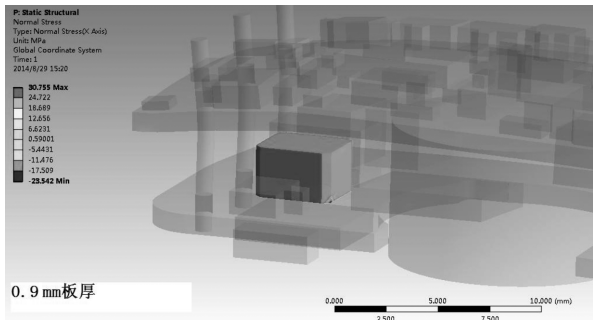


(a) 实例一

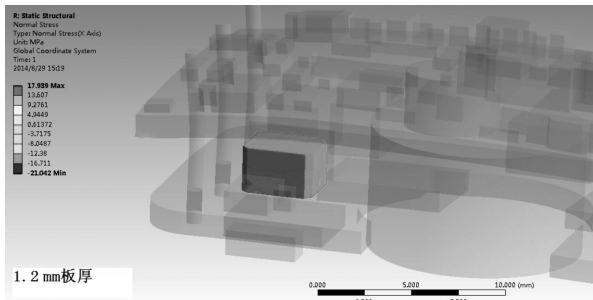


(b) 实例二

图 10 下 PCB 基板的变形情况



(a) 实例一



(b) 实例二

图 11 在不同的下 PCB 板厚时电感的等效应力

可以看出,基板厚度越薄,基板变形越大,元器件受到的应力越大。焊点开裂的器件或电感的位置

通常在变形较大的区域。基板变形对焊点有应力影响。如果变形过大,应力超过焊点或元件材料的内聚力后,焊点或元件将开裂。

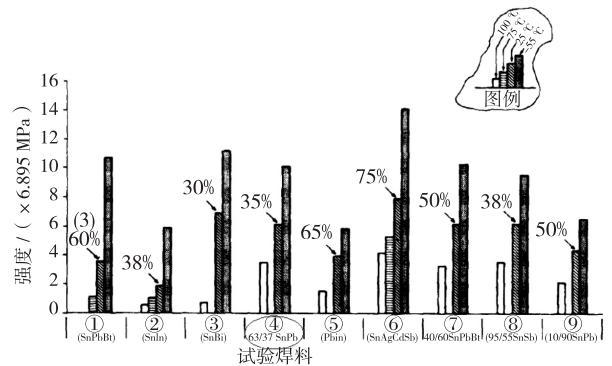
表 1 上基板变形时元件焊盘的等效应力

PCB 厚度/mm	下基板变形量/mm	电感的应力/MPa
0.9	0.044	44.7
1.2	0.041	31.8

表 2 下基板变形时电感的等效应力

PCB 厚度/mm	下基板变形量/mm	电感的应力/MPa
0.9	0.026 0	30.7
1.2	0.022 8	17.9

对 Sn63Pb37 焊料剪切强度数据进行对比。在 25 ℃ 常温下,面积为 $1.1 \times 2.9 \text{ mm}^2$ 的焊点的剪切强度为 42.2 MPa,即单位焊接面积上焊料的剪切力为 13.2 MPa/mm²。在 100 ℃ 下,单位焊接面积上焊料的剪切力下降约 6.6 MPa/mm²。焊料剪切强度与焊料成分的关系如图 12 所示^[8]。元件焊点受到的应力高于焊锡材料的承受应力时,应力会激发焊点开裂。



注:焊点厚度 1 mm; 全部试验在 0.5 mm/min 条件下进行; 在 25 ℃ 下(延展性试验)延伸到最大焊点负荷。

图 12 焊点剪切强度与焊料成分的关系

将 PCB 板厚度增加到 1.2 mm 后,在 100 ℃ 下基板的变形减少,器件受到的应力大幅减小,上基板焊点应力减小了 27.5%,下基板电感的应力减小了 41.7%。这说明增加基板厚度,可以改善基板的变形位移,从而减小基板上元件及焊点受到的应力。

1.4.2 灌封应力及改进措施

失效产品灌封胶体的高度 h 为 7.0 mm,将上基板与变压器完全覆盖。仿真分析时,将 h 分别设为 3.9、5.3、7.0 mm。在 h 为 5.3 mm、7.0 mm 时,胶体均会覆盖变压器,并与上基板接触。 h 为 3.9 mm 时,胶体与变压器齐平,不会与上基板接触。加

载温度为 100 ℃ 时,进行上、下基板变形的热应力分析。 h 因素的三维建模模型如图 13 所示。

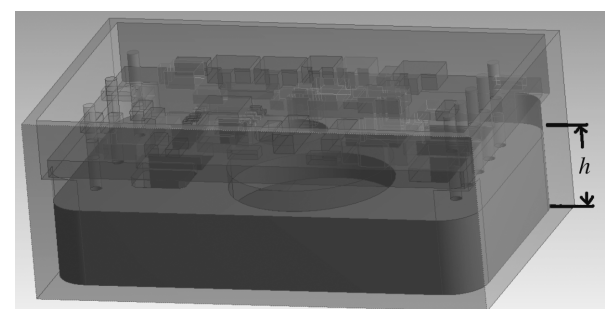


图 13 h 因素的三维建模模型

不同 h 时上、下基板变形情况如图 14 所示。不同 h 时上、下基板变形数据如表 3 所示。

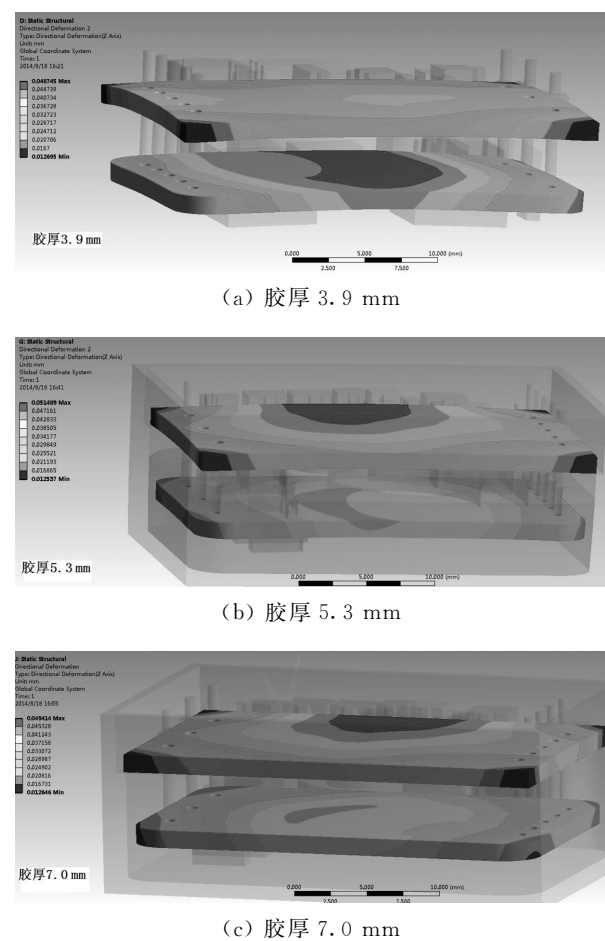


图 14 不同 h 时上、下基板的变形情况

表 3 不同 h 时上、下基板变形数据		
灌封胶高度/mm	上基板变形/mm	下基板变形/mm
3.9	0.039 3	0.048 7
5.3	0.051 4	0.044 3
7.0	0.049 4	0.042 1

可以看出,下基板的变形随 h 的增加而减小,但

h 为 5.3 mm、7.0 mm 时,上基板的变形明显增加,且变形最大位置为与胶有接触的背面变压器处。这说明胶体膨胀应力经由与胶接触的磁性器件传递到了上基板。

为了明确基板变形应力究竟是由 h 增加还是由应力传递引起,假设样品中只增加 h ,不考虑从变压器到上基板的应力传递。该条件下,上、下基板变形数据如表 4 所示。

表 4 不考虑应力传递、不同 h 时上、下基板变形数据		
灌封胶高度/mm	上基板变形/mm	下基板变形/mm
3.9	0.039 3	0.048 7
5.3	0.036 8	0.046 5
7.0	0.035 3	0.044 5

可以看出,随着 h 增加,上、下基板的变形位移反而减小,器件受到的应力也减小。这说明基板变形应力主要是由变压器与基板的应力传递而致,灌封胶则充当了应力传递的通道。因此,克服该类现象的改进措施为: h 尽可能厚,但注意不能接触上方 PCB 板及背面的元件。

2 优化方案与验证

2.1 优化方案

根据上述应力分析和仿真,在保证与原状态模块能直接替换的条件下,通过反复分析和论证,提出优化方案:1)将 PCB 基板的厚度由原来的 0.9 mm 改为 1.2 mm,以提高基板的机械强度;2)局部调整元件布局,基板上应力集中区域不放置应力敏感元件,对部分元件加固处理;3)在管壁侧开槽,对灌封高度 h 进行限位,既可防止变压器顶部的灌封胶接触到上基板,又可通过肉眼观察灌封料的实际状态,从而降低了灌封散热胶体受热膨胀而给上基板施加的应力。

2.2 验证

采用上述优化方案,组装样品,进行实物验证评估。评估是否有其他不良影响,是否满足用户要求。

将样品进行了温度循环、随机振动、温度冲击、热特性测试、高温老炼、X 射线检查、自主飞振动、大机动飞行振动、挂飞振动、发射冲击、横向冲击等试验。结果表明,样品的电特性满足整机使用要求,未发现因 PCB 基板变形而导致的焊点开裂、器件断裂等现象。

3 灌封工艺与结构匹配性原则

灌封工艺可以提升电路整体抗机械应力冲击的能力,但不能消除或减轻内部元器件受自身结构变形而导致的应力。灌封料自身存在热膨胀系数,在受到温度应力时,会给元器件带来更大的应力,可引起器件、引线或焊点开裂。因此,在考虑灌封工艺方案时,需通过结构设计,进行合理的匹配。具体方案如下。

1) 基板方面。需结合长、宽、厚及形状进行综合考虑,保证回流焊后基板弯曲、扭曲的变形率小于0.5%。在未灌封条件下,保证元器件没有异常的应力作用。如方形扁平无引脚封装(QFN)元件,其基板的弯曲会导致元件焊点开裂。通过增加基板厚度或采用规则结构,提高基板整体结构的稳定性。基板需挖孔安装时,应采取基板中间挖孔的方式,保持基板外形完整。

2) 元器件方面。注意识别应力敏感器件,如磁性器件、带有树脂包封层的器件等。这类器件易受灌封应力的影响而导致磁体或包封层开裂。通过对封口进行保护或在外部安装去应力胶带,可防止灌封料流到磁性器件内部,从而避免灌封料在温度应力作用下膨胀,对磁体造成应力损伤。

3) 互连引线方面。需要根据电路的结构采用合理的去应力方法,如互连引线打弯、软线连接等。

4) 版图设计方面。应力敏感器件应尽量避免应力敏感区域。如果无法避开,应沿着与应力平行的方向放置器件,避免或降低焊点受到异常应力作用。

5) 灌封实施方案。当内部两块基板互连成立体灌封结构时,要考虑是否存在基板受力方向不一

致的问题。如果灌封料膨胀方向与基板引线互连方向不一致,可通过仿真对灌封高度进行分析和设计,以便确认是否采用整体灌封方案。

4 结 论

针对某灌封模块样品,分析了试验过程中发生引线断裂、焊点开裂而导致无信号输出的实例。通过仿真与试验验证相结合的方式,针对样品结构与灌封工艺的匹配性、灌封料对内部元件的影响等方面,进行分析与验证,提供了适当的解决方案,效果较佳。按该方案改进后,已累积生产产品3 000套以上,未出现引线断裂、焊点开裂等问题。

参 考 文 献:

- [1] 罗刚. 电子器件灌封材料的现状及发展趋势 [J]. 试验科学与技术, 2010, 8(3): 20-22.
- [2] 黄恩, 刘丽红. 灌封材料与环境适应性 [J]. 环境技术, 2013, 26(6): 12: 32-35.
- [3] 孙霞. 环氧树脂灌封技术浅析 [J]. 电子世界, 2012(23): 80-81.
- [4] 聂磊, 石宝松. 绝缘导热有机硅材料在开关电源灌封中的应用 [J]. 电子工艺技术, 2016, 37(3): 160-162.
- [5] 郑星, 黄海莹, 陈颖, 等. 电路灌封体的失效机理分析 [J]. 电子与封装, 2014, 14(8): 36-38.
- [6] 张国彬, 刘春和, 彭道勇, 等. 环氧灌封胶开裂失效机理及对策研究 [J]. 电子产品可靠性与环境试验, 2009, 27(S1): 109-113.
- [7] 黄道生. 环氧树脂灌封材料及其工艺和常见问题 [J]. 电子与封装, 2007, 7(3): 1-3.
- [8] TUMMALA R R, RYMASZEWSKI E J, KLOPFENT EIN A G, et al. Microelectronics packaging handbook [M]. 2nd ed. 北京: 电子工业出版社, 2001: 980.