ISSN 1004-3365
CODEN:WEIDFK
CN 50-1090/TN

微电子学
MICROELECTRONICS

全国中文核心期刊

2020
第50卷 4

四川固体电路研究所 主办
Sichuan Institute of Solid-State Circuits
期刊网址：www.microelec.cn

ISSN 1004-3365
08>
9 771004 336204

微电子学
第五十卷 第四期
二〇二〇年八月

微 电 子 学

Weidianzixue

第 50 卷　第 4 期　2020 年 8 月

目　　次

·电路与系统设计·

·模型与算法·

·动态与综述·

·半导体器件与工艺·

·产品与可靠性·

Microelectronics

Vol. 50, No. 4 Aug. 2020

Contents

·电路与系统设计·

一种 10 MHz 带宽 70 dB 动态范围连续时间 Sigma-Delta 调制器

陈凯让[1]，王友华[1]，赵霜叶[2]，黄兴发[1]，刘建伟[1]，卢涛静[2]
(1. 模拟集成电路国家重点实验室，重庆 400060，2. 重庆吉芯科技有限责任公司，重庆 401334)

摘　要： 介绍了 4 阶反馈型连续时间 Sigma-Delta 调制器从顶层到底层的详细设计过程。采用数字置乱技术，降低失配对输出杂散的影响，使失配产生的谐波被转换为噪声，并被移出通带外。将谐振腔内嵌于调制器环路中，以改善带内信噪比。采用三级前馈型放大器，调制器具备更高的能效。该调制器基于 65 nm CMOS 工艺设计并流片。测试结果表明，在时钟频率为 614.4 MHz、信号带宽为 10 MHz 时，调制器的 SNDR 为 70.1 dB，动态范围达 70 dB。功耗为 77 mW。该调制器芯片的内核面积为 4.50 mm^2。

关键词： 连续时间 Sigma-Delta 调制器；数字置乱；前馈型放大器；谐振腔
中图分类号：TN79$^+$2　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0459-06
DOI：10.13911/j.cnki.1004-3365.190571

A Continuous-Time Sigma-Delta Modulator with 10 MHz Bandwidth and 70 dB Dynamic Range

CHEN Kairang[1], WANG Youhua[1], ZHAO Shuangye[2], HUANG Xingfa[1], LIU Jianwei[1], LU Taojing[2]
(1. *Science and Technology on Analog Integrated Circuit Laboratory*, *Chongqing* 400060, *P. R. China*;
2. *Chongqing Giga Chip Technology Co., Ltd.*, *Chongqing* 401334, *P. R. China*)

Abstract: A detailed top to down design progress of a fourth-order feedback mode continuous-time sigma-delta modulator was introduced. The digital shuffling method was used to eliminate the effect on the output spurious caused by the mismatch. Due to the calibration, the harmonic generated by the mismatch was transformed to noise and shaped to the out of the signal band. Aiming to further improve the SNR in the signal bandwidth, the resonator was embedded into the modulator. A power efficiency modulator was obtained by using the three-stage feed-forward amplifier. Finally, the modulator was designed and fabricated in a 65 nm CMOS process. The measurement results showed that the modulator achieved a peak SNDR of 70.1 dB at 10 MHz bandwidth with a sampling frequency of 614.4 MHz while obtaining a dynamic range up to 70 dB. The power consumption was 77 mW. The core area of the modulator chip was 4.50 mm^2.

Key words: continuous-time sigma-delta modulator; digital shuffling; feed-forward amplifier; resonator

收稿日期：2019-09-30；**定稿日期：**2019-11-27
基金项目：模拟集成电路国家重点实验室基金资助项目(61428020106)
作者简介：陈凯让(1986—)，男(汉族)，博士，研究方向为模拟数字转换器设计。

0　引　言

随着无线通信应用朝多样化方向发展，通讯系统不断小型化。接收机作为各种无线通信系统的关键部件，需要具备高集成度的特点。传统超外差接收机包含了从射频到基带的各种降频、滤波模块，占用大量面积，很难实现全集成化。新型的直接转化接收机只包含 1 个混频器、1 个 1 阶低通滤波器和 1 个模数转换器（ADC）[1-3]，滤波模块数大大减少，使接收机全集成化成为可能。但这种接收机对 ADC 的功能要求更高，ADC 需具备量化、抗混叠滤波的功能。传统的 Pipeline、Flash、SAR 等高速低功耗 ADC 均不具备抗混叠滤波的功能[4-6]，会增加整个接收机的面积，不易集成。

连续时间 Sigma-Delta 调制器（CTSDM）因自带抗混叠滤波特性，避免了在信号输入端使用额外的抗混叠滤波器[7]，大幅减小了芯片面积，实现系统的小型化，降低成本。CTSDM 是对积分后的信号进行采样，整个积分过程是连续的，能有效避免设计高带宽运放、高速采保电路，有效降低功耗，延长芯片寿命。

本文提出了 CTSDM 从顶层到底层的详细设计过程，实现了电路。基于 65 nm CMOS 工艺进行流片，实现了一种带宽（BW）为 10 MHz、动态范围（DR）达 70 dB 的连续时间 Sigma-Delta 调制器。

1　4 阶 CTSDM 系统架构设计

Sigma-Delta 调制器的原理是对量化噪声积分并滤波，使整个调制器呈现对信号低通和对噪声高通的特性。带内噪声被移至高频处，提高带内的信噪比。基于谐振腔的 4 阶 CTSDM 如图 1 所示[5]。电路包括谐振腔 1（R_5、C_1、R_2、C_2）、谐振腔 2（R_6、C_3、R_4、C_4）、低精度子 ADC、反馈单元（DAC_1 ～ DAC_4）和补偿延迟单元（$DAC_{\_ELD}$）。

谐振腔通过增加带内零点来提高信号带宽。通过配置各电阻、各电容、反馈单元、补偿延迟单元中电流的大小，滤波特性满足一定的滤波函数，最终，CTSDM 实现对量化噪声整形、对信号滤波的特性。因此，获得合理的环路滤波传递函数尤为重要。

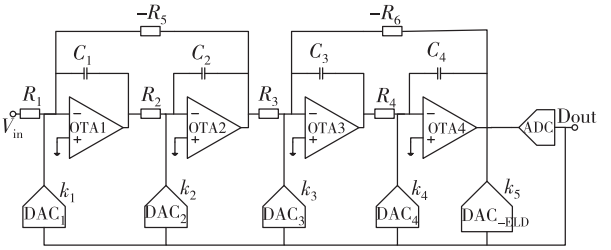


图 1　4 阶 CTSDM 的结构

利用 Matlab 中 Sigma-Delta 工具箱仿真，获得 4 阶 CTSDM 在 10 MHz 带宽下过采样率（OSR）为 32 的环路滤波传递函数，其表达式为：

$$L_C(s)=\frac{-1.234s^3-0.916\,8s^2-0.422s-0.094\,18}{s^4+0.008\,976s^2+9.399\times10^{-6}} \tag{1}$$

该滤波函数所对应的信号传递函数（STF）和噪声传递函数（NTF）的特性曲线如图 2 所示。可以看出，带内的噪声被移到了带外，带内信号并没有被破坏。通带内两处凹陷均为谐振腔谐振频率产生处。这表明，在提高带宽的同时，提高了信噪比。

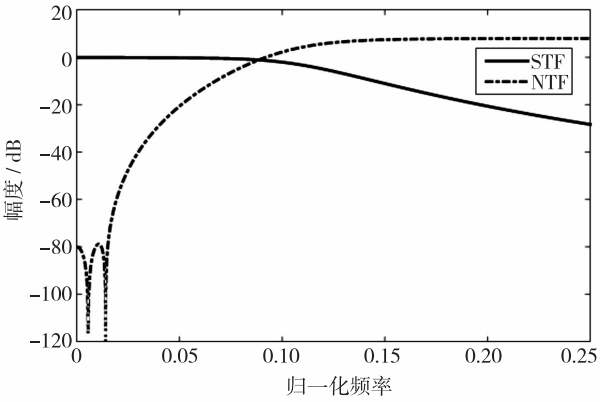


图 2　信号传递函数和噪声传递函数的特性曲线

为获得图 2 所示的传输特性，该 CTSDM 的环路滤波传递函数需与式（1）匹配。推导可得该 CTSDM 的环路滤波函数：

$$L_{C\_1}(s)=\frac{-A_1s^3-A_2s^2-A_3s-A_4}{s^4+(B_1+B_2)s^2+B_1B_2} \tag{2}$$

其中，

$$A_1=k_4\times\frac{1}{R_4C_4},$$

$$A_2=k_3\times\frac{1}{R_3C_3}\times\frac{1}{R_4C_4},$$

$$A_3=k_2\times\frac{1}{R_2C_2}\times\frac{1}{R_3C_3}\times\frac{1}{R_4C_4},$$

$$A_4=k_1\times\frac{1}{R_1C_1}\times\frac{1}{R_2C_2}\times\frac{1}{R_3C_3}\times\frac{1}{R_4C_4},$$

$$B_1=\frac{1}{C_1C_2R_2R_5},B_2=\frac{1}{C_3C_4R_4R_6} \tag{3}$$

式中，k_1、k_2、k_3、k_4 为 DAC_1～DAC_4 的归一化电流值，B_1、B_2 代表谐振腔的谐振频率。对比式(1)、式(2)和式(3)，可得各电阻值、各电容值和 DAC 的电流值。通常，R_1 需要通过热噪声计算获得[8]。输入端电阻的热噪声要低于整个调制器精度的 1/2 LSB，计算公式为：

$$R_1<\frac{V_{in}^2}{64KTf_B\cdot 3\cdot 2^{2N-1}} \tag{4}$$

式中，V_{in} 为输入信号的幅度，K 为玻尔兹曼常数，T 为热力学温度，f_B 为调制器的信号带宽，N 为信号带宽内的有效位数。取 V_{in} 为 0.3 V，f_B 为 10 MHz，N 为 12 位。通过式(4)，可得：

$$R_1<1.35\ \text{k}\Omega \tag{5}$$

在实际设计中，R、C 参数的选取还要考虑积分器输出摆幅的影响。如果参数选取不合理，会造成积分器的输出过大，产生很大的谐波失真。因此，需要根据式(3)，合理分配各积分器的参数和 DAC_1～DAC_4 中电流的值，最终，整个环路满足式(1)，还要使积分器的输出在合理范围内，避免电路振荡。

$DAC_{\_ELD}$ 的电流(k_5)需要根据实际电路的延迟来确定。通过电路仿真获得环路延迟，依据延迟求得新的环路滤波函数，使其满足图 2 所示的性能。根据新的环路滤波函数，并结合式(3)，重新获得新的 R、C 参数和 DAC_1～DAC_4 中的电流值。在本设计中，时钟频率为 614.4 MHz。假定环路延迟 t_d 为 0.2 个时钟周期，即环路延迟为 325.5 ps。根据文献[5]的推导过程，可得到该延迟下新的环路滤波函数：

$$L_{C\_td}(s)=\frac{-1.426s^3-1.003\,1s^2-0.440\,84s-0.094\,18}{s^4+0.008\,976s^2+9.399\times10^{-6}} \tag{6}$$

延时补偿 $DAC_{\_ELD}$ 中的归一化电流为：

$$K_5=0.265\,705 \tag{7}$$

最终，根据式(6)、式(3)和式(4)，获得环路所需要的参数值。

2　电路设计

2.1　放大器

要实现 70 dB 的线性度，则要求放大器在 10 MHz 带宽内的增益大于 40 dB，考虑工艺角、温度等因素的影响，需要预留 10 dB 以上的增益空间[9]。因此，需要设计单位增益带宽为 4 GHz 的放大器。

在 65 nm CMOS 工艺下，如果采用基于密勒补偿的多级放大器，则功耗较大。为了降低功耗，则采用前馈补偿放大器，如图 3 所示。

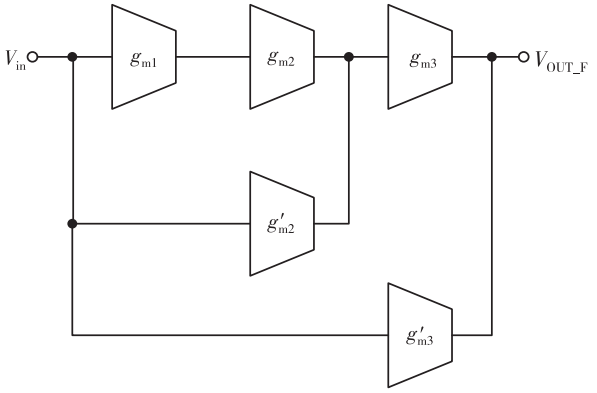


图 3　3 阶前馈放大器结构框图

该放大器从输入到输出的传递函数为：

$$\frac{V_{out\_F}}{V_{in}}=\frac{[A_1A_2A_3+A'_2A_3(1+\frac{s}{\omega_{p1}})]+A'_3(1+\frac{s}{\omega_{p1}})(1+\frac{s}{\omega_{p2}})}{(1+\frac{s}{\omega_{p1}})(1+\frac{s}{\omega_{p2}})(1+\frac{s}{\omega_{p3}})} \tag{8}$$

式中，$A_1=g_{m1}r_{o1}$，$A_2=g_{m2}r_{o2}$，$A_3=g_{m3}r_{o3}$，$A'_2=g'_{m2}(r'_{o2}\parallel r_{o2})$，$r_{o1}$、$r_{o2}$、$r_{o3}$、$r'_{o2}$ 分别为每一级跨导的输出电阻。从式(8)可知，通过前馈通路可以增加额外的左半平面(LHP)的零点，使放大器的相位正向移动，产生一个正相移，从而改善相位裕度。该方法并没有在级间增加额外负载，不会降低整个放大器的单位增益带宽，能维持低功耗。

3 级前馈型放大器如图 4 所示[10]。M5 管为第 1 级、第 2 级提供前馈补偿，M8 管为第 2 级、第 3 级提供前馈补偿。

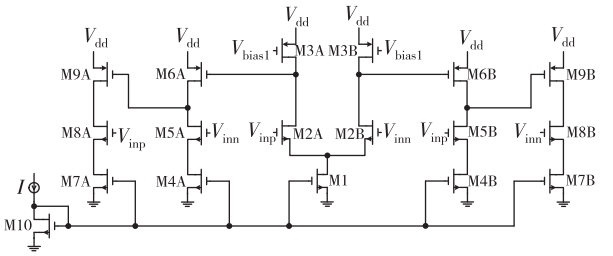


图 4　3 级前馈放大器

基于 65 nm CMOS 工艺进行仿真，3 级放大器

的增益以及相位仿真曲线如图 5 所示。可以看出，在负载电容为 0.2 pF 下，相位裕度为 85°，单位增益带宽为 6.7 GHz。

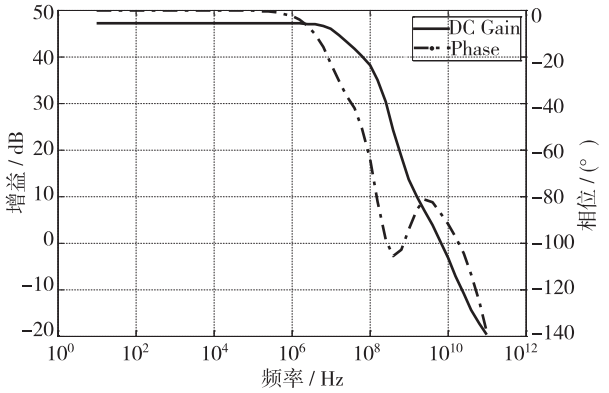


图 5　3 级前馈放大器的增益及相位仿真曲线

2.2　DAC

反馈环路中的 DAC 用于恢复量化后的信号。该信号的质量直接影响调制器的性能。综合考虑速度和线性度，将 NMOS 电流舵 DAC（如图 6 所示）用于反馈环路中 DAC 的设计。

相比于互补电流舵 DAC，NMOS 电流舵 DAC 减少了 PMOS 电流源，失配误差可减少一半。因此，大幅提高了线性度。但是，NMOS 电流舵型 DAC 的噪声较大。通过提高 NMOS 电流源的过驱电压，即适当提高 DAC 输出的共模电压，降低了输出噪声。为了改善输出的线性度，NMOS 电流源采用共源共栅结构，增大了输出阻抗。

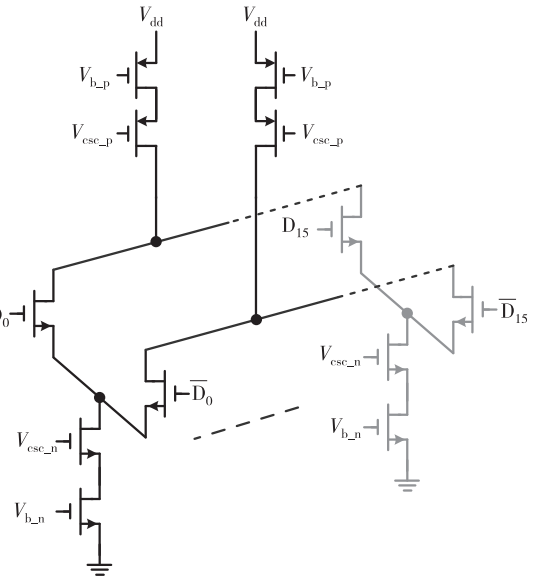


图 6　NMOS 电流舵 DAC

2.3　参考电压置乱数字校正

在多比特 CTSDM 中，由于制造工艺、工艺角的限制，DAC 不同单元间会产生失配。电流越小，失配现象越严重，在带内衍生出众多谐波，导致转换器的有效精度降低。为降低失配的影响，对 DAC 的输入码字进行数字置乱（Shuffling），即对数字信号进行 1 阶调制校正。遵循的规则，即元素旋转选择法，如图 7 所示[9]。在不断旋转中，选择不同的元素，使得不同元素产生的正误差与负误差之和为零，从而消除了 DAC 内部失配产生的总误差。理论上，失配产生的谐波能量不会被引入通带内。这里所指的元素可以是 DAC 单元，也可以是比较器的参考电压。

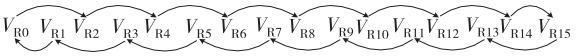


图 7　元素旋转选择法

对 DAC 输入码字进行额外置乱处理，会增大整个调制器环路的延迟，增大环路振荡风险。为此，参考电压置乱被提出[11]。通过对比较器的参考电压进行预先置乱，使比较器直接产生置乱后的码字，达到对 DAC 输入码字置乱的效果。参考电压置乱方法如图 8 所示。该方法在不增加环路延迟的条件下，达到同样的效果。

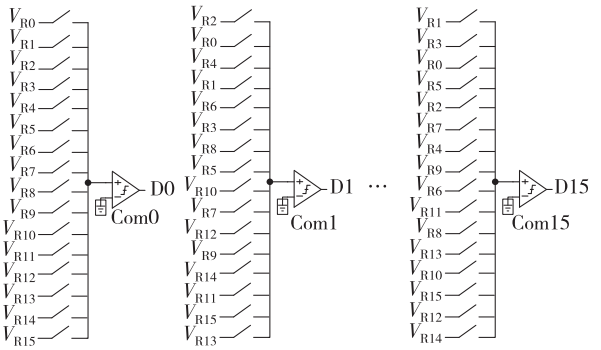


图 8　参考电压置乱方法

每个比较器的参考电压可有 16 种选择，每次比较过程中，比较器的参考电压按图 7 所示的方法来选择。由于这种方法并没有在整个调制器环路中增加额外电路，因此不会产生额外的环路延迟。同时，由于比较器参考电压被置乱，比较器失调产生的谐波可以间接地被转换成噪声，整个调制器性能得到提升。

2.4　比较器

低精度子 ADC 是一个有 17 个量化级别的

Flash ADC，包含 16 个比较器。考虑到延迟对环路稳定性的影响，应尽可能降低比较器的跟踪和重新建立时间。比较器如图 9 所示[12]。在跟踪状态(CLK＝0)下，M_3 管导通，M_4 与 M_1 管组成一级预放大器，对输入信号进行采样和放大，降低了比较器的重建时间。在重建状态(CLK＝1)下，在跟踪时，M_1 管工作在线性区，在重构开始时，输出点 V_{out_n}、V_{out_p} 的初始电压接近 V_{dd}，增大了 M_2 管的栅源电压 V_{GS}，降低了锁存器的重建时间常数，从而降低了比较器的重建时间。

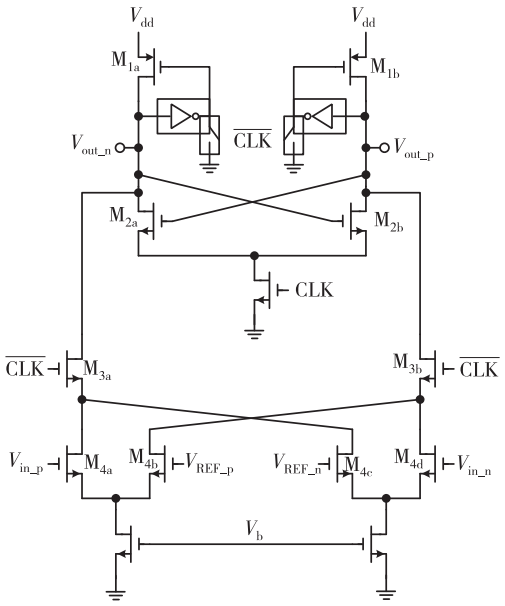


图 9　比较器

3　测试结果

该 4 阶 CTSDM 在 65 nm CMOS(1P8M)工艺下流片，芯片内核尺寸为 2.96 mm×1.52 mm。整个芯片采用 CQFP48F 封装。内核照片如图 10 所示。

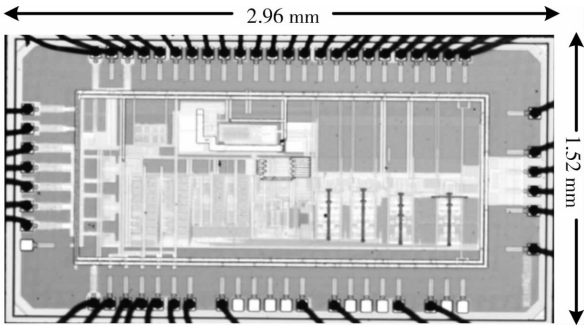


图 10　4 阶 CTSDM 内核照片

供电电压为 1.3 V，采样频率为 614.4 MHz，相干输入信号频率为 5.288 MHz，采样点有 16 384 个。数字校正开启前后的输出频谱如图 11 所示。可以看出，在数字置乱校正开启后，谐波幅度大幅下降，在带宽为 10 MHz 下，SNDR 为 70.12 dB，SFDR 为 83.63 dB，通带内有效位数为 11.36 位，功耗为 77 mW。不同输入信号幅度下 SNR/SNDR 的测试结果如图 12 所示。可以看出，动态范围达 70 dB。

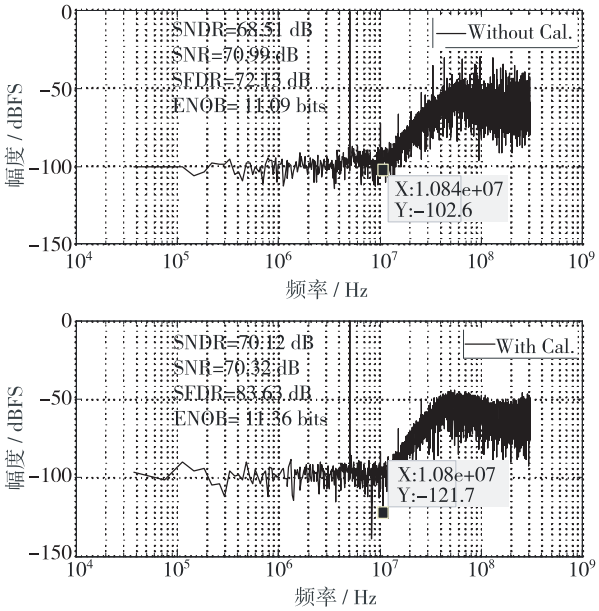


图 11　输出频谱测试结果

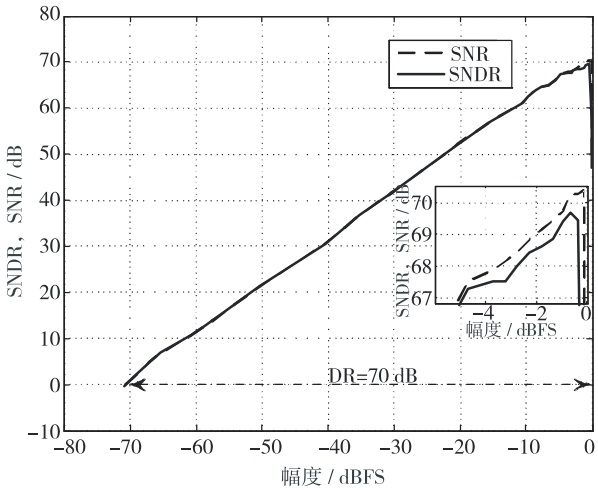


图 12　不同输入幅度下 SNDR/SNR 的测试结果

4　结　论

本文给出了基于谐振腔的 4 阶 CTSDM 从顶层

到底层的详细设计过程，给出了各功能单元的电路实现。为提高调制器的性能，采用了数字置乱技术和前馈型放大器。该调制器在 65 nm 工艺下流片并验证。结果表明，该调制器能实现 70 dB 的动态范围，满足接收机的需求。

参 考 文 献：

[1] CHALVATZIS T, GAGNON E, REPETA M, et al. A low-noise 40 GS/s continuous-time bandpass ΔΣ centered at 2 GHz for direct sampling receivers [J]. IEEE J Sol Sta Circ, 2007, 42(5): 1065-1075.

[2] LU C Y, SILVA-RIVAS J F, KODE P, et al. A sixth-order 200 MHz IF bandpass sigma-delta modulator with over 68 dB SNDR in 10 MHz bandwidth [J]. IEEE J Sol Sta Circ, 2010, 45(6): 1122-1136.

[3] CHAE H, JEONG J, MANGANARO G, et al. A 12 mW low power continuous-time bandpass ΔΣ modulator with 58 dB SNDR and 24 MHz bandwidth at 200 MHz IF [C] // IEEE Int Sol Sta Circ Conf. San Francisco, CA, USA. 2012, 45(6): 148-149.

[4] LEWIS S H. Optimizing the stage resolution in pipelined, multistage, analog to digital converters for video-rate applications [J]. IEEE Trans Circ Syst II: Expr Bri, 1992, 39(8): 516-523.

[5] HASHEMI S, RAZAVI B. A 7.1 mW 1 GS/s ADC with 48 dB SNDR at Nyquist rate [J]. IEEE J Sol Sta Circ, 2014, 49(8): 1739-1750.

[6] ZHANG D, BHIDE A, ALVANDPOUR A. A 53-nW 9.1-ENOB 1-kS/s SAR ADC in 0.13 μm CMOS for medical implant devices [J]. IEEE J Sol Sta Circ, 2012, 47(7): 1585-1593.

[7] PAVAN S, SCHREIER R, GABOR C. Understanding delta-sigma data converters [M]. New York: IEEE Press, 2017: 231-232.

[8] ORTMANNS M, GERFERS F. Continuous-time sigma - delta A/D conversion [M]. New York: Springer, 2006: 178-179.

[9] CALDWELL T, ALLDRED D, LI Z. A reconfigurable ΔΣ ADC with up to 100 MHz bandwidth using flash reference shuffling [J]. IEEE Trans Circ Syst I: Reg Pap, 2014, 61(8): 2263-2271.

[10] THANDRI B K, MARTINEZ J S. A robust feedforward compensation scheme for multistage operational transconductance amplifiers with no miller capacitors [J]. IEEE J Sol Sta Circ, 2003, 38(2): 237-243.

[11] DORRER L, KUTTNER F, WIESBAUER A, et al. A 10-bit, 3 mW continuous-time sigma-delta ADC for UMTS in a 0.12 μm CMOS process [C] // IEEE Proc Europ Sol Sta Circ Conf. Estoril, Portugal. 2003: 245-248.

[12] SHIBATA H, SCHREIER R, YANG W H. A DC-to-1 GHz tunable RF ΔΣ ADC achieving DR=74 dB and BW=150 MHz at f_0=450 MHz using 550 mW [J]. IEEE J Sol Sta Circ, 2012, 47(12): 2888-2897.

一种 13.22 fJ 12 位 200 MS/s 电流舵 DAC

张　帅，张润曦，石春琦
（华东师范大学 微电子电路与系统研究所，上海 200241）

摘　要： 采用 55 nm CMOS 工艺，设计了一个 12 位电流舵 DAC。根据 Matlab 建模结果，确定电流舵 DAC 采用“6＋3＋3”的分段结构，这种分段结构使得版图面积和微分非线性（DNL）均较小；共源共栅电流源有效提高了电流源的输出阻抗；开关结构中的 MOS 电容减小了信号馈通效应的影响；与电流源栅端相连的电容稳定了电流源的偏置电压。基于以上特点，在未采用静态和动态校准技术的情况下，电流舵 DAC 能得到较好的性能指标。后仿真结果表明，采样率为 200 MS/s、输入信号频率为 1.07 MHz 时，在 25 ℃、TT 工艺角下，该 DAC 的无杂散动态范围（SFDR）为 78.62 dB，DNL 为 0.5 LSB，积分非线性（INL）为 0.8 LSB。该电流舵 DAC 的电源电压为 1.2 V，功耗为 18.43 mW，FOM 为 13.22 fJ。

关键词： 电流舵 DAC；共源共栅电流源；无杂散动态范围；FOM
中图分类号：TN79^{+}2　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0465-05
DOI：10.13911/j.cnki.1004-3365.190502

A 13.22-fJ 12-bit 200-MS/s Current Steering DAC

ZHANG Shuai, ZHANG Runxi, SHI Chunqi
(*Institute of Microelectronic Circuits and Systems, East China Normal University, Shanghai* 200241, *P. R. China*)

Abstract: Based on a 55 nm CMOS technology, a 12-bit current steering digital-to-analog converter (DAC) was designed. According to the results of the Matlab modeling, the current steering DAC was doubly-segmented “6＋3＋3” architecture, which had small area and DNL. The cascode current source provided high output impedance. The MOS used as capacitance in the switch and current source cell could reduce the signal feedthrough effect. The capacitance connected to the gate of the current source MOS could keep the bias voltage stable. With these features, the current steering DAC had obtained high performance without static and dynamic calibration techniques. The post-simulation results showed that the intrinsic accuracy DAC provided 78.62 dB spurious free dynamic range (SFDR) with 1.07 MHz input signal at 200 MHz sampling clock frequency, TT corner and 25 ℃. The integral non-linearity (INL) and the differential non-linearity (DNL) were 0.8 and 0.5 least significant bit (LSB), respectively. The 1.2 V power supply was used by the proposed DAC. The total power consumption was 18.43 mW. The figure of merit (FOM) of the proposed DAC was 13.22-fJ.

Key words: current steering DAC; cascode current source; SFDR; FOM

0　引　言

过去，集成电路领域的发展一直遵循着摩尔定律[1]。集成电路领域中，CMOS 工艺的特征尺寸不断减小，集成度不断提高。数字电路一直受益于集成电路逐渐变小的特征尺寸、不断提高的集成度、越来越低的电源电压和功耗，并且数字电

收稿日期：2019-08-24；**定稿日期：**2019-10-08
基金项目：国家自然科学基金资助项目(61306034)
作者简介：张　帅(1989—)，男(汉族)，安徽亳州人，硕士研究生，研究方向为电流舵 DAC 设计。
张润曦(1979—)，男(汉族)，江苏苏州人，博士，副教授，研究方向为 CMOS 模拟、射频集成电路设计。

路还具有较强的抗干扰能力，以及快速高效地处理数据的能力，因而得到了更为广泛的应用。但是，自然界中的信号大多数都是模拟信号，不是数字信号。数据转换器成为连接模拟电路与数字电路的纽带，分为数模转换器和模数转换器两种[2]。高速、高精度数模转换器的应用领域很广，可以应用在无线通信系统、图像信号处理系统和数字信号合成系统等领域[3]。与其他结构的 DAC 相比，电流舵 DAC 能直接驱动一定的电阻负载，而不需要缓冲器。这种特点使得电流舵 DAC 被广泛地应用在高速领域中。电流舵 DAC 有三种结构，分别为二进制译码结构、温度计译码结构和分段结构[2]。分段结构的电流舵 DAC 同时具有二进制译码结构和温度计译码结构的优点，即较小的毛刺和较小的版图面积。设计一个功耗较低、FOM 值较低、位数不少于 10 位的电流舵 DAC 是有一定难度的。对于电流舵 DAC，位数每增加一位，版图面积大约变为原来的 4 倍，版图中各部分之间的连线也大幅度增加。较大的版图面积会使得系统误差变大，而系统误差又与电源线压降、温度梯度，以及其他与工艺相关的因素有关。

文章第 1 节介绍该 12 位电流舵 DAC 的组成结构；第 2 节主要介绍该 12 位电流舵 DAC 中的 2 个主要模块，分别是开关电流单元和温度计译码器电路；第 3 节介绍电流舵 DAC 的后仿真结果；第 4 节为结论部分。

1　电流舵 DAC 的结构

本文设计的 12 位电流舵 DAC 的系统框图如图 1 所示。电流舵 DAC 的组成部分包括输入寄存器、时钟驱动电路、温度计译码器电路、输出锁存器与开关驱动电路、开关电流单元和电压转电流电路等。首先，12 位的输入数字码经过输入寄存器。然后，低 3 位采用二进制译码。中间 3 位二进制码经过 3-7 温度计译码器后，转换为 7 个温度计码，再经过输出锁存器和开关驱动电路，得到控制开关电流单元中电流流向的开关信号。高 6 位的二进制码经过 6-63 温度计译码电路，得到 63 个温度计码，再经过输出锁存器和开关驱动电路，得到控制电流流向的开关信号。

3-7 温度译码器可以直接通过门电路来实现。但是，为了保证译码电路的简洁高效性，6-63 温度计译码器采用行列译码的方式来实现译码。带隙基准电路用来产生高精度的参考电压，提供给电压转电流电路，以得到高精度的单位电流。输出锁存器用来同步温度计码和二进制码，可以明显减缓信号不同步带来的电流舵 DAC 性能明显下降的问题。开关驱动电路用来得到有低交叉点电压的开关信号，以避免开关电流单元中两个开关管同时关断的现象。

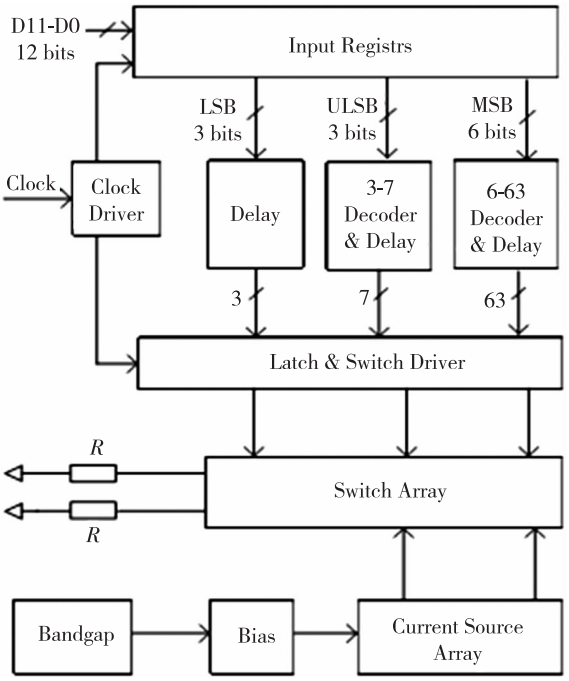


图 1　12 位电流舵 DAC 的系统结构图

2　电路设计

2.1　开关电流单元

开关电流单元是电流舵 DAC 中很重要的组成部分。其中，电流源和开关对管是静态误差和动态误差的来源。随机误差、系统误差和工艺中其他非理想因素均会对电流源和开关对管产生影响。开关信号的不同步、差分对开关管同时关断、馈通效应与电荷注入效应、电流源失配和有限输出阻抗等均会对电流舵 DAC 的动态特性产生影响。为了得到高性能的电流舵 DAC，电流舵 DAC 的输出阻抗应足够大，电流源要有较好的匹配，同时开关信号的交叉点电压要合适、同步性要好。开关电流单元的输出阻抗决定了电流舵 DAC 的输出阻抗，所以开关电流单元要有足够大的输出阻抗。

图 2 中，M1 和 M2 管组成共源共栅电流源结构。M1 管用来提供高精度的电流，M2 管用来提高电流源的输出电阻。电容 C_0 用来稳定电流源的偏置电压。共源共栅结构电流源的输出电阻比单管电流源大得多。M3 和 M4 管是差分“开关对”中的开关管。M3 和 M4 管导通与否是由来自开关驱动电路的开关信号决定的。开关信号决定来自电流源的电流是流向正相输出端还是反相输出端。M5 和 M6 管为 MOS 电容，用来减小馈通效应，其尺寸为开关管的一半。电流舵 DAC 工作在高频时，寄生电容 C_1、C_2 会对开关电流单元的输出阻抗产生明显的影响。为了减小寄生电容的影响，M1 和 M2 管需要恰当的尺寸，本文中，M2 管的栅长为 250 nm，M1 管的最小面积为：

$$(W*L)_{\min}=\frac{\frac{1}{2}\left[A_{\beta}^{2}+\frac{4A_{\mathrm{VT}}^{2}}{(V_{\mathrm{GS}}-V_{\mathrm{T}})^{2}}\right]}{\left(\frac{\sigma I}{I}\right)^{2}} \tag{1}$$

式中，$\sigma I/I$ 的取值为 0.279%，其对应的积分非线性的合格率为 99.7%。A_{VT} 和 A_{β} 是与工艺相关的参数。$V_{\mathrm{GS}}-V_{\mathrm{T}}$ 为 M1 管的过驱动电压，本文中，该过驱动电压为 0.2 V。对于 3.906 μA 的单位电流，可以得到 M1 管的面积最小值约为 36 μm^2。本文中，M1 管的栅长取值为 2.7 μm。由于 55 nm 工艺中，1.2 V MOS 管的最大栅长为 2 μm，因而本文 M1 管采用 2.5 V MOS 管。最终，M1 管的尺寸为 2.7 μm×13.5 μm。

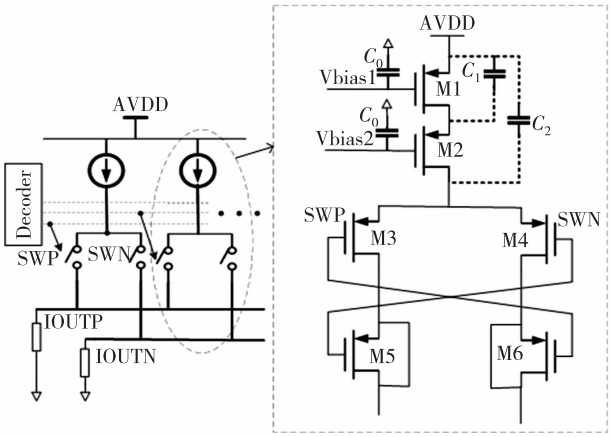


图 2　开关电流单元结构

2.2　6-63 温度计译码电路

在 6 位二进制码转换为 63 个温度计码的过程中，由于温度计码的位数较多，若只采用逻辑门电路，会出现译码不同步的情况。图 3 所示为两级行列译码器。为了使各位温度计码的译码过程具有较好的同步性，第一级译码器的信号为对等的“3＋3”形式。高 6 位二进制码中，D12、D11、D10 用来产生第二级的 7 个列信号，D9、D8、D7 用来产生第二级的 7 个行信号。

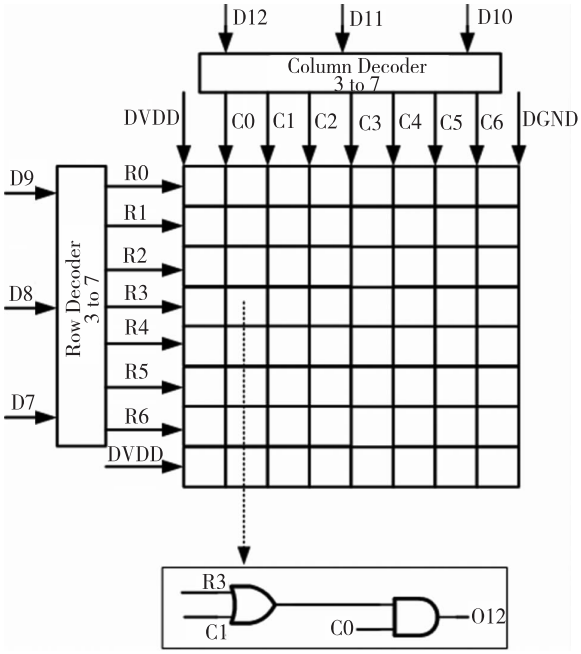


图 3　6-63 温度计译码器

图 3 所示的 6-63 温度计译码器中有两个 3-7 译码器，分别作为行译码器和列译码器。每个方格代表一个温度计码，总共有 64 个温度计码。右下角的方格为第 64 个温度计码，用来控制对应的伪电流源。每个温度计码的产生由 1 个行信号和 2 个列信号来决定，逻辑关系如图 3 所示。列信号总共有 9 个，分别为 DVDD、C0、C1、C2、C3、C4、C5、C6、DGND。行信号有 8 个，分别为 R0、R1、R2、R3、R4、R5、R6、R7、DVDD。由行列译码器产生的 64 个温度计码经过相应的输出锁存器和开关驱动电路，产生相应的开关信号，以便控制相应电流源电流的流向。

2.3　3-7 译码电路和电压转电流电路

电流舵 DAC 中，3-7 译码电路由与非门、或非门和非门组成，可以准确译码。带隙基准产生的高精度基准电压通过 Gain-Boost 结构转换为高精度的单位电流，提供给电流源阵列使用。

3　版图和后仿真

本文采用 55 nm CMOS 工艺来设计 12 位电流舵 DAC 的版图，如图 4 所示。版图面积为 1.368 mm^2。

整体版图中，数字模块版图和模拟模块的版图是分开放置的。时钟模块、3-7 译码器、6-63 译码器和输出锁存器等数字模块的版图被放置在整体版图的下部。开关驱动电路、电流源阵列和电压转电流等模拟模块的版图被放置在版图的上半部分。保护环用来减小衬底噪声对电流源和开关管的影响。版图左上角是电容。输入寄存器和输出锁存器采用不同的时钟信号。为了实现时钟信号的同步，两路时钟信号均采用树状走线。高 6 位二进制码对应的 63 个电流源和 1 个伪电流源组成了 8×8 的正方形。低 6 位对应的电流源和 1 个伪电流源组成了 3×3 的正方形。为了减小金属走线上电压降对电流源的影响，高 6 位对应的电流源之间的栅压偏置采用 H 型走线。以上的版图布局和走线技巧可以有效减小随机误差和系统误差带来的影响。

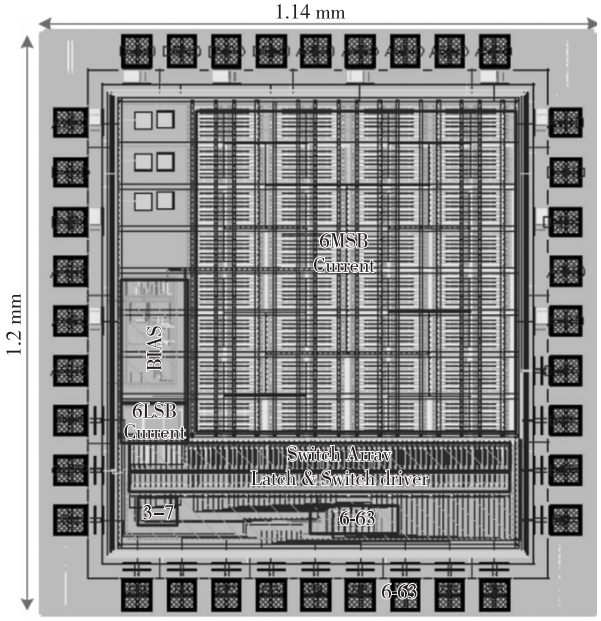


图 4　12 位电流舵 DAC 的版图

该 12 位电流舵 DAC 的动态特性的后仿真结果如图 5 所示。

采样率为 200 MS/s、输入信号频率为 1.07 MHz 时，无杂散动态范围（SFDR）为 78.62 dB，有效位（ENOB）为 11.23 bit。

电源电压为 1.2 V 时，12 位电流舵 DAC 的功耗为 18.43 mW，FOM 为 13.22 fJ。FOM 的表达式为[4]：

$$FOM=\frac{POWER}{2^N * F_S} \tag{2}$$

$$N=\frac{SFDR-1.76}{6.02} \tag{3}$$

式中，$POWER$ 为功耗，F_S 为采样率。

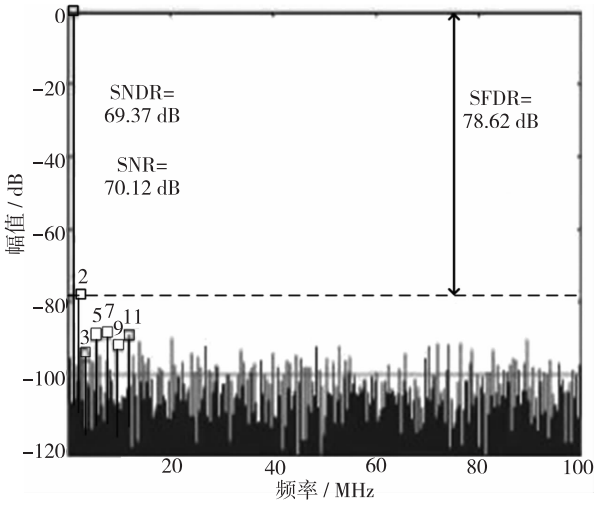


图 5　输出频谱的后仿真结果

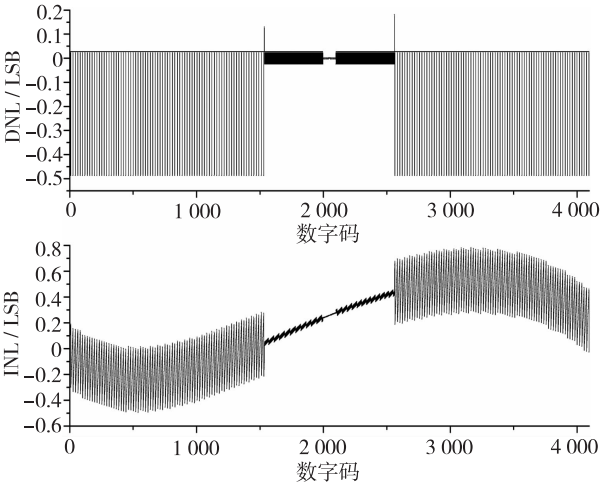


图 6　本文 12 位电流舵 DAC 的 DNL 和 INL

表 1 中列出了本文 12 位电流舵 DAC 与近年来国际上发表的电流舵 DAC 的性能参数对比结果。可以看出，本文 12 位电流舵 DAC 采用较低的电源电压，得到较高的 SFDR 和较低的 FOM。

表 1　电流舵 DAC 性能比较

对比文献	工艺/nm	采样率/(MS·s^{-1})	精度/bit	电源/V	功耗/mW	DNL/LSB	INL/LSB	FOM/fJ
文献[5]	130	200	13	1.5	25	0.4	0.8	9.99
文献[6]	180	250	10	1.5/1.8	22	0.1	0.1	24.12
文献[7]	130	100	12	1.2/1.5	18	-	1.3	84.89
文献[8]	180	250	10	1.8	19	1.8	1.6	148.43
文献[9]	130	250	10	3.3	45.6	0.5	0.6	25.05
文献[10]	180	500	14	1.8/3.3	67.7	-	-	66.11
本文	55	200	12	1.2	18.43	0.5	0.8	13.22

4　结　论

本文采用 55 nm CMOS 工艺，设计了一个采用“6＋3＋3”分段的 12 位电流舵 DAC，单一电源电压为 1.2 V，功耗为 18.43 mW。后仿真结果表明，在 25 ℃、TT 工艺角下，当采样率为 200 MS/s、输入信号频率为 1.07 MHz 时，SFDR 为 78.62 dB，ENOB 为 11.23 bit，相应的 FOM 值为 13.22 fJ。合理的版图布局和走线减小了随机误差、系统误差和延迟误差对电流舵 DAC 的后仿真结果的影响。与近年来已发表的部分文献中的 DAC 相比，本文 12 位电流舵 DAC 的电源电压最低，功耗较低，FOM 较低。

参 考 文 献：

[1] MOLLICK E. Establishing Moore's law [J]. IEEE Annals History Comput, 2006, 28(3): 62-75.

[2] SASEN W. Analog design essentials [M]. Berlin: Springer, 2008: 421-430.

[3] CHI J H, CHU S H, TSAI T H. A 1.8-V 12-bit 250-MS/s 25-mW self-calibrated DAC [C] // IEEE Proceed ESSCIRC. Sevilla, Spain. 2010: 222-225.

[4] KIM S N, KIM W C, SEO M J, et al. A 65-nm CMOS 6-bit 20 GS/s time-interleaved DAC with full-binary sub-DACs [J]. IEEE Trans Circ & Syst II: Expr Bri, 2018, 65(9): 1154-1158.

[5] CLARA M, KLATZER W, SEGER B, et al. A 1.5 V 200 MS/s 13 b 25 mW DAC with randomized nested background calibration in 0.13 μm CMOS [C] // IEEE Int Sol Sta Circ Conf. San Francisco, CA, USA. 2007: 250-600.

[6] DEVEUGELE J, STEYAERT M S J. A 10-bit 250 MS/s bianry-weighted current-steering DAC [J]. IEEE J Sol Sta Circ, 2006, 41(2): 320-329.

[7] MAO W, LI Y, HENG C H. High dynamic performance current-steering DAC design with nested-segmented structure [J]. IEEE Trans VLSI Syst, 2018, 26(5): 995- 999.

[8] CHOU F T, CHEN Z Y, HUNG C C. A 10-bit 250 MS/s low-glitch binary-weighted digital-to-analog converter [C] // 27th IEEE Int SOCC. Las Vegas, NV, USA. 2014: 231-235.

[9] JIN M, KIM C, KIM S, et al. Design of a smart image sensor with current steering CMOS DAC for high performance autofocusing micro-lens driver [C] //IEEE Region 10 Conf. Jeju, South Korea. 2018: 1338-1341.

[10] LIU M L, ZHU Z M, YANG Y T. A high-SFDR 14-bit 500 MS/s current-steering D/A converter in 0.18 μm CMOS [J]. IEEE Trans VLSI Syst, 2015, 23(12): 3148- 3152.

一种基于正交法设计的无过载 Σ-Δ 调制器

郭安强[1,2]，齐　敏[1,2]，刘　栋[1,2]，乔东海[1]，白春风[3]
(1. 中国科学院 声学研究所，北京 100190；2. 中国科学院大学，北京 100190；
3. 苏州大学 电子信息学院，苏州 215006)

摘　要： 提出了一种基于正交法设计的无过载的两级两阶级联型(MASH 2-2)Σ-Δ 调制器。在调制器的行为仿真设计阶段，引入正交法，高效地安排正交实验。解决了调制器多参数的寻参和优化问题，抑制了带宽内的噪声本底和谐波失真，避免了调制器的过载问题。调制器采用 0.5 μm CMOS 工艺设计实现，单电源 5 V 供电，过采样率为 64，信号带宽为 7.8 kHz，系统时钟为 1 MHz，功耗为 12.56 mW。测试结果表明，调制器达到 19.7 位的有效分辨率和 100 dB 的动态范围，未发生过载现象。

关键词： Σ-Δ 调制器；正交法；多参数优化；过载
中图分类号：TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0470-07
DOI：10.13911/j.cnki.1004-3365.190552

An Overload-Free Σ-Δ Modulator Based on Orthogonal Design

GUO Anqiang[1,2], QI Min[1,2], LIU Dong[1,2], QIAO Donghai[1], BAI Chunfeng[3]
(1. *Institute of Acoustics, Chinese Academy of Sciences, Beijing* 100190, *P. R. China*;
2. *University of Chinese Academy of Sciences, Beijing* 100190, *P. R. China*;
3. *School of Electronic and Information Engineering, Soochow University, Suzhou* 215006, *P. R. China*)

Abstract: An overload-free MASH 2-2 Σ-Δ modulator based on orthogonal design was proposed. In the stage of the behavior simulation, the orthogonal method was introduced to arrange experiments for selecting and optimizing the Σ-Δ modulator's parameters efficiently. It was dedicated to suppressing the background noise and harmonic distortion in the signal bandwidth. Meanwhile, it contributed to avoiding overload. Finally, the proposed modulator was fabricated in a 0.5 μm CMOS process. An oversampling rate of 64 and the 1 MHz system clock were selected for the modulator, which led to a signal bandwidth of 7.8 kHz. The 5 V single supply voltage was utilized, and the total power consumption was 12.56 mW. The measurement results showed that the modulator achieved an efficient resolution (ER) of 19.7 bit and a dynamic range (DR) of 100 dB without overload.

Key words: Σ-Δ modulator; orthogonal method; multi-parameter optimization; overload

0　引　言

Σ-Δ 模数转换器(ADC)是高精度中低速的过采样率 ADC，采用了过采样和噪声整形技术，对前置抗混叠滤波器的要求较低[1-4]。Σ-Δ ADC 广泛应用于高精度信号采集测量系统、微弱信号传感器接口、通信等领域。例如，在油气勘探的地震检波器中，需要分辨率不低于 18 位、带宽不低于 400 Hz 的 ADC，以进行微弱信号采集[2]。助听器(100 Hz～10 kHz)、高保真音频设备(50 Hz～20 kHz)需要精度超过 16 位的 ADC。水声通信、声纳设备需要精

收稿日期：2019-09-20；**定稿日期：**2019-10-21
基金项目：国家自然科学基金资助项目(61804104)
作者简介：郭安强(1992—)，男(汉族)，江西吉安人，博士研究生，研究方向为高精度模数转换器、温度传感器和磁传感器。
齐　敏(1983—)，女(汉族)，内蒙古呼和浩特人，高级工程师，研究方向为高性能模数转换器、加速度计和高温芯片。

度高于 18 位、转换速率不低于 200 kHz 的高性能 ADC。

Σ-Δ 调制器的缺点是积分器输出端易发生饱和，需精细地调节系统中各系数的值。当积分器的输出超出运放的动态范围时，会产生谐波失真。Σ-Δ 调制器的两个关键指标是带宽内的噪声和失真。噪声决定了处理的最小信号，谐波失真限制了处理的最大信号，最终决定动态范围(DR)。各参数的组合直接决定了大信号输入时每级输出端是否饱和，决定了是否过载。一旦发生过载，会限制调制器的实际应用。针对此问题，已有文献是对每级积分器的系数进行微调，往往是根据经验获得参数[5-6]。

本文提出了一种基于正交法的寻参和优化方法，高效地解决了 Σ-Δ 调制器中多参数的优化问题。该调制器在满量程输入时，不发生过载现象，能最大化地实现 Σ-Δ 调制器的动态范围。

1　Σ-Δ 调制器宏模型

1.1　Σ-Δ 调制器的原理推导

为了满足 Σ-Δ 调制器的过采样特性和仿真精度的要求，电路级的调制器设计会占用大量的仿真时间。为了确保电路实现的可行性，设计调制器时，首先搭建宏模型，从系统层自顶向下设计[7]。Σ-Δ 调制器的模型如图 1 所示。采用 Matlab 中 SD-Toolbox 工具，搭建两级两阶级联型(MASH 2-2)Σ-Δ 调制器的宏模型。

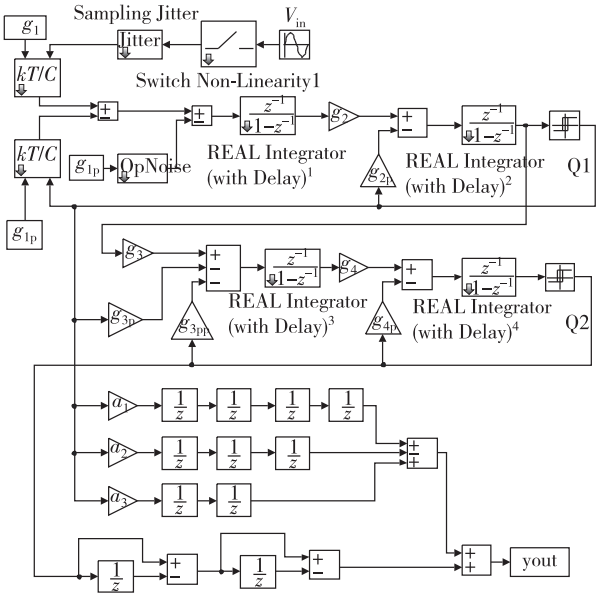


图 1　Σ-Δ 调制器模型

MASH 2-2 采用离散时间类型的低通 Σ-Δ 调制器，既拥有 4 阶的噪声整形效果，又避免了高阶的稳定性问题。采用后馈方式，使得输出信号跟踪输入信号。高线性度的数模转换器(DAC)是调制器的设计瓶颈。采用了 1 位量化器，使调制器具有理论上最好的线性度。

参数的选取是宏模型(行为仿真)阶段的核心问题。图 1 所示的宏模型包含 12 个参数：g_1，g_{1p}，g_2，g_{2p}，g_3，g_{3p}，g_{3pp}，g_4，g_{4p}，a_1，a_2，a_3。根据噪声整形特性，化简得到两个约束参数：

$$g_{2p}=2g_{1p}g_2 \tag{1}$$

$$g_{4p}=2g_{3pp}g_4 \tag{2}$$

模型中，还有 10 个自由参数。根据 MASH 2-2 调制器消除第 1 级量化噪声的特性，得到噪声消除逻辑。第 1 级、第 2 级噪声消除逻辑分别为：

$$H_1(z)=\frac{g_{3p}-g_{1p}g_2g_3}{g_{3pp}}(z^{-4}-2z^{-3})+\frac{g_{3p}}{g_{3pp}}z^{-2} \tag{3}$$

$$H_2(z)=(1-z^{-1})^2 \tag{4}$$

可得：

$$a_1=\frac{g_{3p}-g_{1p}g_2g_3}{g_{3pp}} \tag{5}$$

$$a_2=2\,\frac{g_{3p}-g_{1p}g_2g_3}{g_{3pp}} \tag{6}$$

$$a_3=\frac{g_{3p}}{g_{3pp}} \tag{7}$$

调制器的最终输出为：

$$Y(z)=\frac{g_1g_2g_3}{g_{3pp}}X(z)+(1-z^{-1})^4E_2(z) \tag{8}$$

式中，$X(z)$为 z 域的信号，$E_2(z)$为 z 域的第 2 级量化噪声。由式(8)式可知，调制器的输入信号被一个常量系数缩小。量化噪声经过 4 阶的高通函数，实现了噪声整形。将信号经过的常量系数归一化，得到理想的动态范围衰减量：

$$\Delta D_R=10\lg\left(\frac{g_1g_2g_3}{g_{3pp}}\right)^2 \tag{9}$$

可知，调制器的参数会影响动态范围衰减量。对于一个 N 位量化、O_{SR}倍过采样率、L 阶的 Σ-Δ 调制器，理论(只考虑量化噪声)动态范围为[8]：

$$D_R=6.02N+1.76+10\lg\frac{2L+1}{\pi^{2L}}+10(2L+1)\lg O_{SR} \tag{10}$$

量化器位数为 1，二级 2 阶级联则等效为 4 阶噪声整形，过采样率为 64。不考虑衰减时，理论动态范围为 140.1 dB。

1.2 宏模型仿真条件

电路实现时，存在运放有限增益、带宽、输出摆幅、摆率等非理想因素，需要根据实际电路的可实现性，设置宏模型的仿真条件。

以调制器的第 1 级第 1 阶为例，理想积分器的传输函数为[9]：

$$H(z)=\frac{C_S}{C_I}\frac{z^{-1}}{1-z^{-1}} \tag{11}$$

考虑运放的有限增益后，传输函数为：

$$H(z)=\frac{C_S}{C_I}\frac{z^{-1}}{1+\frac{1}{A}\left(1+\frac{C_S}{C_I}\right)-\left(1+\frac{1}{A}\right)z^{-1}} \tag{12}$$

式中，C_S为采样电容，C_I为积分电容，$C_S/C_I=g_1$。A 为运放的开环直流增益。运放有限增益使得信号传输函数的零点从直流往频率高处移动，对带内噪声的抑制能力减弱，可能抬高带宽内的噪声本底。

大信号输入时，运放的响应主要受摆率(S_R)限制。运放摆率受限时，会产生建立误差，导致信号失真[10-11]。与此类似，小信号输入时，运放响应受限于增益带宽积(G_{BW})。考虑 G_{BW}时，积分器的传输函数和积分误差分别为：

$$H(z)=\frac{C_S}{C_I}(1-\varepsilon_{st})\frac{z^{-1}}{1-z^{-1}} \tag{13}$$

$$\varepsilon_{st}=\exp\left(-\pi\times\frac{G_{BW}}{f_s}\right) \tag{14}$$

建立误差需要小于待设计的最低有效位(LSB)对应的误差。

为了保证每阶积分器的输出端不发生饱和，需要运放的输出摆幅大于待处理的积分器输出信号的幅度。实际运行中，运放输出摆幅在电源轨以内。一旦积分器的输出端发生饱和，反馈不完全，导致系统信号失真，调制器的动态范围就会急剧下降[12]。

为了满足远距离水声探测的应用，考虑 10 kHz 带宽时，系统时钟频率选为 1 MHz，过采样率选为 64，得到的信号带宽约为 7.8 kHz。调制器为单电源5 V供电，参考电压选为 4.096 V。综合考虑，模型仿真条件设置如下：运放开环直流增益为 100 dB，摆率为 20 V/μs，增益带宽积为 12 MHz，输出摆幅为4 V。采用开关电容电路实现离散时间 Σ-Δ 调制器时，等效输入热噪声总和要小于待设计的 LSB。仅考虑噪声时，若有效分辨率(指满量程直流信号功率与输入端信号带宽内热噪声的总功率之比)不低于 20.2 位，则采样电容不小于 8 pF。

2 正交法寻参和优化

2.1 引入正交法

正交法来源于统计数学领域，是解决多因素优化问题的方法，最早由日本学者田口玄一提出。1990 年代，数学家张里千等人将正交法进行改进，并应用于实践[13-15]。对于调制器这样的闭环非线性系统，传统的逐级参数调节显得顾此失彼，正交法则能高效地应对多因素非线性问题。正交法能有效地跳出局部优值区域，寻找全局最优的区域。

对于具有 m 个因素(变量或者参数)的优化问题，将每个因素划分为 t 个位级，利用正交表$L_s(t^m)$安排实验。这 s 组实验具有最高程度的均匀分散性和整齐可比性[16-17]。联合调制器的宏模型进行仿真。对实验输出设定一个评判标准，通过计算复合平均值和极差，调整因素的位级水平，迭代进行第 2 次正交实验。以此类推，直到满足设计标准，或者输出指标达到饱和为止。实际上，并非任意 m 个因素 t 个位级的组合都能找到相应的正交表。当无法构造正交表时，可以进行多个子正交表的嵌套，也可以对每个因素取不同的位级个数。

2.2 调制器寻参和优化

调制器模型中，涉及 7 个自由参数：g_1，g_{1p}，g_2，g_3，g_{3p}，g_{3pp}，g_4。其中，g_1，g_2，g_3，g_{3p}，g_4 为正向缩放系数，g_{1p}，g_{3pp} 为反馈系数。将每个参数归一化，可构建一张均匀的实验网格。每个参数划分为 3 个位级：0.2，0.5，0.8。采用 $L_{18}(3^7)$正交表，每次有 18 组正交实验。

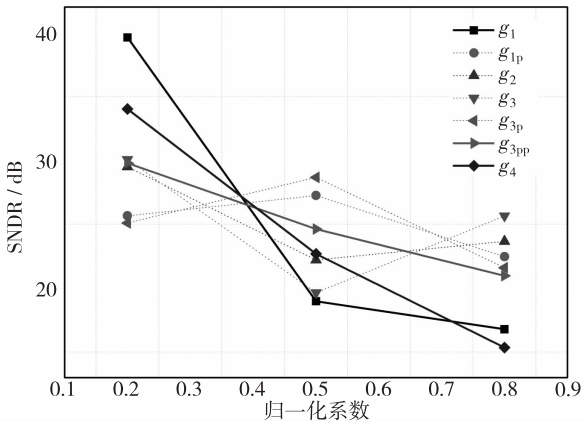
定义满量程交流信号输入调制器时，得到的信噪失真比(SNDR)可作为参数组合优劣的评判标准。将正交表中的实验组合代入调制器模型中，获得每组实验的评判值。第一次正交实验的结果如表 1 所示。表中，I、II、III 为各个参数、各个位级的复合平均值，R 为各个参数的复合极差。复合平均值越高，该参数位级对应的权重就大；复合极差越大，该参数的可调性就越高。

第一次、第二次正交实验得到的复合平均值趋势图分别如图 2(a)、图 2(b)所示。第一次实验中发现，g_1、g_4和 g_{3pp}有较大的可调性，其对应的 0.2 位级的权重较高。第二次实验中，将 g_1、g_4和 g_{3pp}的位级调整为 0.1、0.3、0.5，发现，g_1和 g_4仍然有较大可调性，继续调整 g_1和 g_4。

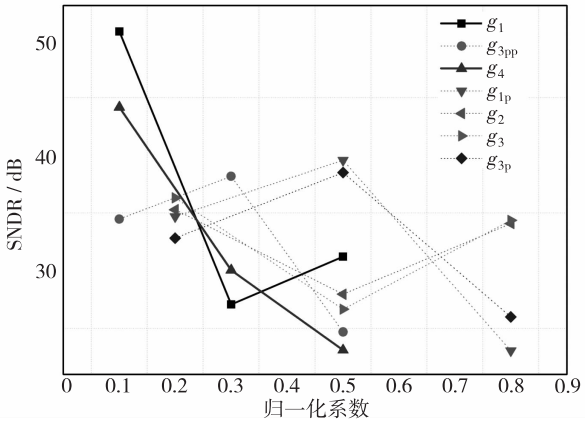
表 1　第一次正交实验的结果

序号	g_1	g_{1p}	g_2	g_3	g_{3p}	g_{3pp}	g_4	SNDR
1	0.2	0.2	0.2	0.2	0.2	0.2	0.2	66.91
2	0.2	0.5	0.5	0.5	0.5	0.5	0.5	37.86
3	0.2	0.8	0.8	0.8	0.8	0.8	0.8	25.80
4	0.5	0.2	0.2	0.5	0.5	0.8	0.8	10.93
5	0.5	0.5	0.5	0.8	0.8	0.2	0.2	28.33
6	0.5	0.8	0.8	0.2	0.2	0.5	0.5	16.43
7	0.8	0.2	0.5	0.2	0.8	0.5	0.8	8.98
8	0.8	0.5	0.8	0.5	0.2	0.8	0.2	16.80
9	0.8	0.8	0.2	0.8	0.5	0.2	0.5	24.90
10	0.2	0.2	0.8	0.8	0.5	0.5	0.2	47.27
11	0.2	0.5	0.2	0.2	0.8	0.8	0.5	37.04
12	0.2	0.8	0.5	0.5	0.2	0.2	0.8	22.83
13	0.5	0.2	0.5	0.8	0.2	0.8	0.5	10.92
14	0.5	0.5	0.8	0.2	0.5	0.2	0.8	26.74
15	0.5	0.8	0.2	0.5	0.8	0.5	0.2	20.48
16	0.8	0.2	0.8	0.5	0.8	0.2	0.5	8.95
17	0.8	0.5	0.2	0.8	0.2	0.5	0.8	16.72
18	0.8	0.8	0.5	0.2	0.5	0.8	0.2	24.34
I	40	26	29	30	25	30	34	-
II	19	27	22	19	29	25	23	214
III	17	23	23	25	22	21	19	-
R	23	5	7	10	7	9	15	-

11 次正交实验的满量程 SNDR 散点图如图 3 所示。可以看出，随着正交实验的进行，满量程时，SNDR 逐步增加，直到实验网格充分细化，调制器性能趋于饱和。最优的参数组合出现于第 8 次实验中。



(a) 第一次正交实验



(b) 第二次正交实验

图 2　正交实验的复合平均趋势图

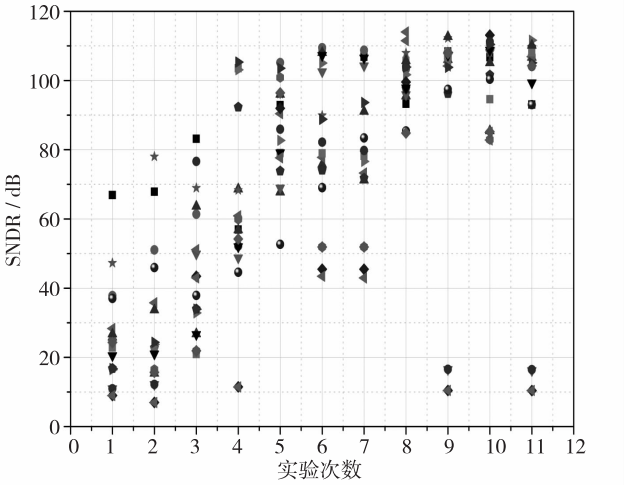


图 3　11 次正交实验的满量程 SNDR 散点图

正交法和调制器模型联合仿真寻参的算法步骤为：1)建立调制器宏模型，定义涉及的参数；2)确定参数的位级；3)选取评判实验的性能指标；4)选取合适的正交表；5)正交表和宏模型联合仿真，获得输出；6)分析计算每个参数的趋势和范围；7)调整参数的位级；8)重复步骤 5)、6)和 7)，直到取得合理结果。

3　仿真与测试结果

3.1　仿真结果

前述通过正交法获得的最优参数组合如表 2 所示。

表 2　通过正交法获得的最优参数组合

g_1	g_{1p}	g_2	g_{2p}	g_3	g_{3p}	g_{3pp}	g_4	g_{4p}
0.16	0.2	0.3	0.12	0.8	0.15	0.2	0.1	0.04

为考察系统的误差容忍性，300 次各参数独立随机误差的统计结果如图 4 所示。可以看出，各参

数的独立随机误差小于 1%时，SNDR 没有急剧下降，具有良好的稳健性。采用正交法优化多参数，本质上是在多维非线性空间寻找优值区域。最终的优良参数组合不是多维空间中一个孤立的点，而是优值区域内的一个样本。因此，采用正交法能保证调制器参数的误差容忍性。

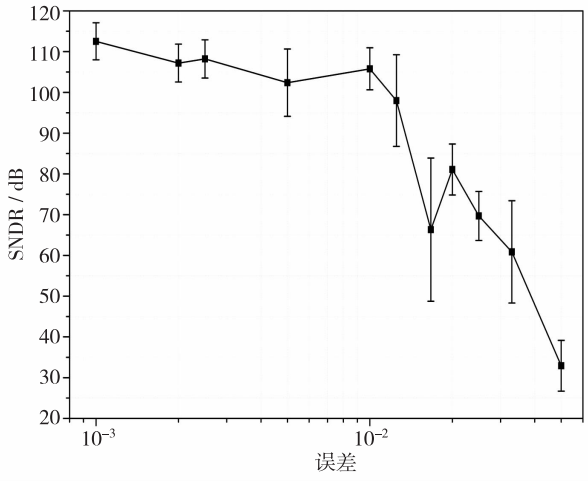


图 4　300 次各参数独立随机误差的统计结果

采用如表 2 所示的参数组合设计调制器，扫描整个量程内的 SNDR。基于 0.5 μm CMOS 工艺，采用开关电容全差分电路实现调制器，模型和电路仿真结果如图 5 所示。可以看出，在满量程输入时(0 dBFS)，SNDR 达到最大值，约为 114 dB。因为电路中包含了更复杂的噪声等非理想因素，所以电路仿真的 SNDR 稍低，在满量程输入时约为 108 dB。在输入某个最大幅值的交流信号时，SNDR 的值比峰值下降 6 dB，此时的幅值与满量程幅度之比称作过载水平。当过载水平为 0 dBFS 时，调制器无过载；当过载水平小于 0 dBFS 时，调制器发生过载[8]。可知，模型和电路仿真结果的过载水平均为 0 dBFS，没有发生过载。

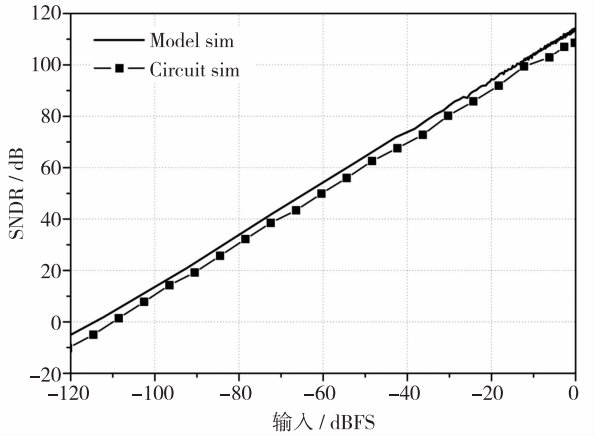


图 5　模型和电路仿真结果

输入满量程交流信号(488 Hz)时，调制器的各阶积分器的输出幅度分布如图 6 所示。可以看出，各阶积分器的输出幅度均在 3 V 以内，运放的摆幅为 4 V，所有积分器均未发生饱和。这表明，调制器没有发生过载。

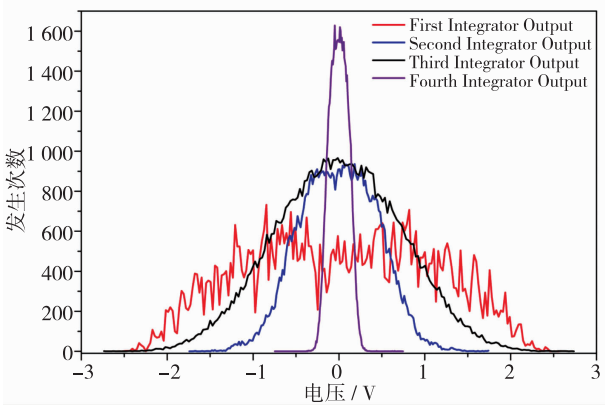


图 6　各阶积分器的输出幅度分布

3.2　调制器芯片测试结果

调制器经过充分的宏模型和电路仿真后，进行高度对称和匹配的版图布局布线。采用 MXIC 0.5 μm 2P2M CMOS 工艺流片，SOP 封装。调制器的芯片照片如图 7 所示。芯片尺寸为 1.92 mm×2.78 mm。

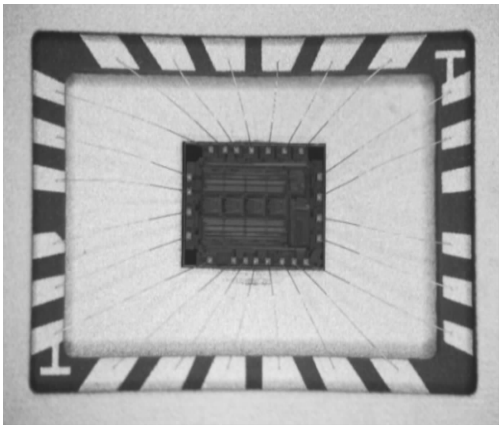


图 7　调制器芯片照片

调制器的直流测试直方图如图 8 所示。可以看出，4 颗芯片均达到 19.7 位的有效分辨率。

为了验证信号带宽内的谐波失真性能，利用 Labview 测试仪器 NI PXI-1042Q 提供 1 kHz 的交流信号，利用 Altera FPGA 采集调制器的输出数据，数字抽取滤波器由 Matlab 程序实现。测试板如图 9 所示。满量程内的 SNDR 曲线如图 10 所示。可以看出，在满量程内，SNDR 没有明显衰减，过载水平仍然为 0 dBFS，动态范围为 100 dB。

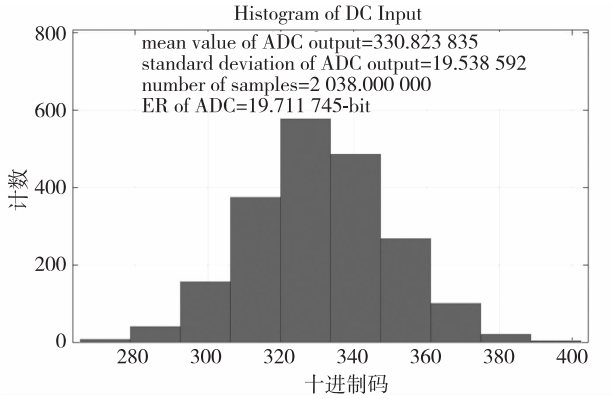


图 8　直流测试直方图

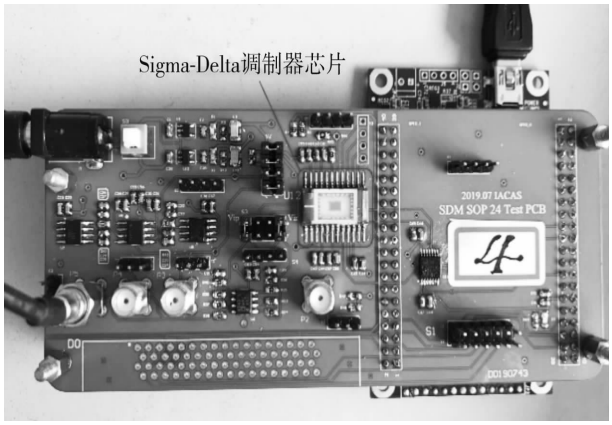


图 9　调制器的测试板

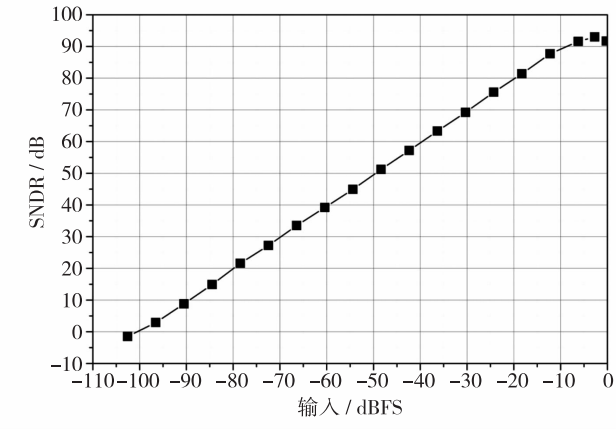


图 10　满量程内的 SNDR 曲线

交流测试的输出功率谱如图 11 所示。可以看出，信号带宽内的噪声本底为－140 dB，在带宽外，具有 80 dB/decade 的噪声整形效果。

本文与其他文献中调制器的参数对比如表 3 所示。可以看出，与其他文献相比，本文调制器的有效分辨率更高，无过载问题。

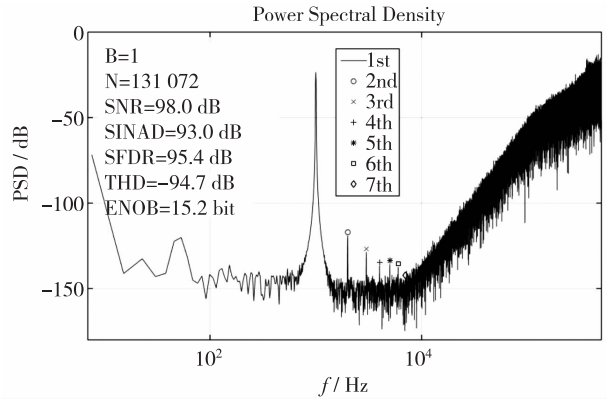


图 11　交流测试的输出功率谱

表 3　本文与其他文献中调制器的参数对比

参数	本文	文献[18]	文献[19]
时钟/MHz	1	3.072	40
过采样率	64	64	16
信号带宽/kHz	7.8	20	1 250
芯片面积/mm^2	5.34	1.5	3.18
功耗/mW	12.56	3.5	24.3
工艺节点/μm	0.5	0.13	0.18
有效分辨率/bit	19.7	18.75	16.8
动态范围/dB	100	105.7	92
过载水平/dB	0	0	－4
优质指数/(pJ・$Conv^{-1}$)	21.36	1.82	1.5

4　结　论

介绍了 MASH 2-2 Σ-Δ 调制器的基本原理，建立了调制器的宏模型。引入正交法，重点介绍了如何采用正交法，并联合调制器模型来完成寻参和优化。利用正交法逐次演进迭代，调制器的过载水平逐渐提高，直至无过载，最大化了调制器的动态范围。采用 MASH 2-2 Σ-Δ 调制器，完成了流片与测试。测试结果显示，该正交法能高效解决多参数的寻参和优化，调制器达到 19.7 位的有效分辨率和 100 dB 的动态范围，未发生过载现象，过载水平为 0 dBFS。该正交法思路可推广用于其他架构的调制器多参数设计中，对调制器的系统化设计提供有益参考。

参 考 文 献：

[1]　PUGLIESE A, AMOROSO F A, CAPPUCCINO G, et al. Analysis of the impact of high-order integrator

dynamics on SC sigma-delta modulator performances [J]. IEEE Trans Circ & Syst I: Regu Pap, 2010, 57 (3): 618-630.

[2] BRIGATI S, FRANCESCONI F, MALCOVATI P, et al. A fourth-order single-bit switched-capacitor sigma-delta modulator for distributed sensor applications [J]. IEEE Trans Instrum & Measurem, 2004, 53(2): 266-270.

[3] RIO R D, ROSA J M D L, PEREZ-VERDU B, et al. Highly linear 2.5-V CMOS sigma-delta modulator for ADSL+ [J]. IEEE Trans Circ & Syst I: Regu Pap, 2004, 51(1): 47-62.

[4] YOON Y, DUAN Q, YEO J, et al. A delta-sigma modulator for low-power analog front ends in biomedical instrumentation [J]. IEEE Trans Instrum & Measurem, 2016, 65(7): 1-10.

[5] MIAO G, YANG H C, TANG P. An oversampled A/D converter using cascaded fourth order sigma-delta modulation and current steering logic [C] // IEEE Int Sym Circ & Syst. Monterey, CA, USA. 1998: 412-415.

[6] YAO L, STEYAERT M, SANAEN W M C. Low-power low-voltage sigma-delta modulators in nanometer CMOS [M]. Dordrecht: Springer Netherlands, 2006: 84-143.

[7] RIBNER D B, BAERTSCH R D, GARVERICK S L, et al. A third-order multistage sigma-delta modulator with reduced sensitivity to nonidealities [J]. IEEE J Sol Sta Circ, 1991, 26(12): 1764-1774.

[8] DE LA ROSA J M, DEL RIO R. CMOS sigma-delta converters: practical design guide [M]. West Sussex: John Wiley & Sons, 2013: 1-26.

[9] CHEN C, ZHANG H. A 0.6-V, 69-dB subthreshold sigma-delta modulator [J]. J Semicond, 2018, 39 (12): 1-5.

[10] CHEN F C, HUANG C C. Analytical settling noise models of single-loop sigma-delta ADCs [J]. IEEE Trans Circ & Syst II: Expr Bri, 2009, 56(10): 753-757.

[11] CARUSONE T, JOHNS D, MARTIN K. Analog integrated circuit design [M]. West Sussex: John Wiley & Sons, 2011: 208-234.

[12] FUJIMORI I, KOYAMA K, TRAGER D, et al. A 5-V single-chip delta-sigma audio A/D converter with 111 dB dynamic range [J]. IEEE J Sol Sta Circ, 1997, 32(3): 329-336.

[13] TIAN H M, CHEN W Z, YANG D S, et al. Application of the orthogonal design method in geotechnical parameter back analysis for underground structures [J]. Bulletin Engineer Geol & Environm, 2016, 75(1): 239-249.

[14] DAI Q F, SONG R B, GUO Z F. Choosing the optimum heat treatment for cold-rolled dual-phase steel by the method of orthogonal design [J]. Metal Sci & Heat Treatm, 2013, 55(5-6): 270-274.

[15] HU X D, HUANG X X. Orthogonal design and optimization of flight stability test for the quadrotor unmanned aerial vehicle [C] // IEEE ICUS. Beijing, China. 2017: 343-346.

[16] 张里千. 实用选优法 [M]. 北京:科学出版社, 2012: 20-40.

[17] 张里千. 正交法与应用数学 [M]. 北京: 科学出版社, 2009: 18-56.

[18] JUN S C, CYUYEOL R, SUSIE K, et al. A 1.2-V 108.9-dB A-weighted DR 101.4-dB SNDR audio sigma-delta ADC using a multi-rate noise-shaping quantizer [J]. IEEE Trans Circ & Syst II: Expr Bri, 2018, 65(10): 1315-1319.

[19] CHO J K. A 92-dB DR, 24.3-mW, 1.25-MHz BW sigma-delta modulator using dynamically biased op amp sharing [J]. IEEE Trans VLSI Syst, 2017, 25 (3): 881-893.

一种低功耗高 PSRR CMOS 基准电压源

符征裕，段吉海，韦胶二，孔令宝，崔　鹏
（桂林电子科技大学 广西精密导航技术与应用重点实验室，广西 桂林 541004）

摘　要： 提出了一种采用新颖负温漂系数电流源补偿结构的高性能基准电压源。利用工作在亚阈值区的两个 MOS 管的栅源电压差与工作在线性区的 MOS 管的漏电流关系，产生补偿电流，使输出电压对温度不敏感。提出的负温漂电流源结构没有使用传统大电阻，不仅保证了低功耗，还有效减小了芯片面积。采用共源共栅的电流源结构，提高了电源抑制比。基于 TSMC 0.18 μm CMOS 工艺进行设计仿真。仿真结果表明，在－35 ℃～150 ℃范围内，温漂系数为 8.3×10^{-6}/℃。电源电压为 1.3～3.3 V 时，电压调整率为 0.21%，电源抑制比为－81.2 dB@100 Hz，功耗仅为 184.7 nW。芯片面积为 0.006 mm^2。

关键词： 低功耗；温漂系数；电流模式；电源抑制比
中图分类号：TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0477-05
DOI：10.13911/j.cnki.1004-3365.190497

A Low Power and High PSRR CMOS Voltage Reference

FU Zhengyu, DUAN Jihai, WEI Jiaoer, KONG Lingbao, CUI Peng
(*Guangxi Key Lab. of Precision Naviga. Technol. and Applic., Guilin Univ. of Elec. Technol., Guilin, Guangxi* 541004, *P. R. China*)

Abstract: A high performance voltage reference with a novel negative temperature coefficient current source compensation structure was presented. The output voltage variation due to temperature was minimized by using the relationship between the drain current of a transistor working in linear region and the gate-source voltage difference of two transistors working in sub-threshold region. Instead of the large resistance in traditional circuits, the negative temperature current source structure was used to reduce significantly the chip area with low power consumption. A cascode current mirror was used to increase the power supply rejection ratio (PSRR). The voltage reference was designed and simulated in TSMC 0.18 μm CMOS process. The simulation results demonstrated that the temperature coefficient of the voltage was 8.3×10^{-6}/℃ at the temperarture range of －35 ℃ to 150 ℃. The line sensitivity was 0.21% at the supply voltage range of 1.3 to 3.3 V, and the PSRR was －81.2 dB at 100 Hz. The power consumption was only 184.7 nW, and the chip area was 0.006 mm^2.

Key words: low power dissipation; temperature coefficient; current mode; PSRR

0　引　言

随着 5G 时代的到来，人们对便携式可穿戴设备性能的要求越来越高，如更高监测精度、更长续航能力、更好舒适性等。IC 工艺技术不断进步，设计技术不断创新，各种可穿戴设备的性能紧跟人们需求。基准电压源是模拟 IC 芯片（如 A/D、D/A 转换芯片、电源管理芯片等）最常用的电路单元[1]。研究人员采用各种方式来提高基准电压源的性能。文献

收稿日期：2019-08-22；**定稿日期：**2019-09-10
基金项目：广西自然科学基金资助项目（2017JJA170452y）；广西精密导航技术与应用重点实验室主任基金资助项目（DH201806）；广西桂林电子科技大学研究生科研创新项目（2019YCXS023）
作者简介：符征裕（1991—），男（汉族），广西玉林人，硕士研究生，研究方向为模拟及射频集成电路设计。
段吉海（1964—），男（汉族），博士，教授，研究方向为射频集成电路设计。通信作者，E-mail：djh@guet.edu.cn。

[2]的基准电压源采用数字修调校正的方式，得到稳定的输出电压，但结构复杂，功耗较大。文献[3]提出了可编程、温漂系数可变的正负温度系数补偿结构，电路可输出稳定的基准电压，但对工艺依赖性较高。文献[4-5]基于两个晶体管的栅源电压之间的差值，产生基准电压，但输出电压对电源电压较敏感，功耗较大，温漂性能欠佳。文献[6]使用电阻作为产生负温度系数的电流源补偿结构，但是，电阻受温度影响较大，从而影响精度和电流。

针对上述问题，本文提出了一种适用于便携式可穿戴设备中模数转换器的具有稳定输出的基准电压源。采用新颖的负温漂电流源的补偿结构，降低了温漂系数。采用共源共栅电流镜，提高了输出阻抗，降低了电源噪声。采用工作在亚阈值区的晶体管，降低了电路功耗。

1 电流模式带隙基准源设计

1.1 电路的整体结构及原理

本文提出的高性能电流模式基准电压源如图 1 所示。基准电压源的部分器件参数如表 1 所示，其中 W/L 为晶体管沟道宽长比。

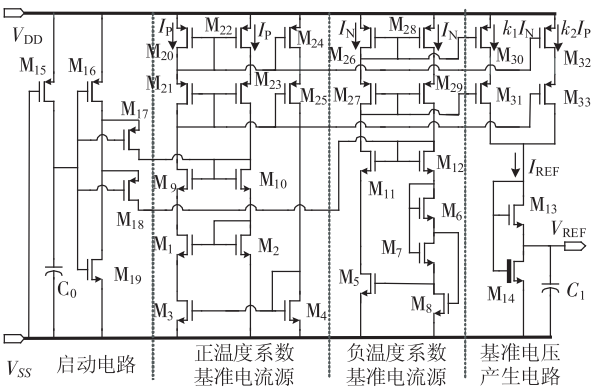


图 1 电流模式基准电压源

表 1 基准电压源的参数

器件	$(W/L)/\mu m$	器件	$(W/L)/\mu m$
M_1	5.6/2	M_8	2.3/2.3
M_2	2/2	M_9	2/2
M_3	0.22/6	M_{10}	5.6/2
M_4	0.22/6	M_{11}	2.5/2.5
M_5	6.7/2	M_{12}	2.5/2.5
M_6	0.22/14.2	M_{13}	19/2
M_7	0.22/15.5	M_{14}	0.6/0.35
M_{30}	24/2	M_{32}	6.4/2
M_{31}	24/2	M_{33}	6.4/2

基准电压源由启动电路、正温度系数基准电流源、负温度系数基准电流源、基准电压产生电路组成。经过补偿后，低温漂系数电流通过基准电压输出，得到低温漂系数的基准电压。

1.2 正温度系数基准电流源

正温度系数基准电流源采用自偏置 Oguey 电流源[7]，为基础电流源。为了提高输出阻抗、降低电源噪声，采用共源共栅电流镜（如图 1 所示）。

正温度系数基准电流源由 $M_1 \sim M_4$ 管组成。M_3 管工作在深线性区，用作电阻。M_4 管工作在饱和区，为 M_3 管提供偏置电压。其余晶体管均工作在亚阈值区。基准电流 I_P 由 M_1、M_2 管的栅源电压差和 M_3 管的导通电阻决定。

工作在亚阈值区的 I-V 特性可表示为[8]：

$$I_D = I_0 K \exp\left(\frac{V_{GS}-V_{TH}}{\eta V_T}\right)\left[1-\exp\left(-\frac{V_{DS}}{V_T}\right)\right] \quad (1)$$

式中，I_D 为漏极电流；$K=W/L$，为宽长比；I_0 为特征电流，$I_0=\mu C_{OX}(\eta-1)V_T^2$；$C_{OX}$ 为栅氧电容，$C_{OX}=\varepsilon_{OX}/t_{OX}$；$V_{GS}$ 为栅源电压；V_T 为热力学电压，$V_T=k_B T/q$，k_B 为玻尔兹曼常数，q 为电子电荷。

当 V_{DS} 大于 $3V_T$ 时，可忽略 V_{DS} 的影响，则式(1)简化为[4]：

$$I_D = K I_0 \exp\left(\frac{V_{GS}-V_{TH}}{\eta V_T}\right) \quad (2)$$

根据式(2)，进一步简化，得到栅源电压：

$$V_{GS} = V_{TH} + \eta V_T \ln \frac{I_D}{K \cdot I_0} \quad (3)$$

式中，η 为损耗层与栅氧间的电容，一般为常数，由损耗层与栅氧电容决定[4]。可知，式(3)的曲线与 I-V 曲线类似。M_3 管的漏源电压为：

$$V_{DS3} = V_{GS2} - V_{GS1} = \eta V_T \ln \frac{K_1}{K_2} \quad (4)$$

调节 K_1、K_2，使 M_3 管工作在深线性区。同时，M_4 管工作在饱和区，根据饱和区 I-V 特性，可求得 M_4 管的漏极电流：

$$I_{D4} = \frac{\mu C_{OX}}{2} K_4 (V_{GS4} - V_{TH4})^2 \quad (5)$$

M_4 与 M_3 管组成电流镜，I_{D4} 与 I_{D3} 呈一定比例，即 $Q=I_{D4}/I_{D3}$。同时，$V_{GS3}=V_{GS4}$，则电流源产生的电流 I_P 为[8]：

$$I_P = \mu C_{OX} K_3 V_T^2 K_{eff} \quad (6)$$

式中，

$$K_{eff} = [S_2 - 0.5 + \sqrt{S_2(S_2-1)}](\ln S_1)^2 \quad (7)$$

式中，

$$S_1=\frac{K_1}{K_2},S_2=Q\times\frac{K_3}{K_4} \tag{8}$$

K_{eff}与晶体管尺寸有关。

考虑晶体管的电子迁移率($\mu=\mu_0\ (T_0/T)^m$)和热电压($V_{\mathrm{T}}=k_{\mathrm{B}}T/q$)与温度的关系，进一步化简，输出电流 I_{P}为：

$$I_{\mathrm{P}}=\mu_0 T_0^m C_{\mathrm{OX}} K_3 V_{\mathrm{T0}}{}^2 K_{\mathrm{eff}}(k_{\mathrm{B}}/q)^2 T^{2-m} \tag{9}$$

式中，m 是与工艺相关的温度系数，通常为 1～2。从式(9)可知，I_{P}与温度的关系为：

$$I_{\mathrm{P}}\propto T^{2-m} \tag{10}$$

由式(10)可知，I_{P}与温度呈正比关系，即 I_{P}表现出与温度正相关的特性，所以，该正温度系数基准电流源可为基准电压源的负温漂电流作补偿。

1.3　负温度系数基准电流源

在 Oguey 电流源的基础上[7]，将工作在亚阈值区的两个 MOS 管的栅源电压差作用于工作在线性区的 MOS 管上，产生负温漂系数的电流。采用共源共栅 PMOS 电流镜，提高了电源抑制能力和与正温度电流源的匹配性。

负温度系数基准电流源由 M_5～M_8、M_{11}、M_{12}管组成。M_7管工作在深线性区，起电阻的作用。除了 M_6管工作在饱和区外，其余 MOS 管均工作在亚阈值区。基准电流 I_{N}由 M_7管的栅源电压和导通电阻决定，M_6管为 M_7管提供偏置电压。

根据式(3)，M_7管的漏源电压为：

$$V_{\mathrm{DS7}}=V_{\mathrm{GS8}}-V_{\mathrm{GS5}}=\eta V_{\mathrm{T}}\ln\frac{K_8}{K_5} \tag{11}$$

M_7管工作在深线性区，M_6管工作在饱和区，则M_7管的导通电阻 R_7近似为：

$$R_7=\frac{1}{\mu C_{\mathrm{OX}}(W/L)_7(V_{\mathrm{GS7}}-V_{\mathrm{TH}})} \tag{12}$$

联立式(11)和式(12)，根据电子迁移率和热电压与温度的关系[8]，可计算出电流源产生的电流 I_{N}：

$$I_{\mathrm{N}}=\frac{V_{\mathrm{DS7}}}{R_7}=\frac{V_{\mathrm{GS8}}-V_{\mathrm{GS5}}}{R_7}=\frac{\eta\mu_0 k_{\mathrm{B}} T_0^m C_{\mathrm{OX}} K_7 \ln(K_8/K_5)}{q}V_{\mathrm{ON7}}T^{1-m} \tag{13}$$

式中，$V_{\mathrm{ON7}}=V_{\mathrm{GS7}}-V_{\mathrm{TH}}$，$m$ 为与工艺相关的温度系数，为 1～2。将式(13)两边同时对温度求导，得：

$$\frac{\partial I_{\mathrm{N}}}{\partial T}=(1-m)\frac{\eta\mu_0 k_{\mathrm{B}} T_0^m C_{\mathrm{OX}} K_7 \ln(K_8/K_5)}{q}\times\frac{\partial V_{\mathrm{ON7}}}{\partial T}T^{-m} \tag{14}$$

根据 M_5～M_8、M_{11}、M_{12}管的连接关系，得：

$$V_{\mathrm{ON7}}=V_{\mathrm{DS5}}+V_{\mathrm{GS11}}-V_{\mathrm{GS12}}-V_{\mathrm{DS8}}-V_{\mathrm{TH}} \tag{15}$$

MOS 管阈值电压的温度特性可以表示为[7]：

$$V_{\mathrm{TH}}=V_{\mathrm{TH0}}-\kappa T \tag{16}$$

式中，V_{TH0}为 0 K 时的阈值电压，κ 为阈值电压的温度系数。由于 M_{11}、M_{12}管工作在亚阈值区，根据式(3)、式(15)和式(16)，得：

$$V_{\mathrm{ON7}}=V_{\mathrm{DS5}}-V_{\mathrm{DS8}}+\eta V_{\mathrm{T}}\ln\frac{K_8}{K_5}-V_{\mathrm{TH0}}+\kappa T \tag{17}$$

将式(17)的两边同时对温度求导，得：

$$\frac{\partial V_{\mathrm{ON7}}}{\partial T}=\frac{\partial V_{\mathrm{DS5}}}{\partial T}-\frac{\partial V_{\mathrm{DS8}}}{\partial T}+\frac{\eta k_{\mathrm{B}}}{q}\ln\frac{K_8}{K_5}+\kappa \tag{18}$$

M_5、M_8管工作在亚阈值区，V_{DS}比 $3V_{\mathrm{T}}$大，可忽略温度对 V_{DS}的影响[4]，则式(18)化简为：

$$\frac{\partial V_{\mathrm{ON7}}}{\partial T}=\frac{\eta k_{\mathrm{B}}}{q}\ln\frac{K_8}{K_5}+\kappa>0 \tag{19}$$

调整(K_8/K_5)>1，联立式(14)、式(19)，取温度系数 m 为 1～2，得：

$$\frac{\partial I_{\mathrm{N}}}{\partial T}=(1-m)\frac{\eta\mu_0 k_{\mathrm{B}} T_0^m C_{\mathrm{OX}} K_7 \ln(K_8/K_5)}{q}T^{-m}\times\left(\frac{\eta k_{\mathrm{B}}}{q}\ln\frac{K_8}{K_5}+\kappa\right)<0 \tag{20}$$

由式(20)可知，该基准电流源的 I_{N}与温度呈负相关性。因此，可为基准电压源正温漂电流作补偿。

1.4　基准电压输出电路

M_{13}管的标准电压为 1.8 V，M_{14}管的标准电压为 3.3 V。正、负温漂电流源产生的补偿电流通过工作在亚阈值区的 M_{13}、M_{14}管，产生对温度不敏感的基准电压。在两个不同权重温漂因子的调节下，最终得到受温度影响较小的基准电流 I_{REF}，为：

$$I_{\mathrm{REF}}=k_1 I_{\mathrm{N}}+k_2 I_{\mathrm{P}} \tag{21}$$

式中，k_1、k_2分别为调节负温漂系数 I_{N}、正温漂系数 I_{P}的权重因子。将式(21)两边同时对温度求导，可得到 I_{REF}与温度补偿的关系：

$$\frac{\partial I_{\mathrm{REF}}}{\partial T}=k_1\frac{\partial I_{\mathrm{N}}}{\partial T}+k_2\frac{\partial I_{\mathrm{P}}}{\partial T} \tag{22}$$

由式(22)可知，调整 k_1、k_2的值，即可获得对温度不敏感的基准电流。

V_{REF}由 M_{13}和 M_{14}管的栅源差电压产生，因为标准电压不同，阈值电压也就不同。V_{REF}为：

$$V_{\mathrm{REF}}=V_{\mathrm{GS14}}-V_{\mathrm{GS13}}=\Delta V_{\mathrm{TH}}+\eta V_{\mathrm{T}}\ln\frac{K_{13}t_{\mathrm{OX14}}}{K_{14}t_{\mathrm{OX13}}} \tag{23}$$

式中，t_{OX13}和 t_{OX13}分别为 M_{13}和 M_{14}管的栅氧化层厚度，V_{T}是热电压，与温度成正比。由式(16)可

知，阈值电压与温度成反比。因此，只要适当调节输出电路的参数，就可产生对温度不敏感的 V_{REF}。

根据式(23)和 V_{TH} 表达式[10]，得到 V_{REF} 与 T 的关系式，将等式两边对温度求导，得[4,9-10]：

$$\left.\frac{dV_{REF}}{dT}\right|_{T_0}=\frac{t_{OX14}-t_{OX13}}{\varepsilon_{OX}}\sqrt{\frac{2N_A\varepsilon_{si}q^2}{2k_BT_0\ln(N_A/\sqrt{N_cN_v})+E_g}}\times\frac{k_B}{q}\ln\frac{N_A}{\sqrt{N_cN_v}}+\frac{\eta k_B}{q}\ln\frac{K_{13}t_{OX14}}{K_{14}t_{OX13}} \tag{24}$$

式中，T_0 为参考电压温度系数。令式(24)为 0，即调节 M_{13} 和 M_{14} 管的宽长比，可得到温漂系数为零的基准电压。

1.5 启动电路

基准电流源中，通常存在零工作状态(即偏置点)和正常工作状态。为了让电路通电后可正常工作，需要加入启动电路。

启动电路由 M_{15}～M_{19} 管与电容 C_0 构成。当电源上电时，电路开始对 C_0 充电，M_{16}～M_{18} 管导通，M_{19} 管截止，电流通过 M_{16}～M_{18} 导通回路，注入到基准电流源中，电路由零工作状态转换到正常工作状态，从而摆脱偏置点。C_0 充电完成后，M_{16}～M_{18} 管截止，M_{19} 管导通。从启动电路到基准电路的电流通路被 M_{18}、M_{17} 管隔离，无静态电流损耗，降低了启动电路对基准源的影响。

2 版图设计与电路仿真

本文基于 TSMC 1P6M 0.18-μm CMOS 工艺进行版图设计。基准电压源的版图(未加入 ESD 与 PAD)如图 2 所示。面积为 0.006 mm²，功耗为 184.7 nW。

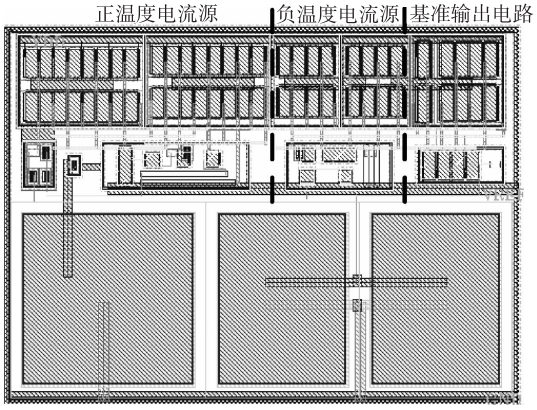


图 2 基准电压源的版图

基于 Cadence 软件 Spectre 工具，对电路进行仿真验证。电源抑制比的仿真曲线如图 3 所示。采用了共源共栅结构的 PMOS 电流镜，电源抑制比得到很大提升。可以看出，频率处于 100 Hz 时，PSRR 为－81.2 dB；在高频时，PSRR 稳定在－46.7 dB。该电压源具有很好的电源噪声抑制能力。

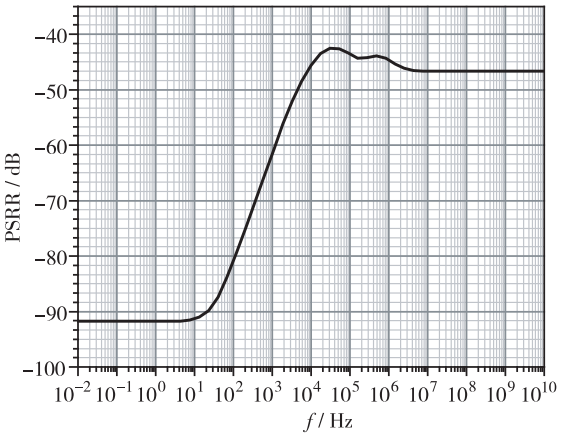


图 3 电源抑制比的仿真曲线

基准电压的温度曲线如图 4 所示。可以看出，在 1.8 V 电源电压、－35 ℃～150 ℃温度范围的条件下，输出基准电压为 282.3 mV。温度偏差为 433.8 μV，温漂系数为 8.3×10^{-6}/℃。

当电源电压从 1.3 V 变化到 3.3 V 时，电压调整率的仿真曲线如图 5 所示。可以看出，仿真温度为 27 ℃时，输出基准电压的变化幅度为 1.23 mV，电压调整率为 0.21%。

本文与其他文献中基准电压源的参数比较如表 2 所示。

可以看出，本文电压源的温漂仅为 8.3×10^{-6}/℃，频率为 100 Hz 时，PSRR 达到－81.2 dB。相比文献[11]、文献[12]，本文电路具有更高电源抑制比、更低温漂系数和更低功耗。本文电路的电压调整率比文献[6]稍差。

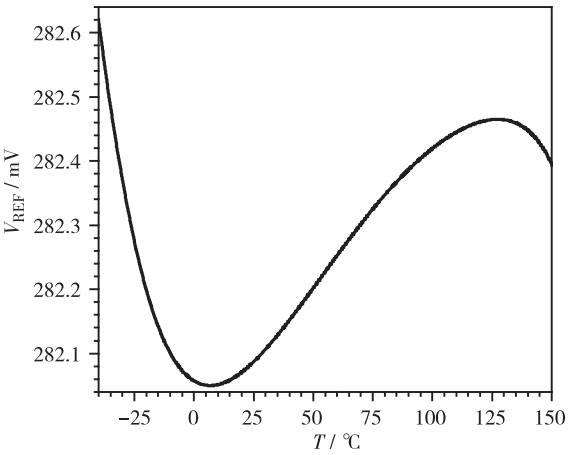


图 4 基准电压的温度曲线

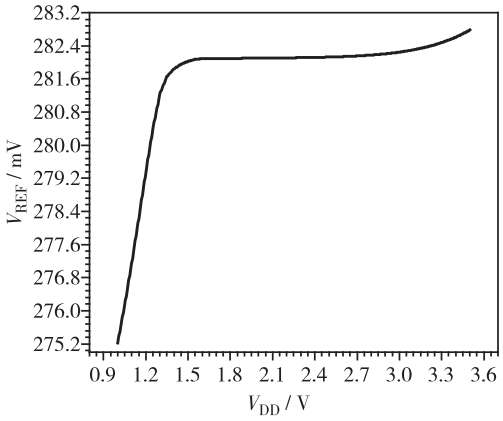


图 5　电源电压调整率的仿真曲线

表 2　本文与其他文献中基准电压源的参数比较

参数	文献[6]	文献[11]	文献[12]	本文
工艺/μm	0.18	0.18	0.18	0.18
电源电压/V	0.9～3.3	1.55～3.6	1.25～1.8	1.3～3.3
温度范围/℃	−20～150	−20～80	0～80	−35～150
温漂系数/(10^{-6}/℃)	29.7	36	60.96	8.3
电压调整率/(%·V^{-1})	0.089	0.82	-	0.21
电源抑制比/dB	−74@100 Hz	−50@100 Hz	−48.95@100 Hz	−81.2@100 Hz
功耗/nW	230	234	520	184.7

3　结　论

本文提出了一种高性能电流模式的 CMOS 基准电源。基于 TSMC 0.18 μm CMOS 工艺进行设计。仿真结果表明，在 1.8 V 电源电压、−35 ℃～150 ℃温度范围的条件下，基准输出电压的温度系数为 8.3×10^{-6}/℃。当电源电压的变化范围为 1.3～3.3 V 时，线性调整率为 0.21%，PSRR 为−81.2 dB@100 Hz，功耗为 184.7 nW。该基准电压源具有较低的功耗、较低的温漂系数，适用于便携式可穿戴设备领域。

参 考 文 献：

[1]　ANDREOU C M, KOUDOUNAS S, GEORGIOU J. A novel wide-temperature-range, 3.9 ppm/℃ CMOS bandgap reference circuit [J]. IEEE J Sol Sta Circ, 2012, 47(2): 574-581.

[2]　VULLIGADDALA V B, ADUSUMALLI R, SINGAMALA S, et al. A digitally calibrated bandgap reference with 0.06% error for low-side current sensing application [J]. IEEE J Sol Sta Circ, 2018, 53(10): 2951-2957.

[3]　KAMATH U, CULLEN E, YU T, et al. A 1-V bandgap reference in 7-nm FinFET with a programmable temperature coefficient and inaccuracy of ±0.2% from −45 ℃ to 125 ℃ [J]. IEEE J Sol Sta Circ, 2019, 54(7): 1830-1840.

[4]　OSAKI Y, HIROSE T, KUROKI N, et al. 1.2-V supply, 100-nW, 1.09-V bandgap and 0.7-V supply, 52.5-nW, 0.55-V subbandgap reference circuits for nanowatt CMOS LSIs [J]. IEEE J Sol Sta Circ, 2013, 48(6): 1530-1538.

[5]　YAN W, LI W H, LIU R. A 150-nA 13.4-ppm/℃ switched-capacitor CMOS sub-bandgap voltage reference [J]. J Semicond, 2011, 32(4):155-160.

[6]　岳宏卫，邓进丽，朱智勇，等. 一种高精度超低功耗基准电压源 [J]. 微电子学，2017，47(2)：152-155.

[7]　OGUEY H J, AEBISCHER D. CMOS current reference without resistance [J]. IEEE J Sol Sta Circ, 1997, 32(7): 1132-1135.

[8]　HIROSE T, UENO K, KUROKI N, et al. A CMOS bandgap and sub-bandgap voltage reference circuits for nanowatt power LSIs [C] // IEEE A-SSCC. Beijing, China. 2010: 1-4.

[9]　UENO K, HIROSE T, ASAI T, et al. A 300 nW, 15 ppm/℃, 20 ppm/V CMOS voltage reference circuit consisting of subthreshold MOSFETs [J]. IEEE J Sol Sta Circ, 2009, 44(7): 2047-2054.

[10]　GRAY P R, HURST P, MEYER R G, et al. Analysis and design of analog intergrated circuits [M]. New York: Wiley, 2001.

[11]　GALEANO E M C, OLMOS A, BOAS A L V. A very low power area efficient CMOS only bandgap reference [C] // 25th SBCCI. Brasilia, Brazil. 2012: 1-6.

[12]　侯德权，周莉，陈敏，等. 一种亚阈值 MOS 管低功耗基准电压源 [J]. 微电子学，2018，48(5)：574-578.

一种新型栅压自举采样开关

周前能，高　唱，李红娟，唐政维
（重庆邮电大学 微电子系，重庆 400065）

摘　要： 基于 SMIC 0.18 μm CMOS 工艺，设计了一种新型的栅压自举采样开关。采用镜像结构，增加了自举电容。采用时钟控制反相器，减少了 MOS 采样开关管的栅极节点寄生电容。这些措施有效抑制了电荷共享效应，提高了线性度，提高了采样开关的导通、关断速度。仿真结果表明，在 6.25 MHz 频率、0.8 V 输入正弦波信号、100 MHz 采样频率的条件下，该栅压自举采样开关的 SFDR 为 111.3 dBc，SNDR 为 108.9 dB。

关键词： 电荷共享；无杂散动态范围；信噪失真比；栅压自举采样开关
中图分类号：TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0482-04
DOI：10.13911/j.cnki.1004-3365.190531

A Novel Bootstrapped Sampling Switch

ZHOU Qianneng, GAO Chang, LI Hongjuan, TANG Zhengwei
(*Department of Microelec., Chongqing Univ. of Posts and Telecommunications, Chongqing* 400065, *P. R. China*)

Abstract: A novel bootstrapped sampling switch was designed in SMIC 0.18 μm CMOS process. A "mirror" architecture was used to increase the bootstrap capacitance. Clocked-inverters were used to reduce the parasitic capacitance at the gate node of MOS sampling switch transistor. By adopting these techniques, the charge-sharing effect was effectively suppressed, the linearity was improved, and the on speed or off speed of the bootstrapped sampling switch were increased. Simulation results showed that the designed bootstrapped sampling switch achieved a spurious free dynamic range (SFDR) of 111.3 dBc and a signal-to-noise-distortion ratio (SNDR) of 108.9 dB when the input sinusoidal signal had a frequency of 6.25 MHz and a peak-peak voltage of 0.8 V, and the sampling frequency was 100 MHz.

Key words: charge sharing; spurious free dynamic range; SNDR; bootstrapped sampling switch

0　引　言

随着集成电路技术的发展，模数转换器（ADC）作为混合信号应用系统的主要模块之一[1-2]，朝着高速、高精度方向发展。采样/保持电路是 ADC 的核心电路，采样开关又是采样/保持电路的重要组成部分。因此，采样开关的性能很大程度上决定采样/保持电路的性能，进而决定 ADC 的性能[3-4]。传统 MOS 采样开关具有线性度低以及诸如沟道电荷注入、时钟馈通、KT/C 噪声等[5]非理想因素等相关问题，其精度与速度受到限制。针对这些问题，学者们提出了栅压自举采样开关[6]。在此基础上，研究了栅压自举采样开关的优化补偿技术[1, 7-10]，如低功耗技术[1]、时钟馈通补偿技术[7]、栅压自举加倍技术[8]、阈值电压非线性补偿技术[9]、输入扩展技术[10]等。这些技术改善了采样开关的性能，但在电荷共享、速度等方面仍存在问题。基于此，本文提出

收稿日期：2019-09-09；**定稿日期：**2019-11-27
基金项目：重庆市重点产业共性关键技术创新专项项目（cstc2017zdcy-zdyf0166）；重庆市技术创新与应用示范项目（cstc2018jszx-cyztzx0049）
作者简介：周前能（1973—），男（汉族），四川资中人，博士，教授，模拟集成电路国家重点实验室博士后，研究方向为模拟 IC 设计。

了一种高线性度、快速栅压自举采样开关。采用镜像结构，增加了自举电容，采用时钟控制的反相器，减小了采样开关信号通路节点的寄生电容。

1　传统栅压自举采样开关

传统栅压自举采样开关如图 1 所示。MOS 管 M_1～M_2、电容 C_1～C_2 以及时钟信号 CK_1～CK_2 组成电荷泵。当采样开关在保持阶段时，电荷泵使 M_3 管的栅源电压大于阈值电压，从而使得 M_3 管保持导通。

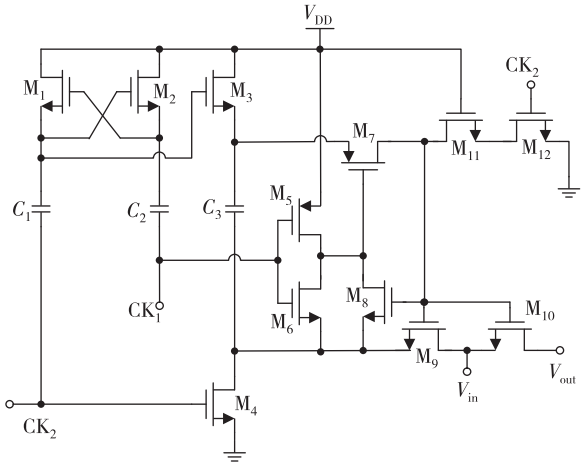


图 1　传统栅压自举采样开关

传统栅压自举采样开关的工作原理如下。

1）$CK_1=0$，$CK_2=1$，处于保持阶段。M_3 与 M_4 管导通，电源对自举电容 C_3 进行充电，使得上下极板的电压差为电源电压 V_{DD}。M_{11} 与 M_{12} 管均导通，采样开关管 M_{10} 的栅极为低电位，M_9 与 M_{10} 管均关断。M_5 管导通，使得 M_7 管的栅极为高电位，M_7 管关断，从而使 M_{10} 管在保持阶段与 C_3 断开。

2）$CK_1=1$，$CK_2=0$，处于采样阶段。M_3 与 M_4 管均关断，C_3 上下极板电压差为 V_{DD}。M_{11} 与 M_{12} 管均关断，M_5 管关断，M_6 管导通，使得 M_7 管栅极为低电位，并导通，进而使 C_3 上存储电荷，使得 M_9 与 M_{10} 管均导通。此时，输入信号 V_{in} 经过 M_9 管，使得 C_3 的上极板电压为 $V_{in}+V_{DD}$，经过 M_7 管，使得 M_{10} 管的栅极电压自举到 $V_{in}+V_{DD}$。

在采样阶段，M_{10} 管工作在深线性区，其栅源电压 $V_{GS10}=V_{DD}$，其导通电阻 r_{on10} 为：

$$r_{on10}=\frac{1}{\mu_n C_{ox}(W/L)_{10}(V_{DD}-V_{TH10})} \tag{1}$$

式中，μ_n 为电子迁移率，C_{ox} 为单位面积栅氧电容，$(W/L)_{10}$ 为 M_{10} 管的沟道宽长比，V_{TH10} 为 M_{10} 管的阈值电压。由式（1）可知，V_{GS10} 是一个与输入无关的常数，采样开关的导通电阻具有较高线性度。传统栅压自举采样开关存在电荷共享和速度低的问题。在保持阶段，C_3 的上下极板电压差被充电至 V_{DD}。在采样阶段，信号通路节点（即 M_{10} 管的栅极节点）寄生电容产生电荷共享，使得 V_{GS10} 小于 V_{DD}。V_{GS10} 和 r_{on10} 分别为：

$$V_{GS10}=\frac{C_3}{C_3+C_P}V_{DD} \tag{2}$$

$$r_{on10}=\frac{1}{\mu_n C_{ox}\left(\frac{W}{L}\right)_{10}\left(\frac{C_3}{C_3+C_P}V_{DD}-V_{TH10}\right)} \tag{3}$$

式中，C_P 为 M_7～M_9 管和 M_{11}～M_{12} 管贡献的寄生电容总和。由式（1）和式（2）可知，电荷共享影响采样开关的导通电阻的线性度。在采样开始阶段，M_7 管导通一定时间后，M_9 管才导通，使得采样开关的速度变慢。因此，传统栅压自举采样开关的线性度和速度仍需改进。

2　新型栅压自举采样开关设计

针对传统栅压自举采样开关存在的问题，设计了一种新型栅压自举采样开关，如图 2 所示。本文采用镜像结构，增加了自举电容，采用时钟控制的反相器，减小了采样开关信号通路节点的寄生电容。

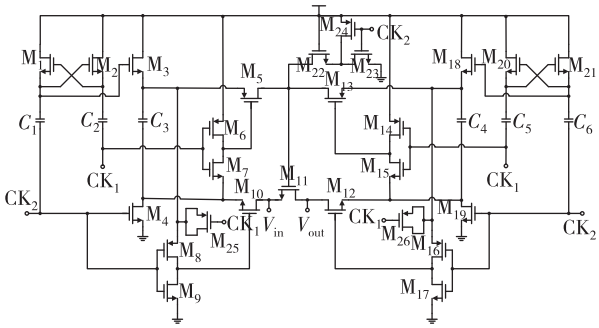


图 2　本文设计的栅压自举采样开关

本文的栅压自举采样开关的工作原理如下。

1）$CK_1=0$，$CK_2=1$，处于保持阶段。M_3～M_4 管、M_{18}～M_{19} 管均导通，电源对 C_3、C_4 充电，使上下极板电压差均为 V_{DD}。M_{22} 与 M_{23} 管均导通，使得 M_{11} 管关断。M_9 与 M_{17} 管均导通，使得 M_{10} 与 M_{12} 管均关断。M_6 与 M_{14} 管均导通，使得 M_5 与 M_{13} 管均关断。最终，M_{11} 管在保持阶段与 C_3、C_4 均断开连接。

2）$CK_1=1$，$CK_2=0$，处于采样阶段。M_3～M_4 及 M_{18}～M_{19} 管均关断，C_3、C_4 上下极板电压差均为

V_{DD}。M_{22}与M_{23}管均关断，使得采样开关无放电通路。M_7与M_{15}管均导通，使得M_5与M_{13}管均导通。M_9与M_{17}管均关断，M_8与M_{16}管均导通，使得M_{10}与M_{12}管均导通。M_{11}管与C_3、C_4均相连接。此时，V_{in}经过M_{10}管、C_3、M_5管，使得M_{11}管的栅极电压为$V_{in}+V_{DD}$，V_{out}经过M_{12}管、C_4、M_{13}管，使得M_{11}管栅极电压为$V_{out}+V_{DD}$，而在采样阶段，$V_{in}=V_{out}$。因此，M_{11}管栅极电压仍被自举到$V_{in}+V_{DD}$。

M_1～M_2管、C_1～C_2和时钟信号CK_1～CK_2构成电荷泵1，作用是使M_3管在保持阶段保持导通。M_{20}～M_{21}管、C_5～C_6和CK_1～CK_2构成电荷泵2，作用是使M_{18}管在保持阶段保持导通。M_{12}～M_{21}管、M_{26}管、C_4～C_6构成的电路是M_1～M_{10}管、M_{25}管、C_1～C_3构成的电路的镜像结构。C_3与C_4具有相同的容值。在采样阶段，M_{11}管的栅极电荷量由传统开关的C_3V_{DD}增大为$(C_3+C_4)V_{DD}$，即为$2C_3V_{DD}$。因此，自举电容值增大为传统开关的2倍。

M_8管与M_9管构成反相器，使得M_{10}管的栅极在采样阶段与M_{11}管的栅极断开。M_{16}管与M_{17}管构成反相器，使得M_{12}管的栅极在采样阶段与M_{11}管的栅极断开，减小了在信号通路节点（M_{11}管的栅极节点）上的寄生电容。M_{24}管在采样阶段导通，M_{22}管的源极电压为V_{DD}，使得M_{22}管完全关断，减小了其对信号通路节点寄生电容的贡献量。

因此，M_{11}管的栅源电压V_{GS11}、导通电阻r_{on11}分别为：

$$V_{GS11}=\frac{2C_3}{2C_3+C_{PA}}V_{DD} \tag{4}$$

$$r_{on11}=\frac{1}{\mu_n C_{ox}\left(\frac{W}{L}\right)_{11}\left(\frac{2C_3}{2C_3+C_{PA}}V_{DD}-V_{TH11}\right)} \tag{5}$$

式中，C_{PA}为M_5、M_{13}和M_{22}管在信号通路节点上贡献的寄生电容总和，$(W/L)_{11}$为M_{11}管的沟道宽长比，V_{TH11}为M_{11}管的阈值电压。

由式(1)～式(5)可知，本文的栅压自举采样开关中，自举电容值为传统开关的2倍，同时，信号通路节点上的总和寄生电容被减小（$C_{PA}<C_P$），这样就减小了电荷共享的影响，使得V_{GS11}更接近V_{DD}，从而提高了采样开关的线性度。

M_{10}管的栅极由M_8～M_9管组成的反相器输出端控制，M_{12}管的栅极由M_{16}～M_{17}管组成的反相器输出端控制。在采样开始阶段，传统开关中M_9管要在MOS管M_7导通一定时间后才导通。而本文开关中的M_{10}、M_{12}管分别与M_5、M_{13}管同时导通，加快了采样开关的导通速度。在采样到保持的转换过程中，M_8～M_9管以及M_{16}～M_{17}管的栅极均由CK_2控制，M_5和M_{13}管的栅极则由CK_1经一反相器的输出信号控制。这样，在采样到保持的转换瞬间，即M_5和M_{13}管关断前，M_8～M_9管、M_{16}～M_{17}管构成的电路会有一段时间保持同时导通，加快了采样开关的关断速度。

在M_8和M_{16}管刚开始关断时，M_5和M_{13}管仍保持导通，并向采样开关的栅极注入沟道电荷。为了克服该问题，本文采用由CK_1控制的Dummy管M_{25}与M_{26}，吸收M_8、M_{16}管产生的沟道电荷，以抑制沟道电荷注入。

3 仿真与分析

基于SMIC 0.18 μm CMOS工艺，在1.8 V电源电压、6.25 MHz频率、0.8 V输入正弦波信号、100 MHz采样频率的条件下，分别对传统及本文栅压自举采样开关进行了仿真验证。

传统及本文栅压自举采样开关的栅极电压曲线如图3所示。可以看出，本文开关有效提高了导通和关断速度，同时提高了线性度。

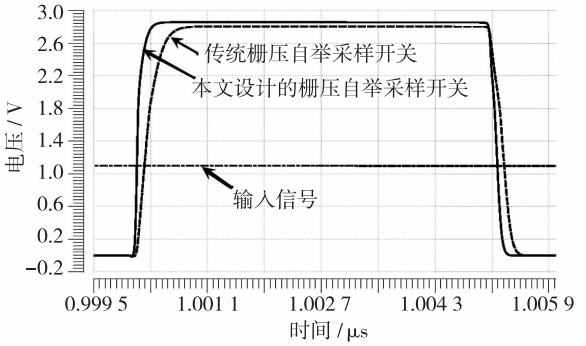


图3 传统及本文栅压自举采样开关的栅极电压曲线

本文栅压自举采样开关的输入输出曲线如图4所示。可以看出，输出曲线能跟随输入曲线。

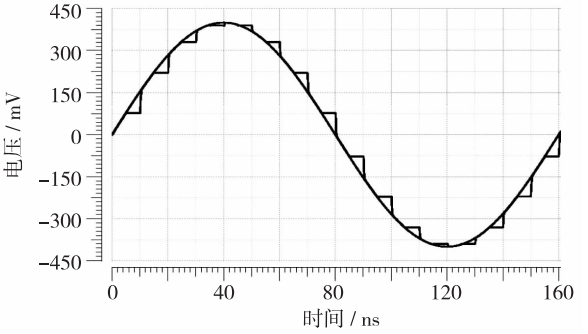


图4 本文栅压自举采样开关的输入输出曲线

传统及本文栅压自举采样开关的频谱图分别如图 5、图 6 所示。可以看出，传统开关的 SFDR 为 90.8 dBc，SNDR 为 90.3 dB。本文新型开关的 SFDR 为 111.3 dBc，SNDR 为 108.9 dB。相比传统开关，本文新型开关的 SFDR、SNDR 分别提高了 20.5 dBc 和 18.6 dB。

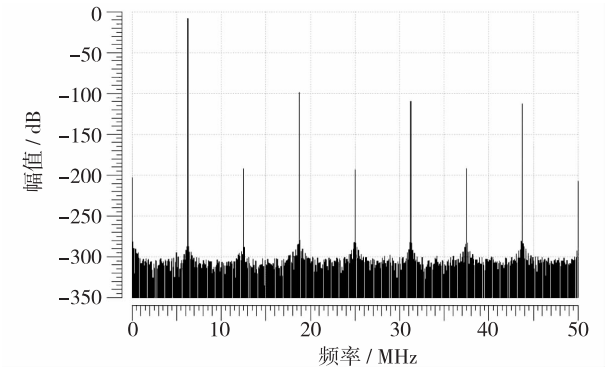


图 5　传统栅压自举采样开关的频谱图

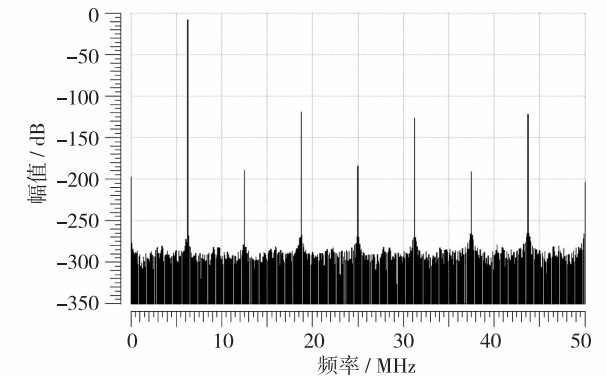


图 6　本文设计的栅压自举采样开关频谱图

本文与其他文献中采样开关的参数对比如表 1 所示。可以看出，本文新型开关的 SFDR、SNDR 等性能更佳。

表 1　本文与其他文献中的采样开关的参数对比

参数	文献[1]	文献[10]	传统开关	本文
工艺/nm	90	180	180	180
电源电压/V	1	1.8	1.8	1.8
输入频率/MHz	7	1	6.25	6.25
采样频率/MHz	280	200	100	100
SFDR/dBc	NA	76.5	90.8	111.3
SNDR/dB	57.01	67.6	90.3	108.9

4　结　论

本文针对传统采样开关存在的线性度低、速度慢等问题，设计了一种高线性度、快速栅压自举采样开关。采用镜像结构，增加了自举电容值；采用时钟控制的反相器，减小了寄生电容；采用时钟控制的 Dummy 管，吸收了沟道电荷。这些技术有效提高了线性度和速度。仿真结果表明，该新型栅压自举采样开关获得了较佳的 SFDR、SNDR、采样速度和线性度，适用于高速高精度 ADC。

参 考 文 献：

[1] NAZZAL T B, MAHMOUD S A. Low-power bootstrapped sample and hold circuit for analog-to-digital converters [C] // IEEE 59th Int MWSCAS. Abu Dhabi, United Emirates. 2016: 1-4.

[2] CAO Y, ZHANG T, CHEN Y, et al. An operational amplifier assisted input buffer and an improved bootstrapped switch for high-speed and high-resolution ADCs [C] // IEEE ISCAS. Florence, Italy. 2018: 1-5.

[3] LI D, CEN Y, YANG P, et al. The design of high linear bootstrapped S/H switch [C] // IEEE 3rd ICICM. Shanghai, China. 2018: 51-55.

[4] HUANG G, LIN P. A fast bootstrapped switch for high-speed high-resolution A/D converter [C] //IEEE Asia Pacific Conf Circ & Syst. Kuala Lumpur, Malaysia. 2010: 382-385.

[5] RAMKAJ A, TAVERNIER F, STEYAERT M. Fast switch bootstrapping for GS/s high-resolution analog-to-digital converter [C] // 11th Conf PRIME. Glasgow, Scotland. 2015: 73-76.

[6] ABO A. M, GRAY P R. A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter [J]. IEEE J Sol Sta Circ, 1999, 34(5): 599-606.

[7] ZHENG S, SHENG K, CHEN J, et al. A clock-feedthrough compensation technique for bootstrapped switch [C] // Int Conf EDSSC. Hsinchu, China. 2017: 1-2.

[8] 钱宏文，朱燕君，季惠才，等. 适用于中频采样的 CMOS 自举采样开关 [J]. 中国电子科学研究院学报，2013，8(2)：209-212.

[9] 张跃龙，李儒章，冯树. 一种新型高线性度 CMOS 自举采样开关 [J]. 微电子学，2011，41(6)：799-802.

[10] MOHAMMADI A, CHABARDORI M. A low-power, bootstrapped sample and hold circuit with extended input ranged for analog-to-digital converters in CMOS 0.18 μm [C] // 15th Int Conf SMACD. Prague, Czekh. 2018: 269-272.

用于加速度计接口电路的可编程增益放大器

赵文博，刘云涛，郭书宏，杨　璐
（哈尔滨工程大学 信息与通信工程学院，哈尔滨 150001）

摘　要： 在传统开关电容可编程放大器基础上，利用分时复用、分时输出的技术，设计了一种新型可编程增益放大器。相比传统开关电容可编程放大器，该放大器能实现连续信号输出，实现的全差分结构能有效抑制共模噪声。采用相关双取样技术，消除了失调和低频噪声。采用程序控制开关电容阵列，实现了不同的放大倍数。该放大器采用 0.18 μm CMOS 工艺，电源电压为 3.3 V。仿真结果表明，实现了近似 0.05 dB 步进、0～17.5 dB 的增益变化范围，可调增益达 1 024 种。在 1 kHz频率时，输出噪声为 42.68 nV・$Hz^{-1/2}$。

关键词： 可编程增益放大器；开关电容；相关双取样；全差分
中图分类号：TN722　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0486-05
DOI：10.13911/j.cnki.1004-3365.190486

A PGA Applied in Accelerometer Interface Circuit

ZHAO Wenbo, LIU Yuntao, GUO Shuhong, YANG Lu
(*School of Information and Communication Engineering, Harbin Engineering University, Harbin* 150001, *P. R. China*)

Abstract: Based on the traditional switched capacitor programmable amplifiers, a novel programmable gain amplifier was designed through adopting time division multiplexing and time division output. Compared with the traditional switched capacitor programmable amplifiers, the new amplifier could realize not only continuous signal output but also fully differential structure, which could effectively suppress the common mode noise. The correlated double sampling technique was used to eliminate the circuit's offset and low frequency noise. Different scales were achieved by adopting program-controlled switching capacitor arrays. The proposed amplifier was designed in a 0.18 μm CMOS process, and the power supply was biased at 3.3 V. The simulation results showed that the new amplifier could achieve approximately 0.05 dB step, 0～17.5 dB gain variation range, and 1 024 kinds of adjustable gains. In addition, the output noise was 42.68 nV/$Hz^{-1/2}$ at 1 kHz.

Key words: programmable gain amplifier; switched capacitor; correlated double sampling; fully differential

0　引　言

随着微电子技术的不断发展，微机电系统和传感器技术相结合，实现了传感器的微型化。应用最多的是微加速度传感器。微加速度传感器的接口电路是微加速度传感器的重要部分[1]。接口电路信号处理系统正向着集成化、高精度、低噪声、低功耗方向发展。为了使微加速度计接口电路适用于不同的微加速度传感器，并实现更高精度，对可编程增益放大器(PGA)的性能提出了更高要求[2]。

对于开关电容电路构成的运算放大器，其放大倍数只与采样、保持电容有关。合理地调节电容值，可对运算放大器的增益进行控制。因此，PGA 通常采用开关电容型结构[3]。

本文提出一种开关电容型 PGA。通过分时复用、分时输出技术，实现连续信号输出，且实现全差分输出。采用相关双取样技术，消除了失调和低频

收稿日期：2019-08-16；**定稿日期：**2019-11-04
基金项目：黑龙江省自然科学基金资助项目(JJ2018ZR1021)；哈尔滨市创新人才基金资助项目(RC2016QN009017)
作者简介：赵文博(1994—)，男(汉族)，吉林四平人，硕士研究生，研究方向为模拟集成电路设计。

噪声。该 PGA 的精度大幅提高，实现了多量程测量[4-6]。

1　相关双取样技术

在 PGA 设计中，可通过各种方法来提高电路的噪声性能，但在较低频率处，闪烁噪声依旧很大。由于工艺结构的偏差，运算放大器存在失调。本文在 PGA 中增加相关双取样技术，对信号进行间隔很近的取样，再对结果进行相减，从而消除了低频噪声和失调的影响。相关双取样电路如图 1 所示。

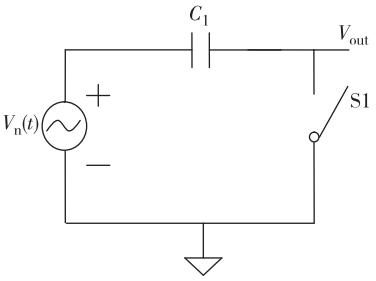


图 1　相关双取样电路

$V_n(t)$为低频噪声和失调的等效噪声电压源，C_1 为相关双取样电容。S1 为理想开关，时钟信号为周期是 T、占空比是 50%的方波信号。

在 NT 到 $NT+(1/2)T$ 时刻（N 表示周期的个数），S1 闭合，$V_n(t)$会被采样到 C_1 中，此时，C_1 上的电压为 $V_n(t)$，则 $V_{out}=0$ V。

在 $NT+(1/2)T$ 时刻到 $NT+T$ 时刻期间，S1 关断，电路中没有放电通路，C_1 上的电压应是 $V_n(t)$ 在 $NT+(1/2)T$ 时刻的电压，则 $V_{out}=V_n(t)-V_{C1}$。

$(N+1)T$ 时刻，S1 又闭合，重复上述过程[7]。

从相关双取样技术的分析可知，V_{C1} 为：

$$V_{C1}=\begin{cases}V_n(t), NT\leqslant t<NT+\dfrac{T}{2}\\ V_n(NT+\dfrac{T}{2}), NT+\dfrac{T}{2}\leqslant t<(N+1)\dfrac{T}{2}\end{cases} \tag{1}$$

输出电压 V_{out} 为：

$$V_{out}=\begin{cases}0, NT\leqslant t<NT+\dfrac{T}{2}\\ V_n(t)-V_{C1}(NT+\dfrac{T}{2}), NT+\dfrac{T}{2}\leqslant t<(N+1)\dfrac{T}{2}\end{cases} \tag{2}$$

如果 $V_n(t)$的周期远大于 T，则在 $NT+(1/2)T\leqslant t<(N+1)T/2$ 时段中，$V_n(t)\approx V_n(NT+(1/2)T)$，因此 $V_{out}\approx 0$，即消除了低频噪声和失调的影响。

2　PGA 设计

2.1　全差分运算放大器

全差分运算放大器作为 PGA 的核心部分，需要有较低的噪声、较高的增益和较大的带宽。本文设计的全差分运算放大器如图 2 所示。

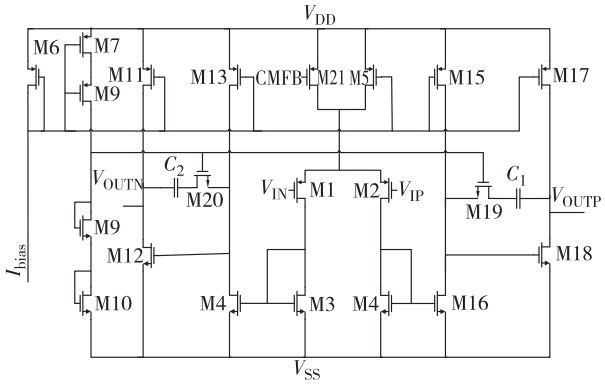


图 2　全差分运算放大器电路图

M5、M6、M11、M13、M15、M17 管组成电流镜，为整个电路提供合适的电流偏置。M1～M5 管构成差分输入级，其中，M1、M2 管构成差分对管。PMOS 管的噪声性能远优于 NMOS 管，因此，差分放大器采用 PMOS 管作输入对管。M3、M4 管组成二极管负载，M5 管为差分输入级的尾电流源。M13、M14、M15、M16 管构成两组共源放大器。M11、M12、M17、M18 管构成两组输出级。M19 管、C_1 和 M20 管、C_2 构成密勒补偿电路，用于改善电路的稳定性。M7、M8、M9、M10 为 M19、M20 管提供合适的栅电压。M21 管为差分放大器提供共模反馈。在没有共模反馈电路时，共模电压的输出会漂移。本文的共模反馈电路采用开关电容型结构，如图 3 所示。

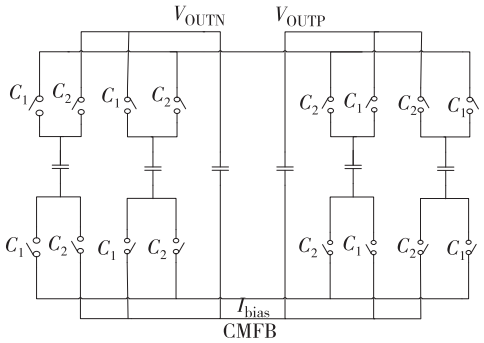
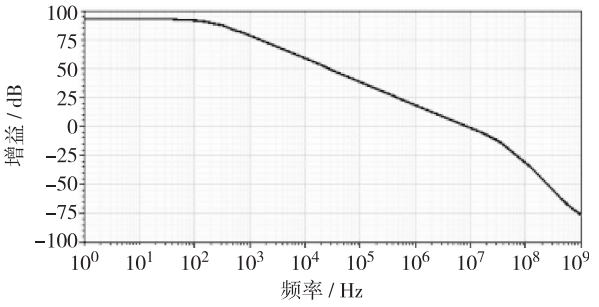


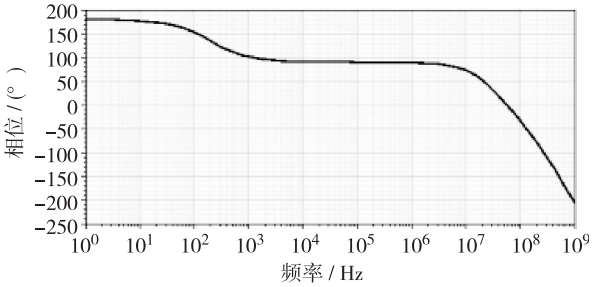
图 3　共模反馈电路

电路采用 0.18 μm CMOS 工艺设计，电源电压为 3.3 V。采用 Cadence Spectre 软件对电路进行

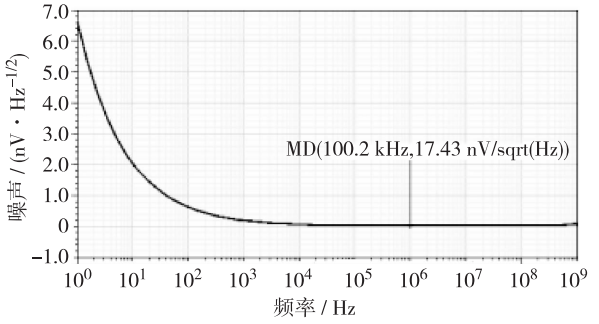
频率特性仿真。仿真温度为 27 ℃，频率范围为 1 Hz～1×10^9 Hz，输入信号为 1.65 V 共模电压、1 V差模电压的差分信号。全差分放大器的频率特性曲线如图 4 所示。可以看出，全差分放大器的增益为 92.6 dB，单位增益带宽为 9.089 MHz，相位裕度为 76.09°，增益裕度为－20.84 dB。在 100 kHz 时，输入噪声为 17.43 nV・$Hz^{-1/2}$。



（a）幅频特性



（b）相频特性



（c）输入参考噪声

图 4　全差分放大器的频率特性曲线

2.2　PGA 工作原理

传统开关电容可编程放大器为离散时间系统，经过放大的输出信号为离散信号。本文在传统器件基础上，通过分时复用、分时输出技术，实现开关电容 PGA 的连续信号输出，并实现了全差分结构。增加了相关双取样技术，消除了失调和低频噪声。可变电容阵列选择采样电容，而不是反馈电容，避免了对放大器的性能影响。PGA 电路图如图 5 所示。

C_1 与 C_2 为可变电容阵列，通过外部的控制器选择不同的电容值，连接到电路中，实现不同的增益。C_3、C_4、C_5、C_6 为相关双取样电容，C_7、C_8、C_9、C_{10} 为全差分运算放大器的反馈电容。

本文的难点在于如何通过时钟控制开关，进而达到信号的连续输出，PGA 的时序图如图 6 所示。S1 为原始时钟，S2、S3、S4、S5 和 S6 是通过分频电路和组合逻辑电路产生的时钟信号，S2 控制电路上、下两部分进行分时工作，即一部分输出，一部分采样，彼此交替，始终有信号输出，从而改善了传统电路的离散问题。

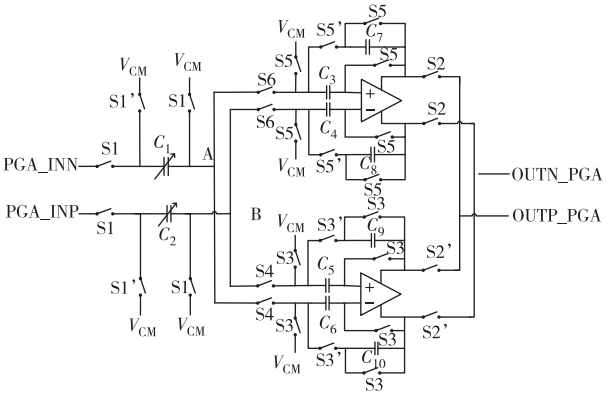


图 5　PGA 电路图

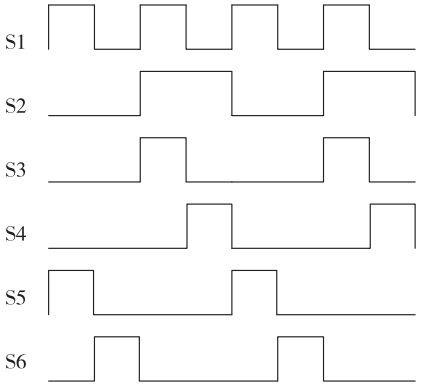


图 6　PGA 的时序图

采用上述方法设计的 PGA 在一个时钟周期内的工作状态分为 3 个相位阶段：输入取样相位、电荷转移相位和输出保持相位。下面以上半部分 PGA 为例，分析本文 PGA 的工作原理。

输入采样相位阶段。S1 接高电平，可变电容阵列 C_1、C_2 分别对输入信号 PGA_IN 和 PGA_IP 进行采样。S5 接高电平，全差分放大器的失调电压和 $1/f$ 噪声储存在相关双取样电容 C_3 和 C_4 中，反馈电容 C_7、C_8 电荷清零。S6 和 S2 接低电平。

电荷转移相位阶段。S1、S5 接低电平，S6 接高电平。因为相关双取样电容 C_3、C_4 的电压与电路失调电压相互抵消，所以可变电容阵列 C_1、C_2 的电荷全部转移到反馈电容 C_7、C_8 中。

输出保持相位阶段。S1、S5、S6 接低电平，S2 接高电平，反馈电容上的电压保持输出。同时，另一边 PGA 进行输入取样，电荷被转移。

根据电荷守恒定律，对上半部分 PGA 的工作过程进行公式化推导。A 点的电荷量关系为：

$$(V_A-V_{CM})C_S+(V_A-V_{OUT1N})C_F=(V_{CM}-V_{INN})C_S \tag{3}$$

B 点的电荷量关系为：

$$(V_B-V_{CM})C_S+(V_B-V_{OUT1P})C_F=(V_{CM}-V_{INP})C_S \tag{4}$$

式中，$C_1=C_2=C_s$，$C_7=C_8=C_F$，V_{OUT1N} 和 V_{OUT1P} 为上半部放大器的两个输入。

V_A、V_B 为上半部运算放大器的两个输入。当运放增益很大时，$V_A-V_B=0$。式(3)和式(4)两式相减，可得：

$$V_{OUT1N}-V_{OUT1P}=\frac{(V_{INN}-V_{INP})C_S}{C_F} \tag{5}$$

同理下半部 PGA 工作时可得：

$$V_{OUT2N}-V_{OUT2P}=\frac{(V_{INN}-V_{INP})C_S}{C_F} \tag{6}$$

可知，本文 PGA 的上、下两个 PGA 可对输入信号实现大小相等的放大倍数。传统开关电容 PGA 只能输出离散信号，本文的 PGA 可以分时复用，实现信号的连续输出。

本文 PGA 共有 1 024 种放大倍数，可变电容阵列由基础电容与电容阵列并联组成。电容阵列有 10 个并联电容。C_0 为单位电容，由 10 位的控制信号 Trim_PGA<9：0>进行控制。C_0～C_9 电容值呈指数分布，分别为 $C_0\times2^0$，$C_0\times2^1$，$C_0\times2^2$，$C_0\times2^3$，$C_0\times2^4$，$C_0\times2^5$，$C_0\times2^6$，$C_0\times2^7$，$C_0\times2^8$，$C_0\times2^9$。

对于采用的开关电容放大器，电容的精度会影响到最后的结果，而电容值会在制造工艺中受到影响。为保持上、下两部分电容值的一致，在绘制版图时有匹配要求，如图 7 所示。

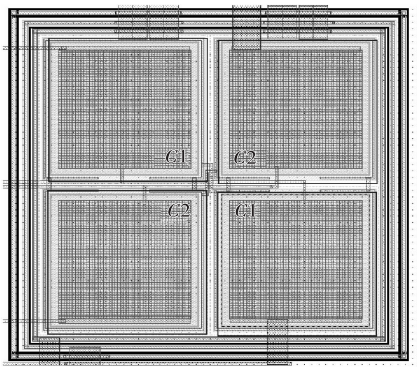
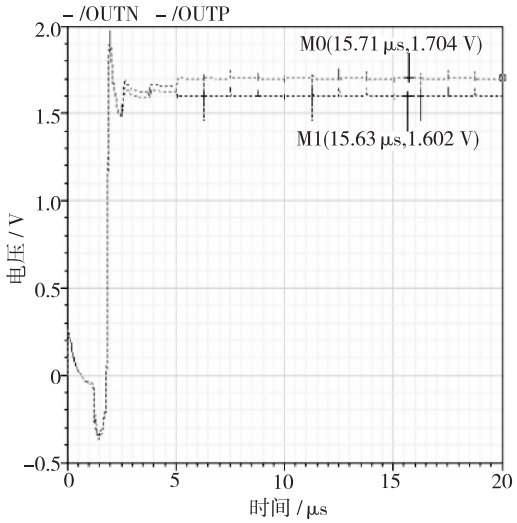


图 7　电容匹配版图

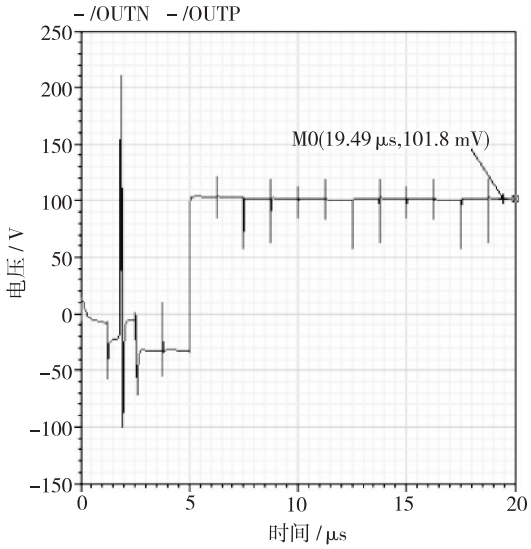
3　电路仿真结果

本文 PGA 采用 0.18 μm CMOS 工艺，供电电压为 3.3 V。使用 Cadence Spectre 软件进行瞬态仿真。仿真温度为 27 ℃，截止时间为 20 μs，PGA_IN 和 PGA_IP 为 PGA 的输入，分别输入 1.7 V、1.6 V 的直流电压，差值为 100 mV。

Trim_PGA 为 000000000 时的瞬态仿真曲线如图 8 所示。可以看出，V_{OUTN} 为 1.704 V，V_{OUTP} 为 1.602 V，两者的差值为 101.8 mV。以此类推。由于 Trim 较多，不一一列举。通过仿真可知，该 PGA 可实现近似 0.05 dB 步进、0～17.5 dB 的增益变化范围，达到 1 024 种可调增益。



(a) OUTN 和 OUTP 输出结果



(b) OUTN−OUTP 输出结果

图 8　Trim_PGA 为 000000000 时的瞬态仿真曲线

对该 PGA 进行连续时间信号放大仿真，输入信号为幅值是 50 mV、频率是 1 kHz 的正弦信号，截止时间为 2 ms，Trim1_PGA 设为 100000000，此时，放大倍数约为 4.17。连续时间放大仿真曲线如图 9 所示。可以看出，达到了预期的放大倍数，同时，实现了连续信号的输出。

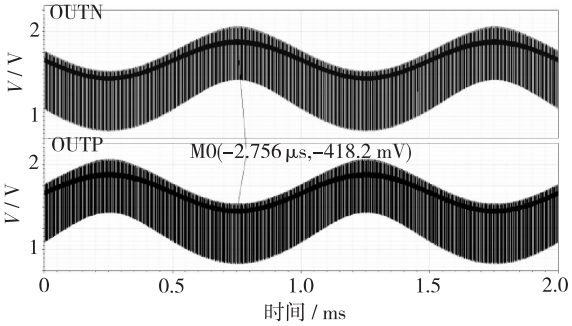


图 9 连续时间放大仿真曲线

对 PGA 进行噪声特性仿真，噪声特性仿真曲线如图 10 所示。可以看出，在 1 kHz 频率时，输出噪声为 42.68 nV・$Hz^{-1/2}$，开关对整体电路的影响较小。

本文与其他文献中 PGA 的参数比较如表 1 所示。可以看出，虽然本文 PGA 没有达到很高的增益，但能实现较高精度和较低噪声，能实现连续信号输出，还可通过后续滤波电路对放大后信号做进一步处理。

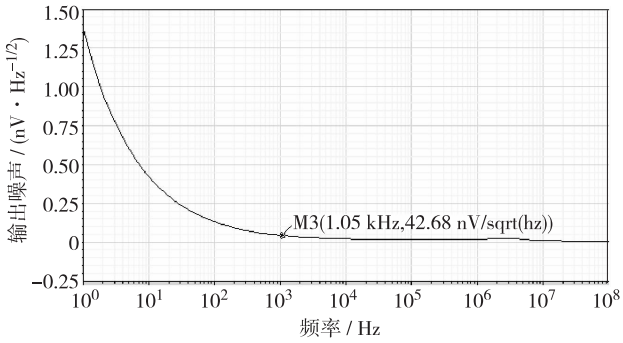


图 10 噪声特性仿真曲线

4 结 论

基于 3.3 V 电源电压、0.18 μm CMOS 工艺，本文提出了一种可以应用于微加速度计接口电路的可编程增益放大器。基于开关电容结构，增加相关双取样技术，抑制了低频噪声和电路失调。通过时钟控制实现分时复用、分时输出，完成离散信号到连续信号的转变，能够使后级低通滤波器对信号进行处理。整个 PGA 可实现近似 0.05 dB 步进、0～17.5 dB 的增益变化范围，能达到 1 024 种可调增益。在 1 kHz 频率时，输出噪声为 42.68 nV・$Hz^{-1/2}$。该 PGA 能适用于不同加速度传感器的敏感结构，实现多量程检测。

表 1 本文与其他文献中 PGA 的参数比较

参数	文献[5]	文献[6]	文献[7]	本文
工艺/μm	0.18	0.18	0.18	0.18
最大增益/dB	9.5	15	18	17.5
步进/dB	-	1	6	0.05
噪声/(nV・$Hz^{-1/2}$)	-	-	51	42.6
输出信号	离散	-	离散	连续

参 考 文 献：

[1] 盛云. 一种无线射频芯片中的可变增益放大器设计[D]. 天津：天津大学，2014.

[2] 王江涛. 电容式 MEMS 加速度计接口电路芯片研究与设计[D]. 西安：西安电子科技大学，2018.

[3] SHYLU D S, MONI D J, NIVETHA G. Design and power optimization of high-speed pipelined ADC with programmable gain amplifier for wireless receiver applications[J]. Wireless Personal Commun, 2016, 90(2): 1-22.

[4] 金湘亮，陈杰，仇玉林. 一种低功耗低噪声相关双取样电路的研究[J]. 电路与系统学报，2003，8(3)：23-26.

[5] ZHANG H, ZHANG J. A multifunctional switched-capacitor programmable gain amplifier for high-definition video analog front-ends[J]. J Semicond, 2015, 36(3): 99-105.

[6] 桑红石，刘晓磊，刘丽艳. CMOS 图像传感器中可编程增益放大器的设计[J]. 微电子学，2010，40(4)：477-480.

[7] 吴治军，刘昌举，祝晓笑，等. 一种应用于 CMOS 图像传感器的电容阵列 PGA 研究[J]. 半导体光电，2011，32(5)：629-633.

一种低压带隙基准源启动电路

王 恬，虞致国，宋鑫宇，吴 江，顾晓峰
（江南大学 电子工程系 物联网技术应用教育部工程研究中心，江苏 无锡 214122）

摘 要： 电流模带隙基准源(CMBGR)在低电源电压电路中得到广泛的应用，但其启动行为仍值得关注。在启动电路不可靠的情况下，CMBGR 会导致芯片失效，使得成品率下降。在分析 CMBGR 的启动和多个工作点问题后，提出一种只有两个稳定工作点的 CMBGR，可通过监测电路状态和控制启动电路的充电来解决简并点问题。采用 0.13 μm CMOS 工艺，对提出的 GMBGR 电路进行设计与仿真。仿真结果表明，该电路产生的参考电压小于 1.25 V，在 −25 ℃～125 ℃之间的温度系数为 4.7×10^{-6}/℃，具有良好的启动性能。

关键词： 电流模带隙基准源；启动电路；简并点；温度系数
中图分类号：TN432 **文献标识码：**A **文章编号：**1004-3365(2020)04-0491-04
DOI：10.13911/j.cnki.1004-3365.190496

A Start-Up Circuit for Low Voltage Bandgap Reference

WANG Tian, YU Zhiguo, SONG Xinyu, WU Jiang, GU Xiaofeng
(*Engineering Research Center of Internet of Things Technology Applications (Ministry of Education), Department of Electronic Engineering, Jiangnan University, Wuxi, Jiangsu* 214122, *P. R. China*)

Abstract: The current mode bandgap reference (CMBGR) has been widely used in low supply voltage applications, but its start-up behavior deserves more attention. The CMBGR without a robust start-up circuit may lead to the chip failure and low yield. After analyzing the issues of start-up and multiple operating points of the CMBGR, a new type of CMBGR with only two stable operating points was proposed. The degenerate point problem could be solved by monitoring the circuit state and controlling the charging of the start-up circuit. The circuit was designed in a 0.13 μm CMOS process. The simulation results showed that the proposed circuit generated a reference voltage less than 1.25 V. It had a temperature coefficient of 4.7×10^{-6}/℃ from −25 ℃ to 125 ℃, and exhibited a robust start-up behavior.

Key words: current mode bandgap reference; start-up circuit; degenerate point; temperature coefficient

0 引 言

带隙基准(BGR)被广泛应用于模拟信号和混合信号电路中，用来产生对温度和电源不敏感的基准电压[1-2]。传统 BGR 输出的参考电压约为 1.25 V，已不能满足更低电源电压的需求[3-4]。传统 BGR 电路一般有两个简并点。在错误的工作点，电路允许所有晶体管处于零电流状态。M. Waltari 等人提出一种破坏零电流状态稳定性的方法，以确保 BGR 电路进入正确的工作点[5]。孔令荣等人提出一种解决电流模带隙基准电路中第三简并态问题的处理方法，通过控制电路的启动过程，使电路在启动时避开第三简并态而进入正常工作状态[6]。陈涛等人设计

收稿日期：2019-08-22；**定稿日期：**2019-10-21
基金项目：中央高校基本科研业务费专项资金项目(JUSRP51510)；江苏省研究生科研与实践创新计划项目(SJCX18_0647)
作者简介：王 恬(1995—)，女(汉族)，江苏扬州人，硕士，从事模拟集成电路设计和嵌入式开发研究工作。
虞致国(1979—)，男(汉族)，江西万年人，博士，副教授，研究方向为超大规模集成电路设计。通信作者，E-mail：yuzhiguo@jiangnan.edu.cn。

了一个高性能的曲率校正带隙基准，可实现节点电流相减，从而产生分段线性电流，并作为基准源的曲率校正分量[7]。

1999 年，H. Banba 等人提出一种电流模带隙基准源(CMBGR)，能产生可配置的电压，该电压低于传统 BGR 的输出电压[8]。但是，CMBGR 具有多个稳定工作点，使其在启动期间无法达到所需的工作点[9-11]。之后，H. Banba 等人使用控制信号来初始化 BGR 电路，但是控制信号被切断后，无法保证电路的正常工作状态[8]。Q. Yu 等人提出一种低压带隙基准电路，用来解决这个问题，但是温度系数会影响 BGR 电压，且设计参数难以设定[9]。

为了克服简并点的问题，本文提出一种基于启动电荷控制技术的低压 CMBGR 启动电路，并基于 0.13 μm CMOS 工艺进行实现。仿真结果表明，当温度为 −25 ℃～125 ℃、电源电压为 1.2 V 时，温度系数为 4.7×10^{-6}/℃。

1　CMBGR 与启动电路的问题

传统 BGR 的输出参考电压可以表示为：

$$V_{\mathrm{conv}}=V_{\mathrm{be}}+\alpha\Delta V_{\mathrm{be}}=V_{\mathrm{be}}+\alpha V_{\mathrm{T}}\ln N \tag{1}$$

式中，电压 V_{be} 和 V_{T} 分别为 −2 mV 和 0.086 mV，N 是双极性晶体管(BJT)的比值，α 是设置零温度系数参考所需的系数。通过设置 α，传统 BGR 可以产生一个与温度无关且稳定的输出电压。这种情况下，参考电压 V_{conv} 约为 1.25 V，不适合低压应用。

传统 CMBGR 的结构如图 1 所示，晶体管 M_1、M_2 与 M_3 的尺寸相同，电阻 R_1 与 R_2 的阻值相同，Q_1 和 Q_2 管的发射极尺寸之比为 N。因此，运算放大器(AMP)的输入电压 V_{A} 与 V_{B} 相同。

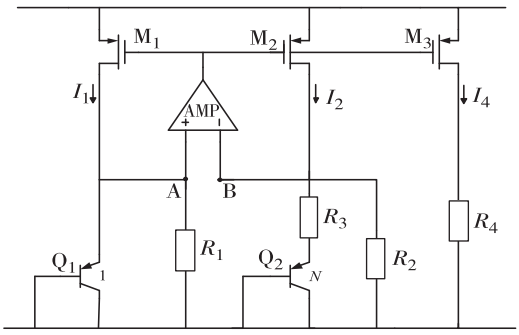


图 1　传统 CMBGR 的结构

输出电压为：

$$V_{\mathrm{ref}}=\frac{R_4}{R_2}\left(V_{\mathrm{be}}+\frac{R_2}{R_3}V_{\mathrm{T}}\ln N\right) \tag{2}$$

通过调整 R_2 与 R_3 的比值，可以消除温度系数，V_{ref} 表示为：

$$V_{\mathrm{ref}}=V_{\mathrm{conv}}\frac{R_4}{R_2} \tag{3}$$

因此，通过设置 R_4 与 R_2 之间的比值，可以调整 V_{ref} 值，并且小于传统 BGR 的输出电压。

但是，CMBGR 会引入一个额外的简并点。当节点 A 和 B 上的电压均不足以开启 Q_1 和 Q_2 管时，M_1 和 M_2 管提供的电流仍可以流入 R_1 和 R_2。在这种情况下，CMBGR 有 Q_1 和 Q_2 两个非零工作点，Q_1 和 Q_2 管不能同时断开。因为传统的启动电路禁止零电流，所以它不能使电路处于理想的工作点。

2　改进型 CMBGR 启动电路

改进的启动电路如图 2 所示。电阻 R_2 分为两部分，即 $R_{2\mathrm{a}}$ 和 $R_{2\mathrm{b}}$。比较 $R_{2\mathrm{b}}$ 上的采样电压 V_{comp} 与 R_4 上的电压 V_{ref}，比较器(CMP)的输出决定启动电路是否流出电流 I_{start}，是否对节点 A 和 B 充电。

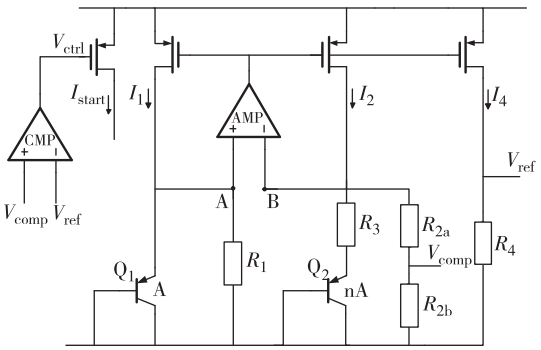


图 2　改进型 GMBGR 电路

电路正常启动时，可以得到：

$$V_{\mathrm{ref}}=V_{\mathrm{conv}}\frac{R_4}{R_2} \tag{4}$$

在其他的工作点，Q_1 和 Q_2 管关闭。BGR 电压可以表示为：

$$V'_{\mathrm{ref}}=I_4R_4=I_2R_4=\frac{V_{\mathrm{B}}R_4}{R_2} \tag{5}$$

$R_{2\mathrm{b}}$ 上的电压可以表示为：

$$V_{\mathrm{comp}}=\frac{V_{\mathrm{B}}}{R_2}R_{2\mathrm{b}} \tag{6}$$

如果 $R_{2\mathrm{b}}$ 设置为：

$$R_4<R_{2\mathrm{b}}<\frac{V_{\mathrm{conv}}}{V_{\mathrm{B}}}R_4 \tag{7}$$

则有：

$$V'_{\mathrm{ref}}<V_{\mathrm{comp}}<V_{\mathrm{ref}} \tag{8}$$

通过设置适当的比例 R_{2b}/R_4，使得 V_{comp} 小于正确的 BGR 电压 V_{ref}，大于错误的 BGR 电压。因此，可以通过比较 V_{ref} 和 R_{2b} 上的采样电压来确定电路是否在所需的电压上。这样，多余的简并点就变得不稳定，除非 V_{comp} 低于 V_{ref}，否则启动电路将关闭。

通过上述公式，可以得到：

$$\frac{V_{conv}}{V_B}=\frac{V_{conv}}{V_{conv}-\frac{R_2}{R_3}V_T\ln N} \tag{9}$$

假设 b 的值为 R_{2b}/R_4，式(8)可改写为：

$$1<b<\frac{V_{conv}}{V_{conv}-\frac{R_2}{R_3}V_T\ln N} \tag{10}$$

3　电路设计与仿真

改进的 CMBGR 电路结构如图 3 所示，该电路由启动电路、比较器、电流模式带隙核心电路和运算放大器组成。其中，启动电路由 M_{n1}、M_{n2}、M_{n3}、R_5、M_{p1} 和 M_{p2} 管组成；晶体管 M_{n1} 和 M_{n2}、M_{p1} 和 M_{p2} 构成两对电流镜；M_{n3} 管的栅极与比较器输出相连。当 V_{ref} 大于 V_{comp} 时，M_{n3} 管打开，启动电路关闭。然后，电路朝所需状态运行(理想状态)。因此，其他的简并点不稳定。

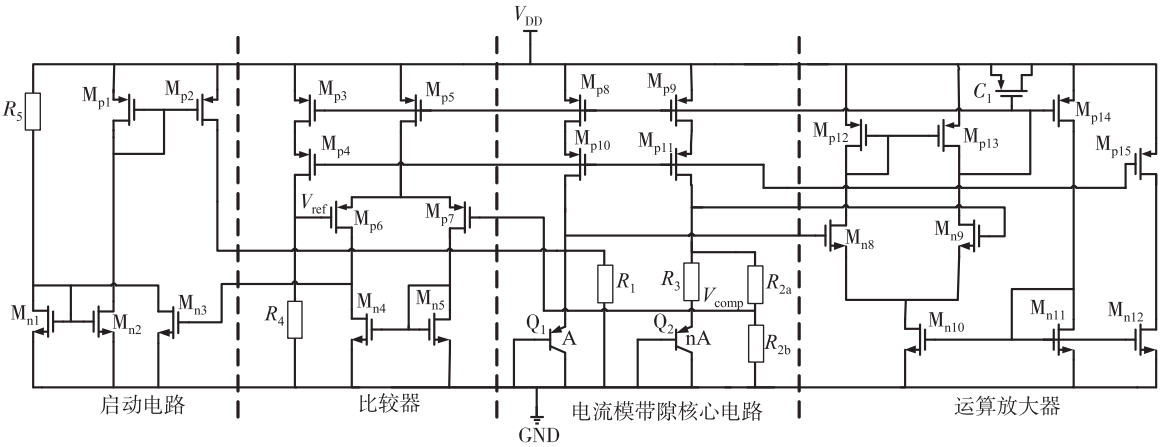


图 3　改进的 CMBGR 电路结构

带隙电路是根据文献[3]设计的。其中，级联结构用于减少(沟道)通道长度调制效应，以及解决镜像电流不匹配的问题。两级运算放大器用于比较器引起的回路[10]。电容 C_1 是密勒电容，通过提高相位裕度来稳定运算放大器。

图 4 所示的仿真结果表明，当 b 介于 1.04 与 1.54 之间时，与理论范围 1～1.56 相比，可以建立正确的参考电压。这个偏差值来自分析的近似值和运算放大器的有限增益。

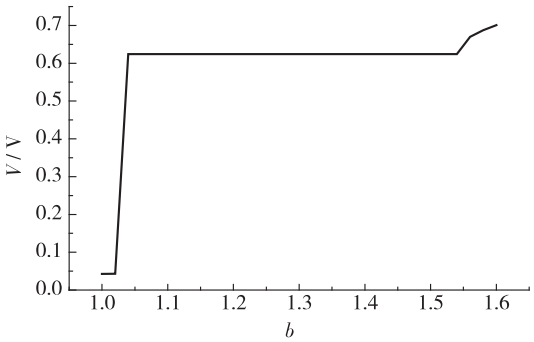


图 4　BGR 输出电压随 b 的变化情况

本文将 b 值设定为 1.25，并作进一步分析。当 b = 1.25 时，对应的瞬态仿真结果如图 5 所示。

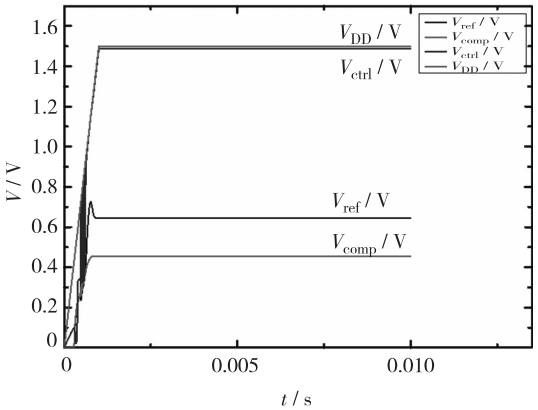
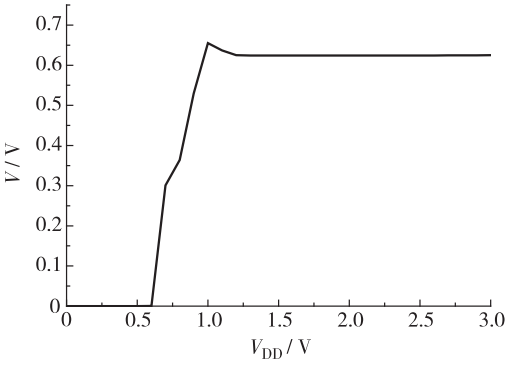


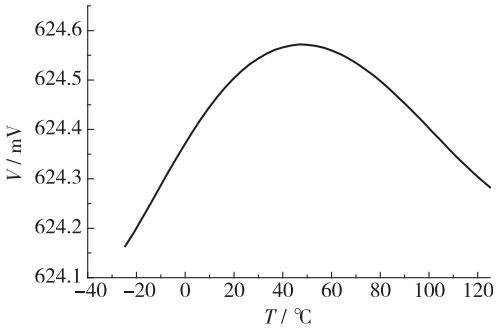
图 5　瞬态仿真结果

图 5 中，经过反复的比较充电，最终达到稳态。当电源电压出现时，运算放大器开始工作。然后，比较器接收输出电压 V_{ref} 和比较电压 V_{comp}，产生控制电压 V_{ctrl} 来控制启动。在输出电压正确前，启动电路一直运行并保持稳定状态。只要将 b 设置为适当的值，用其他实现方式也会发生一样的过程。

图 6 所示为输出参考电压随电源电压和温度的变化曲线。可以发现，在电源电压大于 1.2 V 的情况下，BGR 输出电压能平稳地移动到右侧工作点，如图 4 所示。在－25 ℃～125 ℃的温度范围内，输出电压的温度系数最高为 4.7×10^{-6}/℃，可以满足大多数应用的要求。



(a) 随电源电压的变化曲线



(b) 随温度压的变化曲线

图 6 输出电压随电源电压和温度变化的仿真结果

本文采用了 SMIC 0.13 μm 工艺，设计 CMBGR 的电路版图。该版图如图 7 所示，尺寸为 190 μm×91 μm。

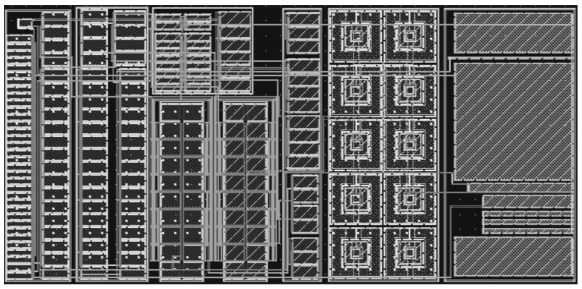


图 7 CMBGR 的电路版图

4 结 论

为了解决简并点的问题，本文提出一种基于启动电荷控制技术的低压 CMBGR 启动电路。该电路采用比较器对输出电压进行监测，比较器的输出控制着 BGR 的启动，以此消除第三简并点。仿真结果表明，该方法在合适的参考电压下，可获得 4.7×10^{-6}/℃的温度系数。该 CMBGR 具有精度高、宽温度范围等特点，适用于多种模拟和混合信号电路。

参 考 文 献：

[1] ZHOU Z, SHI Y, HUANG Z, et al. A 1.6-V 25-μA 5-ppm/℃ curvature-compensated bandgap reference [J]. IEEE Trans Circ & Syst I: Regu Pap, 2015, 59(4): 677-684.

[2] SHIH Y C, OTIS B P. An inductor less DC-DC converter for energy harvesting with a 1.2-μW bandgap-referenced output controller [J]. IEEE Trans Circ & Syst II: Expr Bri, 2011, 58(12): 832-836.

[3] WANG T, YAN Y. A low-voltage low-power wide-tuning-range hybrid class-AB/class-B VCO with robust start-up and high-performance FOMT [J]. IEEE Trans Microwave Theo Tech, 2011, 62(3): 521-531.

[4] TIYYAGURA S R, KATARE S. Low power voltage reference architectures [C] // Symp ISSCS Signals Circ & Syst. Iasi, Romania. 2019: 1-4.

[5] WALTARI M, HALONEN K. Reference voltage driver for low-voltage CMOS A/D converters [C] // Conf ICECS Elec, Circ & Syst. Jounieh, Lebanon. 2000: 28-31.

[6] 孔令荣，熊立志，王振华，等. 低压低功耗电流模 CMOS 带隙基准电路 [J]. 微电子学，2008，38(3)：449-452.

[7] 陈涛，胡利志，乔明. 一种低压分段线性曲率校正 CMOS 带隙基准源设计 [J]. 电子与封装，2014，14(9)：36-39.

[8] BANBA H, SHIGA H, UMAZAWA A, et al. A CMOS bandgap reference circuit with sub-1-V operation [J]. IEEE J Sol Sta Circ, 1999, 34(5): 670-674.

[9] YU Q, CHAN E. Low voltage bandgap reference circuit [P]. USA: US6489835, 2002.

[10] YU C, SIEK L. An area-efficient current-mode bandgap reference with intrinsic robust start-up behavior [J]. IEEE Trans Circ Syst II: Expr Bri, 2015, 62(10): 937-941.

[11] 罗永刚. 一种新颖的低功耗低相位噪声 VCO 设计 [J]. 压电与声光，2019，41(5)：643-646.

一种 2 700 MHz 高精度真对数放大器

刘登学，庞佑兵，杨　帆，杨　超
（中国电子科技集团公司 第二十四研究所，重庆 400060）

摘　要： 提出了一种高频率、高精度真对数放大器。采用检波对数放大信号调节限幅信号的结构进行设计，并基于 SMT 工艺进行制作。结果表明，该对数放大器的最高工作频率可达 2 700 MHz，带宽范围为 170～2 700 MHz，输入信号动态范围≥60 dB，对数精度≤±1.0 dB，功耗≤0.5 W。该对数放大器适用于雷达、声纳、通讯或电子对抗等领域。

关键词： 高频率；真对数放大器；动态范围；对数精度
中图分类号：TN722.1+4　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0495-04
DOI：10.13911/j.cnki.1004-3365.190723

A 2 700 MHz High Precision True Logarithmic Amplifier

LIU Dengxue, PANG Youbing, YANG Fan, YANG Chao
(*The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing* 400060, *P. R. China*)

Abstract: A high frequency high precision true logarithmic amplifier was presented. Based on the SMT process, a structure using logarithmic amplification signal to adjust the limiting signal was designed. The results showed that the maximum operating frequency of the logarithmic amplifier reached 2 700 MHz, the bandwidth range was 170～2 700 MHz, the input signal wide-dynamic range was more than 60 dB, the logarithmic accuracy was less than ±1.0 dB, and the power consumption was less than 0.5 W. The logarithmic amplifier could be applied in the applications such as radar, sonar, communication or electronic countermeasure.

Key words: high frequency; true logarithmic amplifier; dynamic range; logarithmic accuracy

0　引　言

真对数放大器是将接收的大动态信号压缩为动态范围较小的信号，供后续电路（如 A/D 转换器等）处理，是接收系统中的重要器件[1]。随着 A/D 转换器的工作频率不断提高，迫切需要真对数放大器的工作频率提高到 2 000 MHz 以上，同时提高对数精度，以满足整机系统的需要[2]。

传统真对数放大器采用双增益型电路结构，即一个高增益限幅放大器和一个单位增益放大器，双增益单元通过级联构成。级数越多，动态范围越大。传统真对数放大器存在频率低、功耗大、体积大等问题[3]。

文献[4-5]提出的新型真对数放大器采用 AD8309 进行限幅和检波对数放大，再采用乘法器对限幅信号和检波对数放大信号进行合成，输出真对数放大信号。但是，该真对数放大器的最高频率低于 500 MHz。在该真对数放大器的基础上，本文提出了一种高频率、高精度真对数放大器，选用工作频率更高的器件，增加衰减器、斜率调整等辅助单元，以匹配各单元电路的工作点。本文真对数放大器的最高频率达到 2 700 MHz，对数精度≤±1.0 dB，可很好满足整机系统的高频率需要。

1　电路设计与分析

1.1　设计背景

整机系统要求的真对数放大器指标有：工作频

收稿日期：2019-12-10；**定稿日期：**2020-01-25
作者简介：刘登学（1975—），男（汉族），重庆人，硕士，高级工程师，从事放大器、AGC 等混合模块电路的研究工作。

率为 1 600～1 800 MHz，输入动态范围≥60 dB，对数精度≤±1.0 dB，输出信号幅度为 0～2 dB，功耗≤0.5 W。上述指标中，频率、输入动态范围和功耗要求较高，不能采用传统双增益型结构。文献[4-5]的真对数放大器可以满足除工作频率外的其他指标要求。本文在该电路基础上，选用工作频率更高的器件，增加了匹配电路、衰减器、斜率调整等单元，以匹配各单元电路的工作点，达到要求的指标。本文设计的高频率低功耗真对数放大器框图如图 1 所示。

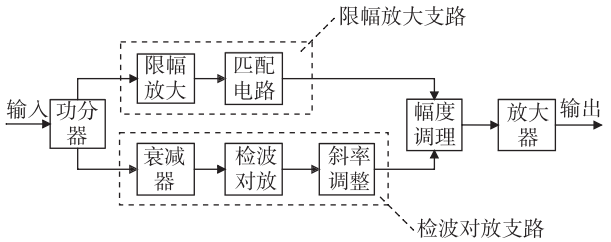


图 1　本文的真对数放大器框图

1.2　电路原理

输入信号通过功分器将信号分为两路，一路进入限幅放大支路，另一路进入检波对放支路。功分器的带宽需覆盖 1 600～1 800 MHz（有一定的余量），插损要小，以减小电路噪声，隔离度要高，以减小两路之间的干扰。本文功分器带宽为 10～ 3 000 MHz，插损为 3.7 dB，隔离度为 25.2 dB。

限幅放大支路包括限幅放大电路和匹配电路。限幅放大电路的作用是对输入的大信号进行限幅、对输入的小信号进行放大，保证输出信号幅度稳定。匹配电路的作用是对放大电路与后续电路间的阻抗进行匹配。设输入信号为：

$$V_{IN}=A\cos(\omega t+\varphi) \tag{1}$$

式中，A 为输入信号幅度，ωt 为输入信号频率，φ 为输入信号相位。限幅放大支路的输出信号为：

$$V_{O1}=B\cos(\omega t+(\varphi+\Delta\varphi)) \tag{2}$$

式中，$\Delta\varphi$ 为相位变化量，B 为限幅输出电平（常数）。限幅放大器的特点是：只要增益足够大，无论 A 如何变化，B 均不变。根据电路指标要求，限幅放大器的指标有：增益≥60 dB，以保障输入动态范围≥60 dB；限幅稳定度≤±0.5 dB，以保证对数精度≤±1.0 dB；频率范围为 1 600～1 800 MHz；功耗低。采用 ADN2890 进行限幅放大，ADN2890 的增益为 64 dB，限幅输出幅度为(1.0±0.4)dB，频率范围为 155～2 700 MHz，功耗仅为 0.11 W，可满足需要[7]。

检波对数放大器支路包括衰减器、检波对数放大器和斜率调整电路，作用是对输入信号进行对数检波和放大。衰减器的作用是调整对数检波的起始点，斜率调整电路的作用是调整对数检波的斜率。检波对数放大器输出的视频信号与输入信号幅度呈对数关系，检波对数放大器的传输函数为：

$$V_{O2}=V_Y\lg\frac{V_{IN}}{V_X} \tag{3}$$

式中，V_Y 为对数斜率，V_X 为对数起点电压[8-9]。检波对数放大器的指标有：输入动态范围≥60 dB；对数精度≤±0.5 dB；频率范围为 1 600～1 800 MHz；功耗低。采用 ADL5513 进行对数检波，ADL5513 的输入动态范围为 68 dB，输出电压范围为 0.8～1.66 V，最高工作频率可达 3 600 MHz，功耗为 0.155 W，可满足需要。衰减器的作用是调整输入信号的大小，从而调整对数起点电压 V_X，使检波对数放大器支路的动态范围与限幅放大支路的动态范围相吻合。斜率调整电路的作用是调整对数斜率 V_Y 的大小，同时将电压信号转换为电流输出信号。检波对数放大器的斜率较大，需要减小该斜率，以适应整个电路的斜率要求。否则，会减小输入动态范围。

幅度调理电路实质上是模拟乘法器，作用是对限幅放大支路的输入信号按检波对数放大器支路输出信号的变化规律进行幅度调整，输出信号是按对数规律变化的射频信号，即放大后的真对数信号。幅度调理电路如图 2 所示。

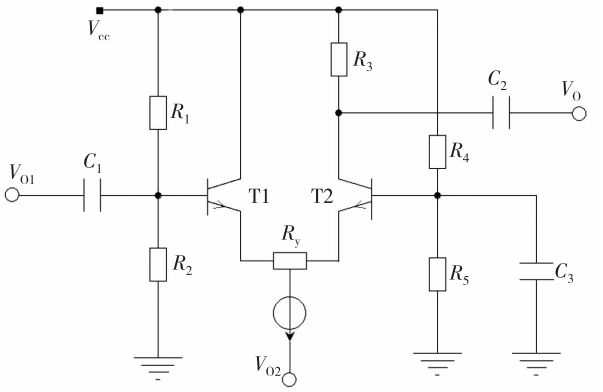


图 2　幅度调理电路

幅度调理电路的转换关系为：

$$V_O=V_{O1}\times V_{O2} \tag{4}$$

将式(2)、式(3)式代入式(4)，得：

$$V_O = BV_Y \lg \frac{V_{IN}}{V_X} \cos(\omega t + (\varphi + \Delta\varphi)) \tag{5}$$

式(5)即为本设计所述真对数放大器的传输特性公式。输出信号幅度 $BV_Y \lg(V_{IN}/V_X)$ 与输入信号 V_{IN} 呈对数关系，输出信号频率 ωt 和输入信号频率相同，输出信号相位 $\varphi + \Delta\varphi$ 与输入信号相位有一定的延迟，表明输出信号幅度与输入信号幅度为对数放大关系，并保留了输入信号的频率和相位信息，电路实现了真对数放大功能。

幅度调理电路中的三极管需采用射频晶体管，R_y 作为三极管 T1、T2 的射极反馈电阻，可以扩展幅度调理电路的线性范围。两个三极管需要工作在放大区，V_{O1} 的最大幅度需要满足：

$$-\frac{I_O}{2} < \frac{V_{O1}}{R_y} < \frac{I_O}{2} \tag{6}$$

最后一级线性放大器用于对真对数放大信号进一步放大，提高输出信号幅度和 −1 dB 压缩点[6]。

1.3　电路实现方案

根据前面的分析和元器件的实际使用情况，本文的真对数放大器电路图如图 3 所示。

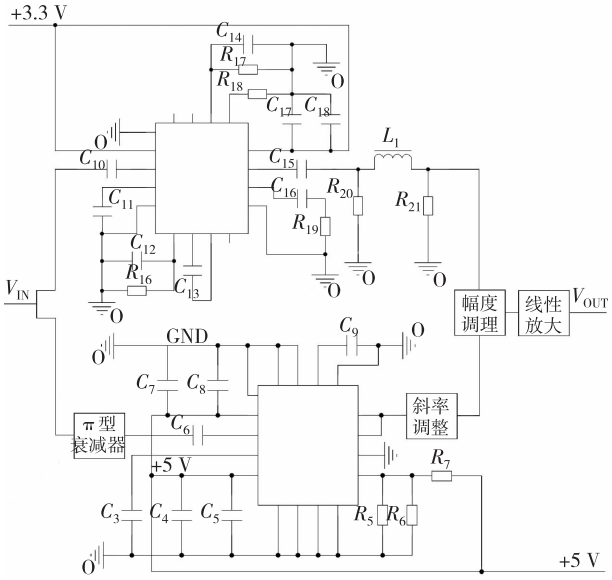


图 3　本文的真对数放大器电路图

电路采用模块工艺，基板采用四层 PCB 板，通过大量打孔接地以增加接地效果，避免自激。版图如图 4 所示，背面采用高温焊膏烧焊在管壳上，可保证良好的接地及可靠的机械强度。

1.4　仿真分析

采用 Pspice 软件对本文电路进行了仿真分析，输出信号的仿真曲线如图 6 所示。电路仿真的频率范围为 170～2 700 MHz。可以看出，输入动态范围为 67 dB，对数精度≤0.86 dB。

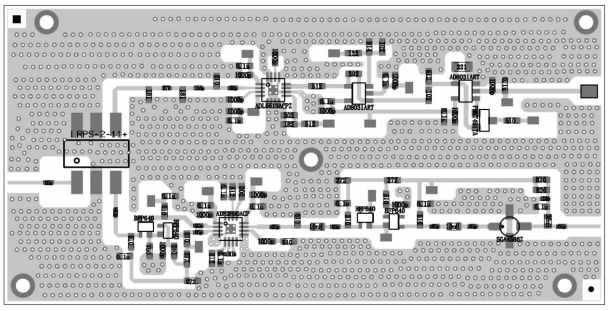
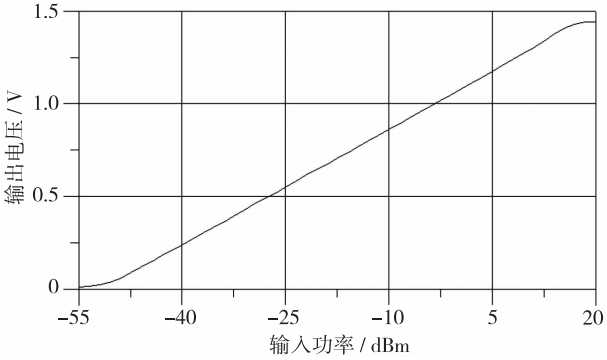
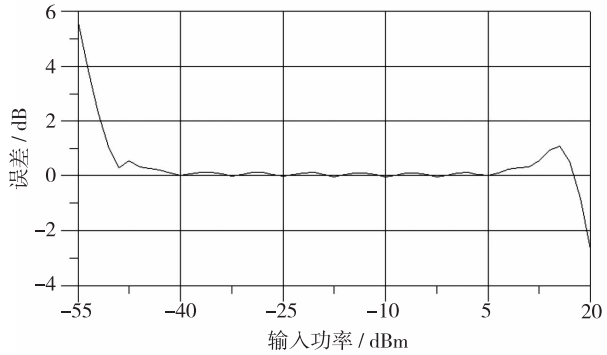


图 4　真对数放大器的版图



(a) 输入动态范围



(b) 对数精度

图 5　输出信号的仿真曲线

2　测试结果与分析

对加工好的电路进行了测试。首先测试检波对放支路，测试结果为：输入信号动态范围为 66 dB(−54～+12 dBm)，对数精度≤0.80 dB，与设计参数吻合。然后对限幅放大支路进行测试，限幅输出幅度为 0.5 dBm，比设计值 0.9 dBm 低 0.4 dB。最后对整个电路进行了测试，测试结果为(见图 7)：电路的工作频率范围达到 170～2 700 MHz，输入信号动态范围为 61 dB(−45～+16 dBm)，对数精度≤0.88 dB，小信号增益为 60.26 dB，整个电路的功耗为 0.485 W，完全满足设计要求。

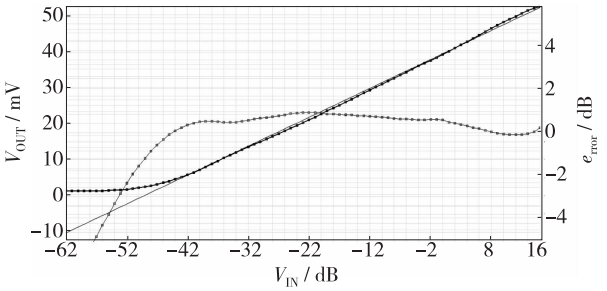


图 6 输入动态范围和对数精度的测试结果

除输入信号动态范围外，其余参数的测试结果均接近仿真结果。输入信号动态范围测试值为 61 dB，比仿真值 67 dB 小 6 dB，主要原因是幅度调理电路的输入输出阻抗不是 50 Ω，阻抗匹配后信号有一定的损耗，减小了输入信号动态范围。

本电路与参考文献[5]中所述电路的主要参数对比情况如表 1 所示。

表 1 本文与文献[5]中真对数放大器的参数对比

参数	本文	文献[5]
最高工作频率/MHz	2 700	500
输入动态范围/dB	61	88
对数精度/dB	0.88	1.0
小信号增益/dB	60.26	63
功耗/W	0.485	0.25

可以看出，与文献[5]相比，本文电路的工作频率更高，但输入动态范围和功耗稍差。两种电路的对数精度和小信号增益相当，所有指标都满足整机系统的要求。可通过增加一级限幅放大器来解决输入动态范围较小的问题。

3 结 论

本文从实际应用出发，研制出了一种高频率高精度真对数放大器，最高频率达到 2 700 MHz，可以很好满足整机系统的要求。电路采用表面贴装工艺加工制作。与传统真对数放大器相比，本电路具有带宽宽、对数精度高、输入信号动态范围大、功耗低等优点。

参 考 文 献：

[1] 朱祖德. 多种雷达接收机的特点分析 [J]. 现代雷达，2010，32(10)：84-86.

[2] STARKE P，RIEB V，FRITSCHE D，et al. A wideband square-law power detector with high dynamic range and combined logarithmic amplifier for 100 GHz F-band in 130 nm SiGe BiCMOS [J]. IEEE Microwave Wireless Compon Lett，2017，24(8)：118-121.

[3] 林春芳，彭俊珍，方庆山，等. 高频电子线路 [M]. 北京：电子工业出版社，2013.

[4] 庞佑兵. 低于 100 mW 低功耗真对数放大器 [P]. CN101938255B，2012-09-05.

[5] 庞佑兵，庞殊杨，杨帆，等. 一种新型真对数放大器的研究 [J]. 微电子学，2016，46(2)：190-193.

[6] 刘登学. 高频率低功耗真对数放大器 [P]. CN108306621A，2018-07-20.

[7] ADN2890 datasheet Rev0 [EB/OL]. http://www.analog.com，2004.

[8] OZEREN E，MAY J W，REBEIZ G M，et al. A high dynamic range power detector at X-band [J]. IEEE Microwave Wireless Compon Lett，2016，26(9)：708-710.

[9] SERHAN A，LAUGA-LARROZE E，FOURNIER J M，et al. A 700 MHz output bandwidth，30 dB dynamic range，common-base mm-wave power detector [J]. IEEE MTT-S Int Microwave Symp. Phoenix，AZ，USA. 2015：1-3.

一种 0.15 μm GaAs pHEMT 高效率功率放大器

毛小庆，何勇畅，陈志巍，喻　青，高海军
（杭州电子科技大学 射频电路与系统教育部重点实验室，杭州 310018）

摘　要： 基于 0.15 μm GaAs(D-Mode)pHEMT 工艺，采用多级级联的方式，设计了一种中心频率为 2.4 GHz 的高效率功率放大器。采用两级级联放大结构，驱动级采用共源结构，提高了输出功率和线性度。功率级采用自偏置技术共源共栅结构，增益和效率得到提升。工作模式分别为 A 类和 AB 类。版图面积为 1.45 mm^2。仿真结果表明，在驱动级电路工作于 5 V、功率级电路工作于 10 V、频率为 2.4 GHz 的条件下，1 dB 压缩点功率为 31.99 dBm，最大输出功率为 32.01 dBm，小信号增益为 30.51 dB，功率附加效率为 40.74%。输入功率为 1.48 dBm 时，在 1.94～2.82 GHz 频带内，输出功率为 30.29～32.07 dBm，功率附加效率为 30%～41.9%，小信号增益峰值为 31.97 dB，3 dB带宽为 880 MHz。

关键词： 功率放大器；最大输出功率；自偏置技术；增益峰值
中图分类号：TN722.7+5　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0499-04
DOI：10.13911/j.cnki.1004-3365.190533

A 0.15 μm GaAs pHEMT High Efficiency Power Amplifier

MAO Xiaoqing, HE Yongchang, CHEN Zhiwei, YU Qing, GAO Haijun
(*Key Lab. for RF Circ. and Syst. of Ministry of Education, Hangzhou Dianzi Univ., Hangzhou* 310018, *P. R. China*)

Abstract: Based on the 0.15 μm GaAs (D-Mode) pHEMT process, a multi-stage cascade method was used to design a high efficiency power amplifier with a center frequency of 2.4 GHz. A two-stage cascade amplification structure was adopted, and a common source structure was used for the driving stage, which improved output power and linearity. The power stage used a self-biased cascode structure, which improved gain and efficiency. The working mode was Class A and Class AB, respectively. The layout area was 1.45 mm^2. The simulation results showed that under the condition that the driver stage circuit worked at 5 V, the power stage circuit worked at 10 V and the frequency was 2.4 GHz, the 1 dB compression point power was 31.99 dBm, the maximum output power was 32.01 dBm, the small signal gain was 30.51 dB, and the power added efficiency was 40.74%. When the input power was 1.48 dBm, in the 1.94-2.82GHz band, the output power was 30.29-32.07dBm, the power added efficiency was 30%-41.9%, the small signal gain peak was 31.97 dB, and the 3 dB bandwidth was 880 MHz.

Key words: power amplifier; maximum output power; self-biasing technique; gain peak

0　引　言

近年来，随着微波技术飞速发展，工作在 2.4 GHz 频段的设备在人们生活中被广泛应用。迫切需要小型化、高性能、低成本的射频功率放大器(PA)。赝配高电子迁移率晶体管(pHEMT)因具有低噪声、高增益、大输出功率而成为微波/毫米波单片 IC、射频 IC 领域的研究热点[1]。

2010 年，A. Rasmi 等人基于 0.15 μm GaAs 工艺设计了一种 PA，该 PA 在 2.4 GHz 频率时的输出功率为 14.83 dBm，功率附加效率达 11.73%，增

收稿日期：2019-09-10；**定稿日期：**2019-10-14
基金项目：国家自然科学基金重点项目(61871161)
作者简介：毛小庆(1996—)，男(汉族)，浙江衢州人，硕士研究生，研究方向为射频集成电路设计。

益为 9.83 dB[2]。2017 年，清华大学陈文华团队设计了一种面向 5G 应用的 PA，该 PA 在 29～31.8 GHz 频带内的输出功率为 25.7～26.8 dBm，功率附加效率为 31%～38%[3]。

基于 0.15 μm GaAs(D-Mode)pHEMT 工艺，本文设计了一种高效率 PA。采用了耗尽型管，功率管的开启电压为－1.28 V，栅漏极击穿电压为 12 V。采用两级级联设计，驱动级采用共源结构，提高了输出功率和线性度。功率级采用自偏置共源共栅结构，有效提高了增益和输出功率。该 PA 实现了高增益、高功率和高效率的性能。

1　PA 整体结构

本文采用的功率管的最大栅漏极击穿电压为 12 V。按照 PA 从后往前的设计准则，先确认放大器功率级的晶体管个数和满足功率指标时的功率级输入功率(P_{in})，驱动级放大器的输出功率必须大于 P_{in}，以推动功率级。同时，要考虑驱动级与功率级之间的级间匹配的功率消耗。需精确预估各级输入、输出功率。PA 设计指标为：在中心频率为 2.4 GHz 时，输出功率大于 30 dBm，功率附加效率为 40%以上。

综上考虑，该 PA 的放大器采用两级级联放大结构，驱动级采用共源结构，功率级采用共源共栅结构。工作模式分别为 A 类和 AB 类。增加晶体管的个数、尺寸，利用 MIM 电容和微带传输线进行输入、输出和级间匹配，使得在最低功耗下 PA 的性能接近设计指标。PA 整体结构如图 1 所示。

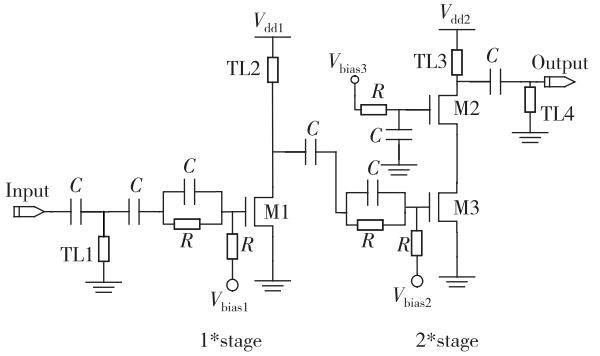


图 1　PA 整体电路结构

2　PA 设计

2.1　功率级电路

结合共源共栅结构的高增益、较高工作电压等优点，PA 功率级由 6 个晶体管构成，共源极 M3、共栅极 M2 分别由 3 个栅宽为 60 μm 的晶体管并联构成。这种结构可使它的隔离度更佳。共源共栅结构适用于匹配特定负载的多级模块化放大器，可有效抑制密勒电容效应，从而提高小信号增益输出。

文中设计的功率放大器如图 2 所示。共栅晶体管 M2 的栅极偏置电路采用自适应偏置。对共源共栅晶体管的负载阻抗进行上下适配设计。共源晶体管 M3 的负载阻抗为 M2 管的源极输入阻抗，为实现共源共栅管间的匹配，需要对自适应偏置元件进行迭代设计。调整电阻 R、电容 C 的值，调节 M2 管的输入阻抗，调节 M2 管栅极偏置，让 M2 管与 M3 管的漏源极偏压相同。最终，输出匹配电路通过负载线牵引技术，获取最佳负载阻抗，并通过 π 型输出匹配电路匹配到负载端。

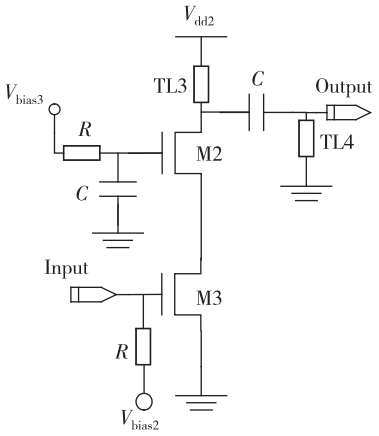


图 2　功率级放大器电路图

功率级电路中共源共栅结构的小信号模型如图 3 所示。

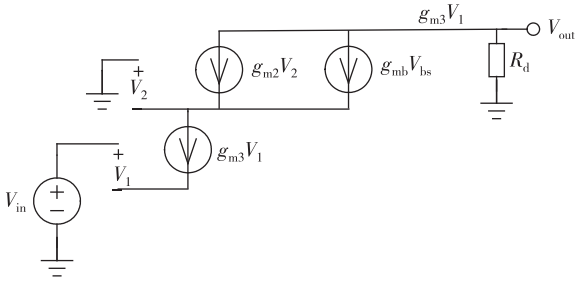


图 3　共源共栅结构的小信号等效电路

假定 M2、M3 管均被偏置在饱和状态(不考虑体效应)，则共源共栅结构电路与带负反馈的共源结构电路相互等效。输出阻抗为：

$$R_{out}=[1+(g_{m2}+g_{mb2})\times r_{o2}]\times r_{o3}+r_{o2} \tag{1}$$

在 $g_m\times r_o\gg 1$ 时，

$$R_{out}=(g_{m2}+g_{mb2})\times r_{o3}\times r_{o2} \tag{2}$$

由式(2)可知，共源共栅结构能使输出阻抗变为 M3 管的$(g_{m2}+g_{mb2})\times r_{o2}$倍。

因为部分 M3 管中产生的小信号电流被 M3 管内阻 r_{o3} 分流到地，所以实际的跨导 G_m 比 M3 管的跨导 g_{m3} 略小。共源共栅结构的输出电流为：

$$I_{out}=g_{m3}\times V_{in}\times\left(\frac{r_{o3}}{r_{o2}}+\frac{1}{g_{m2}+g_{mb2}}\parallel r_{o2}\right) \tag{3}$$

由式(3)可知，实际跨导 G_m 为：

$$G_m=\frac{g_{m3}\times r_{o3}\times[1+(g_{m2}+g_{mb2})\times r_{o2}]}{(g_{m2}+g_{mb2})\times r_{o2}\times r_{o3}+r_{o2}+r_{o3}} \tag{4}$$

根据$|A_v|=G_m\times R_{out}$，共源共栅结构的电压增益满足：

$$|A_v|=g_{m3}\times r_{o3}\times[1+(g_{m2}+g_{mb2})\times r_{o2}] \tag{5}$$

为了使功率放大器的效率更高，设计功率放大器工作在 AB 类模式。与 A 类相比，AB 类的功率附加效率更高，但线性度更差，易发生非线性失真现象。因此，要尽可能地削弱非线性失真对性能的影响[4]。

2.2　功率放大器的稳定性

功率放大器的稳定性对整个电路性能的可靠性有较大影响。为了尽可能排除这种影响，保证输出功率、增益等不降低[5-6]，通过在栅极加入 *R-C* 并联电路，使整体电路绝对稳定，如图 4 所示。通过调节 *R*、*C* 的值，使稳定性因子 $K>1$。

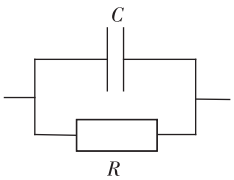


图 4　栅极 *R-C* 并联稳定电路

2.3　驱动级电路

经过仿真可知，功率级电路输出功率达到最大值时，输入功率为 16 dBm。因此，在考虑级间匹配电路损耗的情况下，要使第一级电路的输出功率为 17 dBm。驱动级晶体管 *I-V* 特性曲线如图 5 所示。工作电压 V_{DD} 为 0～20 V 时，将栅极偏置电压设为变量，可观察漏极电流 I_{ds} 的变化情况，如图 5 所示。可以看出，整个电路的线性度提高了。在工作电压为 5 V 时，将单管偏置在 A 类，最佳漏极电流 $I_d=60$ mA。此时，输出功率满足设计要求。

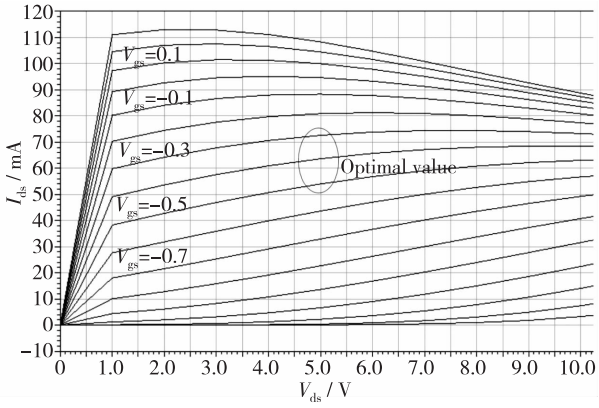


图 5　栅压为变量时驱动级管的 *I-V* 特性曲线

综合考虑晶体管的输出特性，驱动级采用如图 6 所示的共源结构。使用 1 个 4 指 60 μm 栅宽的晶体管，足够推动功率级。采用共源结构后，减小了电路功耗和版图面积。在输入匹配网络设计过程中，采用 T 型结构，有效提高了大信号增益和平坦度，使输入驻波比达到期望指标。

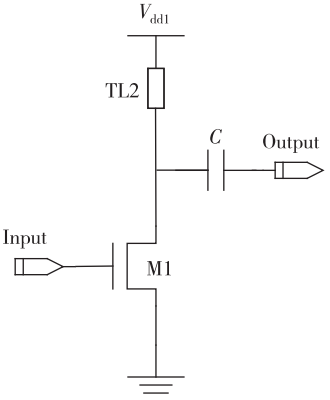


图 6　共源结构

3　版图设计与仿真

本文采用 Agilent 公司 ADS 仿真工具。版图整体布局如图 7 所示。版图面积为 1.45 mm²。

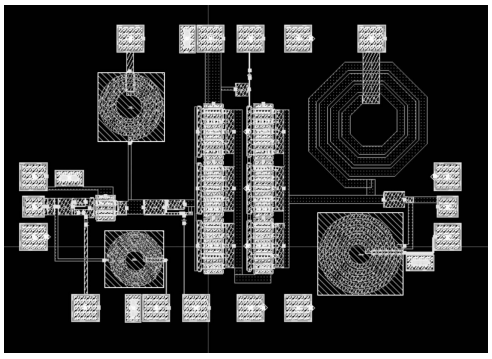


图 7　PA 的版图

通过 EM 全仿真，S 参数的仿真曲线如图 8 所示。

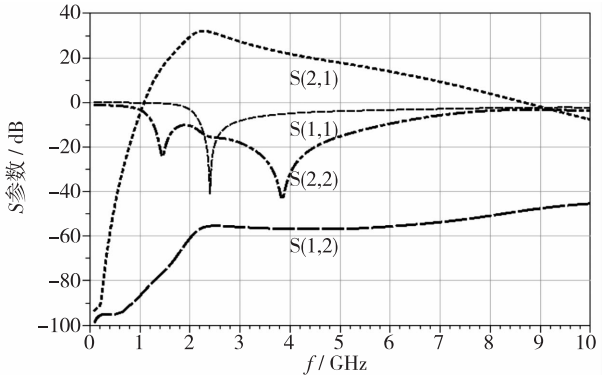


图 8　S 参数的仿真曲线

当 P_{in} 为 1.48 dBm 时，在 1.94～2.82 GHz 频带内，输出功率为 30.29～32.07 dBm，隔离度均为 −55 dB 以下，漏级附加效率为 30%～41.8%。峰值增益为 31.97 dB，3 dB 带宽为 880 MHz。在 2.08～3.92 GHz 频带内，输入反射系数 S_{11} 均小于 −5 dB。在 2.22～2.86 GHz 频带内，S_{11} 均小于 −10 dB。在 1.28～5.86 GHz 频率范围内，输出反射系数 S_{22} 小于 −10 dB。

噪声系数的仿真曲线如图 9 所示。可以看出，在 2.4 GHz 频率时，噪声系数为 4.9。

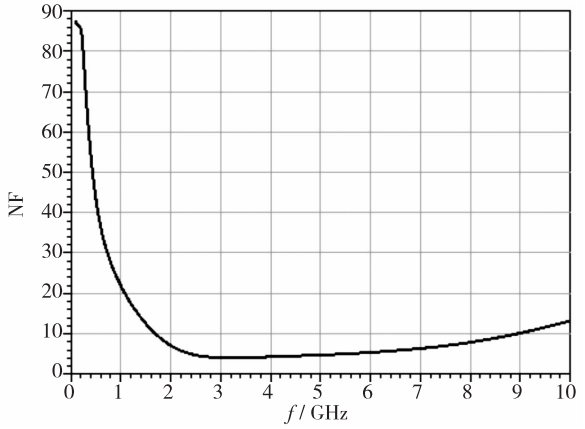


图 9　噪声系数的仿真曲线

整体电路在驱动级电压为 5 V、功率级电压为 10 V 的条件下，驱动级管的漏极电流为 60 mA，功率级管的漏极电流为 154 mA。P_{out}、增益和 PAE 与 P_{in} 的关系如图 10 所示。由图所示，功率放大器 1 dB 压缩点输出功率 P_{out} 为 31.99 dBm，最大输出功率为 32.01 dBm，功率附加效率为 40.74%。

本文与其他文献中 PA 的参数比较如表 1 所示。可以看出，本文 PA 的输出功率、PAE 和增益均有提高。

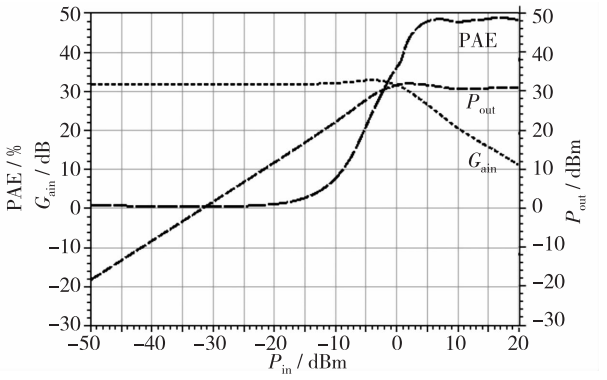


图 10　P_{out}、增益和 PAE 与 P_{in} 的关系曲线

表 1　本文与其他文献中 PA 的参数比较

参数	文献[2]	文献[3]	文献[7]	文献[8]	文献[9]	本文
f/GHz	2.4	30.4	38.5	12	1.5	2.4
P_{out}/dBm	14.83	26.8	26	27	30.9	31.99
PAE/%	11.73	38	-	35	17.7	40.74
增益/dB	9.83	15	24	20	21	30.51
频带/ GHz	-	2.8	3	6	2.9	0.84
面积/ mm²	-	3.57	3.6	2.75	-	1.45

4　结　论

基于 0.15 μm GaAs pHEMT 工艺，本文提出了一种中心频率为 2.4 GHz 的两级功率放大器。分析了电路结构和工作原理。对前后级电路进行了具体分析，从电路稳定性的角度进行了充分考虑。在电路流片面积有限的情况下，为了使电路性能达到最优，本文通过对增益、PAE、输出功率等多项指标进行折中考虑，电路的综合性能得到提升。仿真结果表明，本文的 PA 满足设计指标。

参 考 文 献：

[1]　罗小勇. PHEMT MMIC 宽带单片功率放大器设计研究 [D]. 成都：电子科技大学，2005.

[2]　RASMI A，MARZUKI A，OSMAN M N，et al. Development of 2.4 and 3.5 GHz 0.15 μm GaAs PHEMT medium-power amplifier employing core-based design approach [J]. Microelec Int，2010，27(1)：25-52.

[3]　CHEN W H，LYU G S，LIU X，et al. Energy-efficient Doherty power amplifier MMIC and beam forming-oriented digital predistortion for 5G massive MIMO application [C] // IEEE APMC. Kuala Lumpur，Malaysia. 2017：391-394.

（下转第 508 页）

一种应用于高侧 N 型开关管的栅极驱动器

张进贺，李文钧
（杭州电子科技大学 教育部射频电路与系统重点实验室，杭州 310018 ）

摘　要： 设计了一种易于集成、适用于驱动高侧 N 型开关管的栅极驱动器，该电路具有成本低、速度快、驱动能力强等特点，可以满足大尺寸高侧 N 型开关管的驱动需求。内置的、可持续工作的电荷泵能够驱动高侧 N 型开关管，使之恒定导通，解决了传统自举电路中低侧开关管不工作时高侧开关管输出电压不稳定的问题。该方案无需使用外置的自举电容，降低了栅极驱动器的使用成本和封装成本。采用 0.18 μm BCD 工艺进行设计，并成功流片。测试结果表明，该栅极驱动器可以驱动面积达 0.5 mm^2 的高侧 N 型开关管，电路可靠性高。

关键词： 自举电路；栅极驱动器；电荷泵
中图分类号：TN433　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0503-06
DOI：10.13911/j.cnki.1004-3365.190503

A Gate Driver for High-Side N-Type Switching Transistor

ZHANG Jinhe, LI Wenjun
(*Key Laboratory of RF Circuit And System of Education Ministry*, *Hangzhou Dianzi University*, *Hangzhou* 310018, *P. R. China*)

Abstract: An integrated gate driver circuit for high-side N-type switching transistor was presented. It had the characteristics of low cost, fast driving speed and strong driving ability, and could meet the driving requirements of large size high-side N-type switching transistor. The continuously operating charge pump built in this scheme could drive the high-side N-type switching transistor to be constantly turned on. And the problem that the output voltage of the high-side switching transistor was unstable when the low-side switch transistor was not working in the conventional bootstrap circuit was solved. An external bootstrap capacitor was eliminated in this solution, reducing the using cost and packaging cost of the gate driver. The driver was designed and taped out in a 0.18 μm BCD process. The actual chip test results showed that the gate driving circuit could drive a high-side N-type switching transistor with an area of 0.5 mm^2, and the circuit's reliability was high.

Key words: bootstrap circuit; gate driver; charge pump

0　引　言

自举电路可以为高侧 N 型开关管的栅极驱动电路提供一个悬浮的的供电电压，被广泛应用于半桥驱动器中[1-2]。但是，使用自举电路技术时，存在一个重要的限制条件，即需要周期性地对外置自举电容进行充电才能保证电路正常工作。如果半桥驱动器的开关算法要求高侧开关管恒定导通，那么高侧开关管的驱动电压会随着时间的延长而下降，最终导致半桥驱动器的输出电压不稳定[3-4]。

S. T. Li 等人采用 Active Bootstrap 结构，解

收稿日期：2019-08-25；**定稿日期：**2019-11-28
基金项目：浙江省杰出青年基金资助项目(LR17F040001)
作者简介：张进贺(1989—)，男(汉族)，河北保定人，硕士研究生，研究方向为模拟集成电路设计。
李文钧(1977—)，男(汉族)，博士，教授，博士生导师，研究方向为集成电路设计与物联网应用技术。

决了低侧开关管不工作时高边输出不稳定的问题[5]。但是，Active Bootstrap 结构依然需要使用自举电容，不利于降低驱动器的使用成本。X. Ming 等人提出一种 Advanced Bootstrap 结构，利用电源电压对自举电容充电，保持驱动电压不掉电[6]。这种技术可以使器件在高侧开关管恒定导通时持续为高侧驱动电路供电，保证高侧驱动电压不下降，但不能保证高侧 N 型开关管工作在线性区，造成开关管的导通损耗较大。

本文设计了一种新型的高侧 N 型开关管栅极驱动器，用于替换传统的自举驱动电路。本文方案无需使用外置自举电容，解决了低侧开关管不工作时高侧开关管输出电压不稳定的问题，降低了高侧 N 型开关管栅极驱动器的使用成本和封装成本。

1 传统的高侧 N 型开关管驱动方案

传统的高侧 N 型开关管栅极驱动方案如图 1 所示，一般使用自举驱动电路[7-8]。图 1 中，只有 V_G-V_S 的电压差大于 M1 管阈值电压时，N 型开关管 M1 才能导通。另外，只有 V_G-V_{IN} 的电压差大于 M1 管阈值电压时，M1 管才能工作在线性区。开关管只有工作于线性区，才能实现最小的导通损耗。因此，为了降低高侧开关管的导通损耗，高侧 N 型开关管的栅极驱动电压 V_G 需要大于电源电压 V_{IN}。

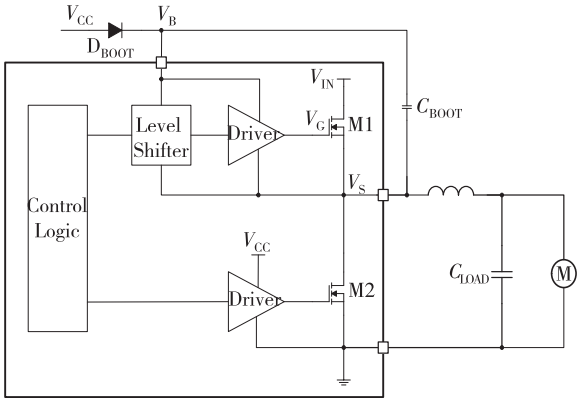


图 1 传统的高侧 N 型开关管驱动方案框图

传统的自举电路驱动原理如下。第一阶段，通过算法控制逻辑打开 M2 管，关断 M1 管，V_S 降为 0 V，电压源 V_{CC} 通过二极管 D_{BOOT} 为电容 C_{BOOT} 充电，最终，C_{BOOT} 正负极电压差为 V_{CC}。第二阶段，通过算法控制逻辑关断 M2 管，打开 M1 管，V_S 逐渐升到 V_{IN}，由于 C_{BOOT} 两端电压差不能突变，所以 V_B 达到 $V_{IN}+V_{CC}$，V_G 随 V_B 升高，驱动 M1 管导通，且工作于线性区。第三阶段，算法控制逻辑打开 M2 管，关断 M1 管，电平转换电路和高边驱动电路使得 V_G 与 V_S 相等，高侧开关管关断，电路回到第一阶段，对 C_{BOOT} 充电。

这种自举电路驱动方案结构简单、开关响应速度快，在半桥驱动器和开关电源系统中得到广泛应用。但在这种方案中，C_{BOOT} 一般需要几百 nF，难于集成。另外，电平转换电路和高压驱动电路在驱动高侧 N 型开关管导通时需要消耗电量[9]，长时间驱动必然引起 V_B 降低，所以需要在高侧开关管开启一段时间后，打开低侧开关管，对 C_{BOOT} 进行充电。这样，控制算法逻辑就不能使高侧 N 型开关管在 100% 占空比下导通。

2 新型的高侧 N 型开关管驱动方案

本文设计的新型高侧 N 型开关管栅极驱动方案如图 2 所示。本文利用电荷泵可以持续供电的工作原理[10]，维持了高侧 N 型开关管在 100% 占空比下导通。

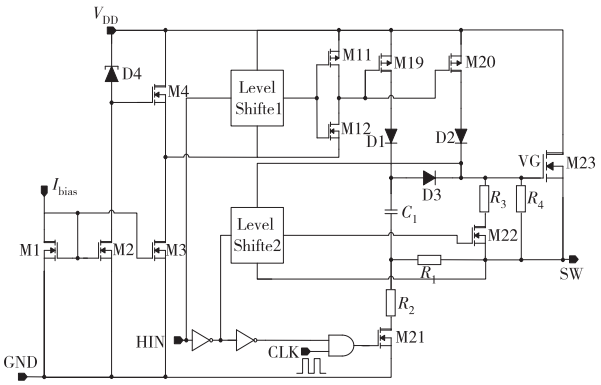


图 2 新型高侧 N 型开关管栅极驱动方案框图

2.1 新型高侧 N 型开关管栅极驱动器工作原理

由图 2 可见，除了开关管 M23，新型栅极驱动器还包含以下三个功能模块：1）电压偏置模块，由 D1 管和 M1～M4 管组成，为高压电平转换电路提供浮地偏置电压，此浮地电压为 M7、M8、M12 管供电；2）高压电平转换电路模块，将低电压的算法控制信号转换为高压控制信号，控制高电压管 M19、M20、M22 管的工作状态；3）电荷泵模块，由 M21 管、R_1、R_2、C_1、D1～D3 管组成，将电压 V_G 抬升为高压，驱动开关管 M23 工作在线性区，D1～D2 管的

作用是防止 V_G 对电源电压倒灌。新型高侧 N 型开关管栅极驱动器可分为以下两个工作过程。

2.1.1　高侧 N 型开关管开启过程分析

本文方案驱动的高侧 N 型开关管开启过程可分为以下五个状态。

状态一：高侧开关管初步开启。当 HIN 输入高电平时，HIN 信号经过高压电平转换模块 2，关闭 M22 管，开启 M19 与 M20 管，电源电压经 M19 与 M20 管对 M23 管的栅极电容充电。当栅极电容被充满时，有：

$$V_G = V_{DD} - V_{D2} \tag{1}$$

式中，V_{D2} 是二极管 D2 的正向导通压降。此时，$V_{D,M23} > V_{G,M23}$，M23 管工作在饱和区[11]。因此，M23 管的输出电压为：

$$V_{S,M23} = V_{DD} - V_{D2} - V_{GS,M23} \tag{2}$$

对工作在饱和区的 MOS 器件，$V_{GS,M23}$ 与输出负载电流 I_O 的关系为：

$$V_{GS,M23} = V_{TH,M23} + \sqrt{\frac{2I_O}{k'W/L}} \tag{3}$$

将式(3)代入式(2)，可得：

$$V_{S,M23} = V_{DD} - V_{D2} - V_{TH,M23} - \sqrt{\frac{2I_O}{k'W/L}} \tag{4}$$

由式(4)可知，M23 管输出端电压与 D2 管正向导通压降、M23 管阈值电压以及负载电流有关。负载电流越大，输出电压越低，M23 管的导通损耗越高。

状态二：电荷泵充电。如状态一所述，M19 管的电流对电容 C_1 充电。C_1 的正极板电压为：

$$V_{C1+} = V_{DD} - V_{D1} \tag{5}$$

C_1 的负极板电压为：

$$V_{C1-} = V_{SW} = V_{S,M23} \tag{6}$$

式(6)中，$V_{S,M23}$ 如式(4)所示。此时，C_1 的正负极板电压差值为：

$$\Delta V_{C1} = V_{GS,M23} = V_{TH,M23} + \sqrt{\frac{2I_O}{k'W/L}} \tag{7}$$

当 HIN 保持高电平时，CLK 信号控制 M21 管。当 CLK 是高电平时，M21 管打开。此时，C_1 的正极板电压保持不变，C_1 的负极板电压变为：

$$V_{C1-} = V_{SW} \times \frac{R_2}{R_1 + R_2} \tag{8}$$

对比式(6)与式(8)，C_1 的负极板电压变化量为：

$$\Delta V_{C1-} = V_{SW} \times \frac{R_1}{R_1 + R_2} \tag{9}$$

由于 C_1 的正极板电压保持不变，C_1 被充电，充电的电荷量为：

$$Q_C = C_1 \times V_{SW} \times \frac{R_1}{R_1 + R_2} \tag{10}$$

由式(10)可见，电容 C_1 的充电电荷量与 C_1、V_{SW}、R_1、R_2 有关。

状态三：电荷泵放电。延续状态二，CLK 由高电平变为低电平后，M21 管关闭，C_1 的负极板电压重新回到 V_{SW}。由于电容正负极板的电荷不能突变，C_1 的正极板电压随着负极板电压增加而被抬升，且正极板变化量与负极板变化量相同。此时，C_1 的正极板电压变为：

$$V_{C1+} = V_{DD} - V_{D1} + V_{SW} \times \frac{R_1}{R_1 + R_2} \tag{11}$$

二极管 D3 两端电压 $V_{C1+} - V_G > V_{D3}$，D3 管正向导通，C_1 开始放电。C_1 所释放的电荷全部转移到 M23 管的栅极电容 $C_{GS,M23}$，V_G 逐渐抬高。在 C_1 完全放电后，由于 C_1 正负极板的直流电压差值重新回到式(7)所示的初始状态，C_1 释放的电荷量则如式(11)所示。

状态四：高侧开关管工作进入线性区。由 C_1 放电所释放的电荷量全部转移到 $C_{GS,M23}$，V_G 电压逐渐抬高，有：

$$\Delta V_G = \frac{Q_{DIS}}{C_{GS,M23}} = \frac{C_1}{C_{GS,M23}} \times V_{SW} \times \frac{R_1}{R_1 + R_2} \tag{12}$$

电荷泵经过几个 CLK 周期的充放电后，V_G 逐渐抬高，直至比 V_{DD} 高出 $V_{TH,M23}$，此时，M23 管由饱和区转入线性区，最终高侧开关管完全导通，V_{SW} 接近电源电压。

状态五：高侧开关管进入深度线性区。在 V_{SW} 保持不变时，电容充放电电荷量将保持平衡，电荷转移量由式(10)变为：

$$Q_C = C_1 \times V_{DD} \times \frac{R_1}{R_1 + R_2} \tag{13}$$

最终，电容 $C_{GS,M23}$ 充放电平衡，C_1 不再对 $C_{GS,M23}$ 充电，电荷主要消耗在电阻 R_4 上。由于 R_4 只消耗很小的电量，C_1 的容值很小，很容易被集成到芯片内部。

经过以上五个状态后，最终 V_G 将保持不变，$V_{GS,M23}$ 也保持不变，分别有：

$$V_G = V_{DD} - V_{D1} + V_{DD} \times \frac{R_1}{R_1 + R_2} - V_{D3} \tag{14}$$

$$V_{GS,M23} = V_{DD} \times \frac{R_1}{R_1 + R_2} - V_{D1} - V_{D3} \tag{15}$$

MOS 管线性区导通阻抗公式为[11]：

$$R_{on}=\frac{1}{k'(W/L)(V_{GS}-V_{TH})} \tag{16}$$

根据式(16)可知，为了降低开关管导通阻抗，除了增大开关管的宽长比，还可以通过提高电压 V_{GS}，将 M23 管推向深度线性区。由式(15)可知，在应用确定的情况下，V_{DD}、V_{D1}、V_{D3} 基本保持不变，可以通过调节 R_1 与 R_2 的电阻比例，实现 V_{GS} 的调节，最终将高侧开关管推向深度线性区。

2.1.2 高侧 N 型开关管关闭过程分析

HIN 输入低电平时，一方面，HIN 通过高压电平转换模块 1 来关闭 M19 与 M20 管，切断对 V_G 的供电通路。另一方面，HIN 关闭 CLK 对 M21 管的控制，停止电荷泵的充放电。最后，HIN 通过高压电平转换模块 2 打开 M22 管，将 M23 管的栅极与源极短接，对 $C_{GD,M23}$ 进行放电，M23 管被关断。电阻 R_3 起到限制 $C_{GS,M23}$ 放电电流的作用，防止放电电流过大而对 M23 管栅极造成损伤。

根据 2.1.1 节和 2.1.2 节的分析，相比于传统的自举电路驱动方案，本文提出的新型高侧 N 型开关管栅极驱动方案有如下优点：1）无需使用外置自举电容 C_{BOOT}，节省了系统使用成本；2）对于栅极驱动器芯片而言，节省了 V_B 引脚，降低了封装成本。

2.2 高侧 N 型开关管恒定导通算法分析

高侧开关管经过前述开启过程后，如果高侧开关管的控制算法逻辑需要输入 100% 占空比的 PWM 控制信号，对应于图 2，HIN 将保持恒定的高电平状态，CLK 时钟电路将控制电荷泵连续不断地工作。电荷泵能够为 V_G 提供源源不断的电荷供应，保证 V_G 输出稳定且不掉电，并保持高侧 N 型开关管恒定导通。

本文方案从根本上解决了传统自举电路驱动方案中低侧开关管不工作时高侧开关管输出电压不稳定的问题，实现了维持高侧 N 型开关管恒定导通的电路功能。

新型高侧 N 型开关管栅极驱动方案的物理版图如图 3 所示。左侧为栅极驱动电路，右侧为高侧 N 型开关管。本方案驱动的开关管面积达 0.48 mm^2，而栅极驱动电路的面积仅为 0.1 mm^2。由此可见，本文方案的驱动能力非常强。

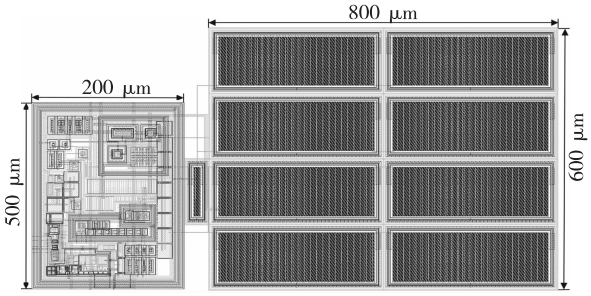
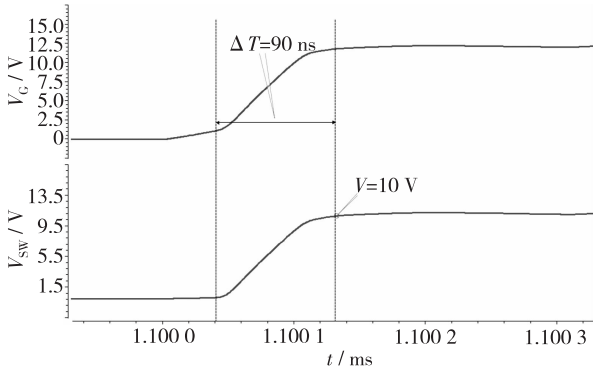


图 3 新型高侧 N 型开关管栅极驱动器的版图实现

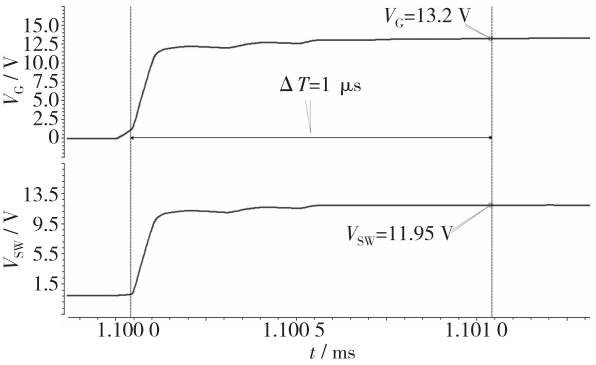
3 结果验证

3.1 新型栅极驱动方案的仿真结果

为了验证新型栅极驱动方案的电路功能，本文采用 0.18 μm BCD 工艺，利用 Cadence Spectre 软件对电路进行仿真验证。仿真条件为 $V_{DD}=12$ V，输出负载为 1.5 A。高侧开关管启动阶段的仿真结果如图 4 所示。



(a) 栅极驱动器启动时的仿真结果



(b) 栅极驱动器进入线性区时的仿真结果

图 4 新型高侧 N 型开关管栅极驱动器仿真结果

由图 4 可见，开关管启动过程经过了三个阶段。第一阶段，图 4(a)中，功率管初步启动，启动时间为 90 ns，高侧开关管工作在饱和区，输出电压为 10 V。第二阶段，电荷泵开始工作，逐步抬升 V_G，图 4(b)

中，V_G 表现为曲线上升，体现了电荷泵对栅极电容充放电过程。第三阶段，随着 V_G 升高到 13.3 V，V_G 足够使高侧开关管进入线性区，开关管充分打开，图 4(b)中，高侧开关管进入线性区的时间为 1 μs，开关管输出电压为 11.8 V。

由以上仿真结果可以得出结论：1) 在高侧开关管完全开启后，开关管的导通压降仅为 0.2 V，可见开关管的导通阻抗很小，表明高侧开关管导通，并工作在线性区；2) 仿真验证高侧开关管的开启过程与 2.1.1 节所述开启过程一致，说明本文方案的仿真结果与理论推算结果接近；3) 由图 4(b)中 V_G 的趋势可以推断，本文方案可以实现维持高侧开关管恒定导通的功能。

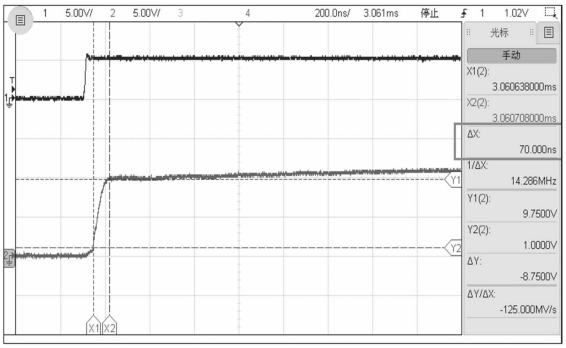
为了验证本文芯片集成的可行性，对本文电路进行不同工艺角的仿真，结果列于表 1。可以看出，受不同工艺角影响，开关管的初步开启时间与进入线性区的时间偏差较大，但对于低频开关驱动，此方案仍可以满足实际使用需求。

表 1　新型栅极驱动方案在不同工艺角下的仿真结果

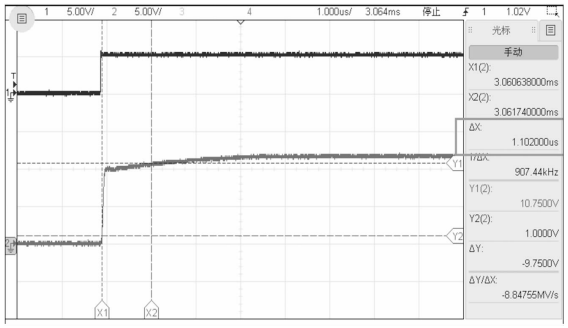
工艺角	T_{START}/ns	T_{LINEAR}/μs
FF	60	0.4
TT	90	1.0
SS	150	1.7

3.2　新型栅极驱动方案的芯片验证结果

集成新型高侧 N 型开关管栅极驱动方案芯片的测试结果如图 5 所示。测试条件为 $V_{DD}=12$ V，负载电流为 1.5 A。由图 5(a)可见，高侧 N 型开关管初步开启用时为 100 ns，高侧开关管输出电压为 10 V。经过电荷泵的充电作用，高侧 N 型开关管进入线性区的时间为 1.1 μs，高侧开关管输出电压为 11.8 V，实际测试结果与 3.1 节仿真结果基本一致。



(a) 初步开启时的测试结果



(a) 进入线性区时的测试结果

图 5　新型高侧 N 型开关管栅极驱动方案测试结果

为了验证芯片的可靠性，对芯片进行高低温测试，测试结果列于表 2。从表 2 看出，受温度影响，开关管的初步开启时间和进入线性区时间的变化范围为±20%，性能参数比工艺角仿真结果要好一些。芯片经过高低温测试后，芯片性能依然稳定。

表 2　新型栅极驱动器芯片高低温测试结果

温度/℃	T_{START}/ns	T_{LINEAR}/μs
−40	90	1.3
27	70	1.1
125	56	0.9

本文方案适用于 PWM 开关频率小于 500 kHz 的开关控制算法的半桥驱动电路。另外，由图 5(b)可知，本文方案可以实现维持高侧 N 型开关管恒定导通的功能，不会出现高侧开关管输出电压不稳定的现象。

4　结　论

本文提出一种新型高侧 N 型开关管的栅极驱动方案，解决了传统高侧 N 型开关管驱动的自举驱动电路在低侧开关管不工作时高侧 N 型开关管输出电压不稳定的问题。本文方案无需使用外置自举电容，降低了系统的使用成本，具有易于集成、速度快、驱动能力强等特点，可以使高侧 N 型开关管的控制算法更加灵活。对芯片进行流片验证，最终测试结果表明，本文方案的驱动性能稳定，可靠性高。该芯片通过了 1 000 小时的 HTOL 试验，可以保证 10 年的使用寿命。

参 考 文 献：

[1]　ZHOU Z, RONG J, CAO J, et al. A fully integrated

floating gate driver with adaptive gate drive technique for high-voltage applications [C] // IEEE 61st Int MWSCAS. Windsor, ON, Canada. 2018: 109-112.

[2] LIU Z, LIN C, LEE H. Design of on-chip gate drivers with power-efficient high-speed level shifting and dynamic timing control for high-voltage synchronous switching power converters [J]. IEEE J Sol Sta Circ, 2015, 50(6): 1463-1477.

[3] SHARMA G, JOSHI B, ORUGNTI R. A double bootstrap gate driving scheme for HERIC topology [C] // IEEE Int Conf PEDES. Chennai, India. 201: 1-6.

[4] LEE Y, KIM J. Analysis of bootstrap circuit operation with an inverted PWM drive scheme for a three-phase inverter for a brushless DC motor drive [J]. Canadian J Electri & Comput Engineer, 2019, 42(1): 58-65.

[5] LI S T, WANG P Y, CHEN C J, et al. A 10 MHz GaN driver with gate ringing suppression and active bootstrap control [C] // IEEE WiPDA Asia. Taipei, China. 2019: 1-4.

[6] MING X, FAN Z W, XIN Y L, et al. An advanced bootstrap circuit for high frequency, high area-efficiency and low EMI buck converter [J]. IEEE Trans Circ & Syst II: Expr Bri, 2019, 66(5): 858-862.

[7] 邓扬扬，冯全源，杨林才，等. 适用于轻载高效 BUCK 转换器的自举电路设计 [J]. 微电子学，2014，44(5): 592-596.

[8] HV floating MOS-gate driver ICs [EB/OL]. http://hotstreamer. deanostoybox. com/temp/Old2001Files/2001-04/an-978. pdf, 2010.

[9] CHEN J, HE L. Fully integrated high-voltage level shifts and drivers for buck converters [C] // IEEE APCCAS. Chengdu, China. 2018: 489-492.

[10] DOUTRELOIGNE J. Power efficiency optimization of fully integrated Dickson charge pumps [C] // Proceed 9th WSEAS Int Conf Microelec, Nanoelec, Optoelec. 2010: 80-87.

[11] BAKER R J. CMOS 集成电路设计手册 [M]. 张雅丽，译. 北京：人民邮电出版社，2014.

（上接第 502 页）

[4] 孙浩. 一种 2.4 GHz CMOS 射频开关和功率放大器的设计 [D]. 南京：东南大学，2016.

[5] 韩月，丛密芳，李科，等. 射频功率放大器稳定性的分析与设计 [J]. 微电子学与计算机，2018，35(10): 72-74.

[6] CHANG W, SU J, MENG C, et al. V-band flip-chip pHEMT balanced power amplifier with CPWGMS-CPW- G topology and CPWG Lange couplers [C] // IEEE RFIC. Honolulu, HI, USA. 2017: 19-22.

[7] BESSEMOULIN A, MAHON S, DADELLO A, et al. Compact and broadband microstrip power amplifier MMIC with 400-mW output power using 0.15-μm GaAs PHEMTs [C] // Europ GAAS. Paris, France. 2005: 41-44.

[8] 魏碧华，蔡道民，武继斌. 9～15 GHz GaAs E-PHEMT 高性能线性功率放大器 [J]. 半导体技术，2017(7): 489-492.

[9] 胡俊，陈晓娟. 基于 GaAs 工艺的超宽带混合集成功率放大器 [J]. 微电子学与计算机，2018，35(12): 65-69.

一种基于 FVF 结构的快瞬态响应 LDO 设计

刘　兴，胡　毅，马永旺，李振国，冯　曦，冯文楠，唐晓柯
（北京智芯微电子科技有限公司 国家电网公司重点实验室电力芯片设计分析实验室，北京 100192；
北京智芯微电子科技有限公司 北京市电力高可靠性集成电路设计工程技术研究中心，北京 100192）

摘　要： 提出了一种快瞬态响应、宽输入电压范围、无片外电容的低压差线性稳压器（LDO），应用于给主控（MCU）芯片中的 Flash 供电。该稳压器基于超级源跟随器结构，由快慢两个通路构成。采用电容耦合方式感知负载变化，进一步增强瞬态响应。电路采用 UMC 55 nm 工艺设计实现，使用 Spectre 软件进行了仿真验证。仿真结果表明，当负载电流以 10 ps 的跳变边沿在 0～10 mA 范围变化时，输出电压的最大上冲值和下冲值分别为 109 mV、153 mV。在输入电压 2～3.6 V 范围内，线性调整率和负载调整率分别为 2.6 mV・V^{-1}和 0.5 mV・mA^{-1}。

关键词： 无片外电容 LDO；FVF；快瞬态响应；宽电源电压范围；MCU
中图分类号：TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0509-05
DOI：10.13911/j.cnki.1004-3365.190532

Design of a Fast Transient Response LDO Based on FVF Structure

LIU Xing, HU Yi, MA Yongwang, LI Zhenguo, FENG Xi, FENG Wennan, TANG Xiaoke
(*State Grid Key Lab. of Power Industrial Chip Design and Analysis Technol., Beijing Smart-Chip Microelec. Technol. Co., Ltd., Beijing* 100192, *P. R. China*; *Beijing Engineer. Research Center of High-Reliab. IC with Power Industrial Grade, Beijing Smart-Chip Microelec. Technol. Co., Ltd., Beijing* 100192, *P. R. China*)

Abstract: A capless LDO with fast transient response and wide input voltage range was proposed, which was used to power the flash in MCU chips. The voltage regulator was based on the stucture of super source follower (FVF), and it consisted of two channels, fast and slow. At the same time, the capacitance coupling technology was used to sense the load change and further enhance the transient response. The LDO circuit was designed in UMC 55 nm process and simulated by Spectre software. The simulation results showed that when the load current changed in the range of 0～10 mA with the jump edge of 10 ps, the overshoot and undershoot values of the output voltage were 109 mV and 153 mV, respectively. Within the input voltage of 2～3.6 V, the line regulation and load regulation was 2.6 mV・V^{-1} and 0.5 mV・mA^{-1}, respectively.

Key words: capless LDO; FVF; fast transient response; wide power supply voltage range; MCU

0　引　言

低压差线性稳压器（LDO）作为一种常用的电源管理芯片，具有结构简单、低成本、低噪声、低功耗以及外围电路简单等优点，被广泛应用于医疗、计算机、工业基础设备和便携式产品等领域[1]。传统带片外电容的 LDO 需要在芯片外接 μF 量级电容，以进行频率补偿。传统 LDO 具有良好的瞬态响应和电源纹波抑制比（PSRR），但是芯片外挂的电容占据较大的 PCB 面积，不利于 SoC 集成[2-3]。对于无片外电容型 LDO（CLDO），设计难点在于兼顾稳定性和瞬态响应速度。当 LDO 在芯片中给 Flash 供电时，Flash 功耗波动的频率可达 GHz 量级，使得输

收稿日期：2019-09-10；**定稿日期：**2019-10-21
基金项目：国家电网科技项目（546816190018）
作者简介：刘　兴（1992—），男（汉族），河北廊坊人，硕士，工程师，研究方向为模拟集成电路设计。

出电压产生很大的过冲。在无片外大电容的情况下，更加依赖 LDO 本身的瞬态响应来稳定输出电压。因此，提高瞬态响应速度是设计高性能 CLDO 的关键。

目前，基于 FVF 结构的 LDO 是研究热点[4-5]。在电源效率相当的情况下，基于 FVF 结构的 LDO 的瞬态响应性能更优于基于经典运放的 LDO[6-7]。文献[8]、文献[9]提出的 LDO 电路利用电容耦合感知输出电压变化，增大了给输出管栅极电容充放电的摆率，加快了响应速度，但没有改善 FVF 结构负载调整率差的缺点。文献[10]提出的电路以输出极点为主极点，显著增加了带宽，通过另一个慢环路补偿了 DC 精度，但输入电压范围较小，不适用于宽电压范围应用。

本文提出了一种基于 FVF 结构的 CLDO 电路，以相对较低的功耗实现快速瞬态响应，具有宽输入电压范围，适用于给芯片内的数字电路供电且不需要额外的 DC-DC 电路。同时，在全部频带范围内均具有良好的 PSRR，能够有效抑制电源噪声。

1　LDO 的结构及原理

本文提出的 LDO 电路结构如图 1 所示。该 LDO 包含一个由 M_{pass}、M_7、M_6 管组成的快通路和一个由 M_{pass}、M_1、M_5、M_7 管及控制电压产生器组成的慢通路。控制电压产生器是低功耗 LDO，有几 μA 的负载能力，可产生固定电压 V_{MIR}。快通路的作用是增大环路带宽，提高瞬态响应速度。慢通路是用于补偿 DC 精度。M_3、M_8、M_9、M_{12}、M_{13}、M_{14}、M_{15} 管用作电流源，提供偏置电流。电容 C_2、C_3 通过电容耦合的方式感知负载变化，增大或减小流过电流源 M_3、M_{14} 的电流，加快对负载管 M_{pass} 的栅极电容充放电速度，进一步增强瞬态响应，减小输出电压的过冲值。C_1 和以二极管方式连接的 M_5 管构成 RC 滤波，消除慢通路对快通路稳定性的影响。

M_5 与 M_7 管构成电流镜，M_1 与 M_4 同样是一组电流镜。流过 M_5 管的电流为：

$$I_{M5}=I_{n1}-I_{M1}=\frac{1}{2}\mu_n C_{OX}\left(\frac{W}{L}\right)_5\times(V_{GS5}-V_{thp})^2 \tag{1}$$

流过 M_7 管的电流为：

$$I_{M7}=I_{n2}-I_{M4}=\frac{1}{2}\mu_n C_{OX}\left(\frac{W}{L}\right)_7\times(V_{GS7}-V_{thp})^2 \tag{2}$$

式中，μ_n 为电子迁移率，C_{ox} 为栅氧电容。电流源 I_{n1} 与 I_{n3} 的电流之比、I_{M1} 与 I_{M4} 的电流之比、M_5 与 M_7 的尺寸之比、R_2 与 R_1 的阻值之比均设计为 $1:n$，则可以得到：$V_{GS5}=V_{GS7}$。因此，$V_{LDO}=V_{MIR}$，表明稳定状态下，LDO 的输出电压仅由控制电压产生器决定。

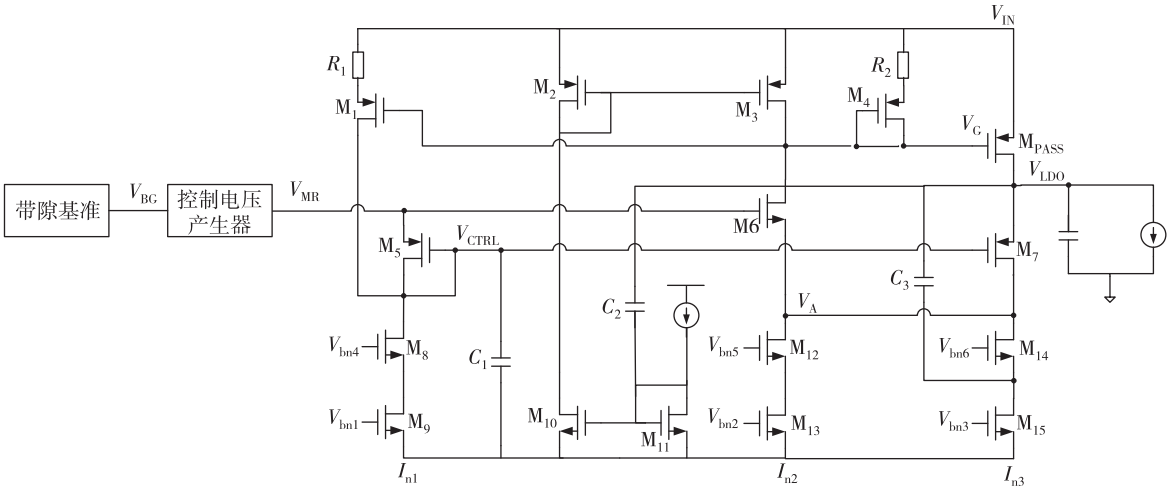


图 1　本文提出的 LDO 电路结构

2　频率响应分析

电路中，慢通路经 RC 滤波后与快通路相连接，快通路与慢通路处于两个不同的频带范围。设计合理的时间常数，保证快通路完成响应后才开始响应慢通路。因此，频率响应分析时，可忽略慢通路对快通路的影响，只需要分析不容易达到稳定的高频带通路。快通路共包含三个节点：V_A、V_G 和输出节点。V_A 是高频极点，V_G 因连接了二极管 M_4 而

为一个低阻节点，V_G 节点电容主要来自于 M_{pass} 管的栅电容，远小于输出节点的负载电容。因此，输出极点成为主极点，而 V_G 为次主极点。V_G 节点连接 M_4 管的另一个作用是降低快通路的环路增益。即使输出极点是主极点，从 M_7 管源端看进去的阻抗约为 $1/g_{m7}$，不管在重载还是轻载条件下，该极点都处于一个较高的频率，主极点与次主极点位置间隔不远，降低环路增益有助于改善相位裕度。同时，本身处于较高频率的输出极点作为主极点，有助于快通路获得更大的－3 dB 带宽，使小信号有一个快速的建立过程。

环路增益可表示为：

$$A_V = g_{mp} R_{out} g_{m7} R_G \approx \frac{g_{mp} g_{m7} R_L}{g_{m4}(1+g_{m7}R_L)} \tag{3}$$

主极点和次主极点分别表示为：

$$p_1 = \frac{1}{R_{out}C_{out}} \approx \frac{1+g_{m7}R_L}{R_L C_L} \tag{4}$$

$$p_2 = \frac{1}{R_G C_G} \approx \frac{g_{m4}}{C_G} \tag{5}$$

增益带宽积为：

$$G_{BW} = \frac{g_{mp} g_{m7}}{g_{m4} C_L} \tag{6}$$

式中，g_{mp}、g_{m4}、g_{m7}、g_{m14} 分别为负载管（M_{pass}）、M_4、M_7、M_{14} 管的跨导，R_G 和 C_G 为负载管的栅端等效电阻和电容，R_L、C_{out} 为 LDO 的负载电阻和负载电容。

通常情况下，轻载时的环路增益较大，由式(3)可知，环路增益在轻载条件下存在最大值，为：

$$A_{v,max} \approx \frac{g_{mp}}{g_{m4}} \tag{7}$$

用于增强瞬态响应速度的电容 C_3 在高频时处于导通状态，M_7 和 M_{14} 管构成一个 Class AB，LDO 输出端看进去的阻抗为 $1/(g_{m7}+g_{m14})$，此时，主极点 p_1 和增益带宽积(GBW)都会增大。如果次主极点没有位于更高的频率处，相位裕度则会变差。因此，对 C_3 的值有一定的限制，不能取值太大。

负载电流从轻载到重载逐渐增大时，主极点带宽逐渐增大，重载时的 GBW 在 GHz 量级。为了保证稳定性，次主极点频率必须远大于 GBW。本文电路中，次主极点 p_2 也是一个频率随负载变化的极点。原因是重载时，负载管的栅极电压被拉低，以提供更大电流，M_4 管的跨导也相应增大，由式(5)可知，次主极点会往更高频移动，保证足够的相位裕度。R_2 连接在 M_4 管的源端与电源之间，起源跟随的作用，以减小 M_4 管跨导对栅电压的敏感度，避免调节过度而使 V_G 节点阻抗过低，或者使 M_4 管消耗过多的电流。为了避免在轻载时 M_4 管关断而致 V_G 节点对地的阻抗增大，M_1 与 M_4 管均采用低阈值管。

3　瞬态响应增强电路

图 1 所示电路中，C_2、C_3 和电流镜 M_{10}、M_{11} 及电流镜 M_2、M_3 共同组成瞬态响应增强电路，用于进一步提高 LDO 的瞬态响应。当负载电流增大或减小导致 LDO 输出端电压产生过冲时，C_2、C_3 能够感知这一变化，通过 RC 耦合的方式来相应地增大给 M_{pass} 管的栅极电容充放电的摆率电流。栅电容放电的摆率电流由 $I_{n3}-I_{M4}$ 提供，充电的摆率电流由 $I_{M3}+I_{M4}$ 提供。负载电流增大会使输出电压产生向下的过冲，经 C_3 耦合后，将给 M_{14} 管叠加一个瞬态增大的电流，经 C_2 耦合后，电流源 M_3 管提供的电流又会瞬态地减小。此时，V_G 节点的电容放电的摆率电流等于 $I_{n3}-I_{M4}+\Delta I_{M14}+\Delta I_{M3}$。

同理，当负载电流减小使输出电压产生向上的过冲时，经电容 C_2 耦合后，电流源 M_3 管的偏置电流瞬态增大 ΔI_{M3}，经电容 C_3 耦合后，流经 M_{14} 管的电流瞬态减小 ΔI_{M14}，此时 V_G 节点电容充电的摆率电流为 $I_{M3}+I_{M4}+\Delta I_{M14}+\Delta I_{M3}$。以上 ΔI_{M14} 和 ΔI_{M3} 分别为 M_{14} 和 M_3 管瞬态增大或减小的电流的绝对值。

通过电容耦合的方式增大电流镜偏置电流的示意图如图 2 所示。

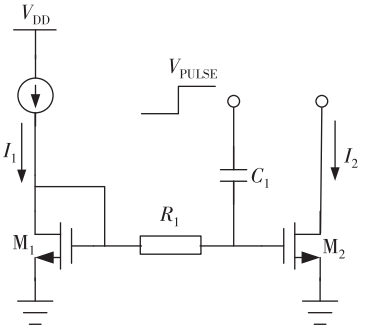


图 2　通过电容耦合增大电流镜电流的示意图

M_1、M_2 管构成一个基本电流镜，I_1 和 I_2 分别为输入电流和输出电流，R_1 和 C_1 形成高通滤波。静态时，V_{PULSE} 固定不变，C_1 不导通，电流 I_1 与 I_2 相等。当 V_{PULSE} 为脉冲信号时，电容耦合使得 M_2 管栅端电压跟随脉冲信号跳变，相当于 I_2 在直流偏置的基础上叠加了额外的电流，又不影响输入电流

I_1 的值。

4　仿真结果

本文 LDO 采用 UMC 55 nm 工艺的 3.3 V 器件库进行设计，支持 2 V～3.6 V 电源电压范围。输出电压典型值为 1.7 V，负载电流范围为 0～10 mA。

负载电流为 10 mA 时，快通路的带宽最大。此时，环路稳定性对次主极点的要求更高，该条件下对应的是稳定性最差的情况。10 mA 负载时幅频特性曲线如图 3 所示。可以看出，低频环路增益为 23 dB，GBW 为 14.5 MHz，相位裕度为 54.6°。不同负载时增益和相位裕度曲线如图 4 所示。可以看出，在 0～10 mA 全负载范围内，相位裕度的最小值为 42°，满足稳定性要求。

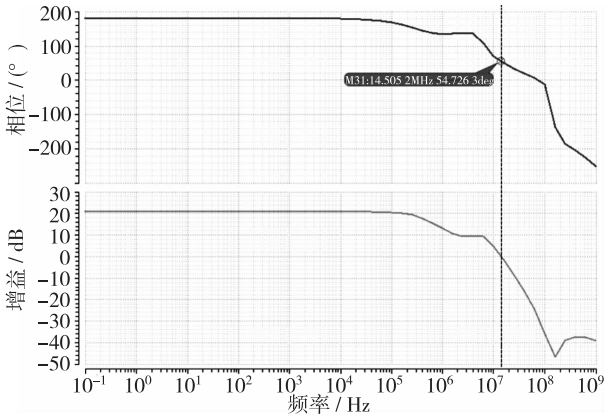


图 3　10 mA 负载时幅频特性曲线

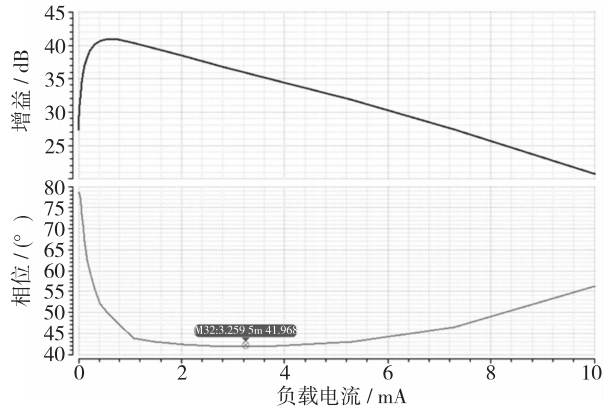


图 4　不同负载时增益和相位裕度曲线

负载电阻为 100 Ω 时 PSRR 曲线如图 5 所示。可以看出，低频下 PSRR 为 56 dB。频率 10 MHz 处，PSRR 最小，为 21 dB。全频率范围内，PSRR 均大于 20 dB。

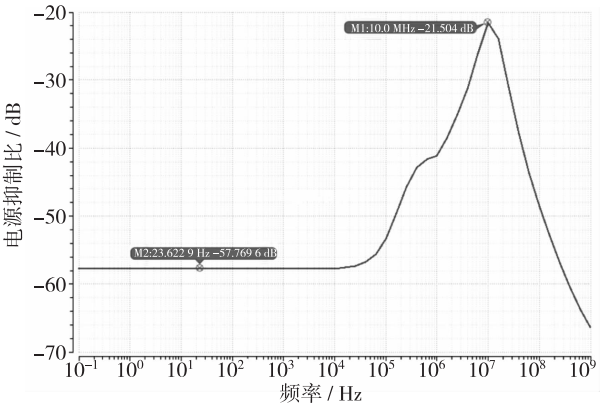
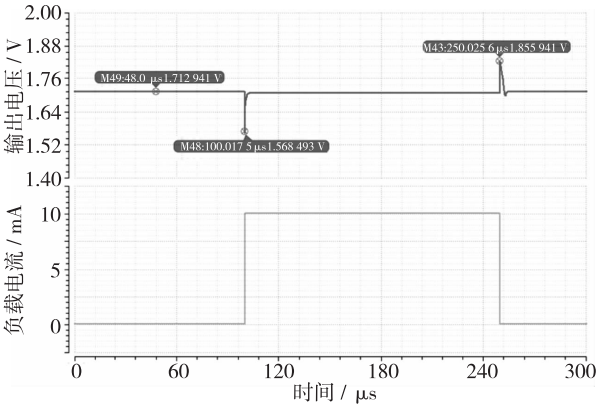
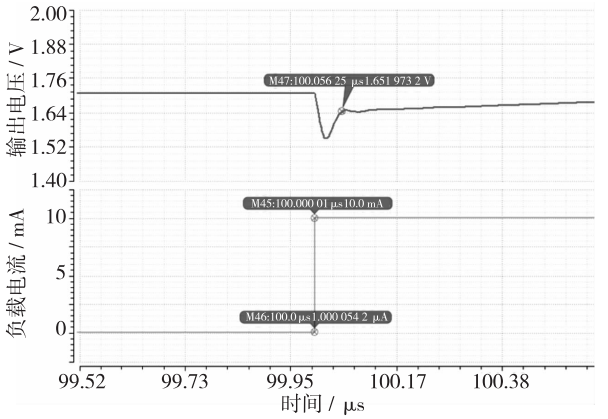


图 5　负载电阻为 100 Ω 时 PSRR 曲线

负载瞬态响应曲线如图 6 所示。设置的仿真条件是：负载电流在 0～10 mA 范围内的跳变边沿为 10 ps。可以看出，负载从轻载跳变到重载时，输出端产生的最大下冲电压为 109 mV。负载从重载跳变到轻载时，输出端产生的最大上冲电压为 153 mV。斜坡较陡的部分是快通路响应阶段，响应时间约为 56 ns，随后，输出电压缓慢恢复，该阶段是慢通路起作用。



(a) 全局图



(b) 局部放大图

图 6　负载瞬态响应曲线

本文与其他文献中 LDO 的参数比较如表 1 所示。可以看出，本文电路在瞬态响应速度、PSRR 和电源电压范围等方面具有一定优势。

表 1　本文与其他文献中 LDO 的参数比较

参数	文献[10]	文献[11]	文献[12]	本文
工艺/nm	65	65	350	55
输入电压/V	1.15	1.3	1.4～3.3	2～3.6
输出电压/V	1	1.1	1.2	1.7
最大负载/ mA	10	50	50	10
片上电容/pF	140	0～2 000	200	500
静态功耗/μA	50	50～190	34.6	40
压差/V	150	200	200	300
过冲电压/ mV@T_{EDGE}	43 @200 ps	80 @2 ns	50 @300 ns	153 @10 ps
线性调整率/ (mV・V^{-1})	-	1	8.8	2.6
负载调整率/ (mV・mA^{-1})	-	0.04	3	0.5
PSRR/dB	−15.5 @1 GHz	-	-	−21.3 @10 MHz

5　结　论

本文设计了一种基于 FVF 的快瞬态响应 CLDO，支持 2 V～3.6 V 电源电压范围。该电路分为快、慢两个通路。快通路提供大带宽，实现快速响应；慢通路用于提高 DC 精度。该 CLDO 中的瞬态响应增强电路采用电容耦合方式，增大了摆率电流，进一步提高了瞬态响应速度。仿真结果表明，当负载电流以 10 ps 的跳变边沿在 0～10 mA 范围内变化时，输出电压的最大过冲值为 153 mV。本文 CLDO 在全频带范围内均具有良好的 PSRR。在 100 MHz 时，PSRR 的最小值为 21.5 dB，能够有效抑制电源纹波。

参 考 文 献：

[1] 胡云斌，周勇，胡永贵，等. 一种有源零点补偿的片上 LDO 设计 [J]. 微电子学，2017，47(3)：326-329.

[2] FALIN J. ESR，stability，and the LDO regulator [Z]. Texas Instruments，2002.

[3] KOAY K C，CHONG S S，CHAN P K. A FVF based output capacitorless LDO regulator with wide load capacitance range [C] // IEEE Int Symp Circ & Syst. Beijing，China. 2013：1488-1491.

[4] CARVAJAL R G，RAMIREZ-ANGULO J，LOPEZ-MARTIN A J，et al. The flipped voltage follower：a useful cell for low-voltage low-power circuit design [J]. IEEE Trans Circ & Syst I：Regu Pap，2005，52(7)：1276-1291.

[5] SURKANTI P R，GARIMELLA A，FURTH P M. Flipped voltage follower based low dropout (LDO) voltage regulators：a tutorial overview [C] // 31st IEEE Int Conf VLSID. Pune，India. 2018：232-237.

[6] RAMIREZ-ANGULO J，GUPTA S，PADILLA I，et al. Comparison of conventional and new flipped voltage structures with increased input/output signal swing and current sourcing/sinking capabilities [C] // 48th IEEE Midwest Symp Circ & Syst. Covington，KY，USA. 2005：1151-1154.

[7] LU Y，LI C，ZHU Y，et al. A 312 ps response-time LDO with enhanced super source follower in 28 nm CMOS [J]. Elec Lett，2016，52(16)：1368-1370.

[8] OR P Y，LEUNG K N. An output-capacitorless low-dropout regulator with direct voltage-spike detection [J]. IEEE J Sol Sta Circ，2010，45(2)：458-466.

[9] CHEN C M，TSAI T W，HUNG C C. Fast transient low-dropout voltage regulator with hybrid dynamic biasing technique for SoC application [J]. IEEE Trans VLSI Syst，2012，21(9)：1742-1747.

[10] LU Y，KI W H，YUE C P. A 0.65 ns-response-time 3.01 ps FOM fully-integrated low-dropout regulator with full-spectrum power-supply-rejection for wideband communication systems [C] // IEEE ISSCC. San Francisco，CA，USA. 2014：306-307.

[11] HUANG M，FENG H，LU Y. A fully-integrated FVF-based low-dropout regulator with wide load capacitance and current ranges [J]. IEEE Trans Power Elec，2019，34(12)：11880-11888.

[12] BLAKIEWICZ G. Output-capacitorless low-dropout regulator using a cascoded flipped voltage follower [J]. IET Circ，Dev & Syst，2011，5(5)：418-423.

一种高速串行信号线性均衡电路

兰雨娇[1]，侯伶俐[2]，岳宏卫[1]，韦雪明[1]
（1. 桂林电子科技大学 广西无线宽带通信与信号处理重点实验室，广西 桂林 541004；
2. 成都华微电子科技有限公司，成都 610041）

摘　要： 设计了一种高速串行信号连续时间线性均衡器。采用有源电感负载结构，结合高频与全频通路信号求和技术来实现高速串行信号均衡。电路具有面积小、功耗低、利于集成等优点。采用 65 nm CMOS 工艺进行设计，1.2 V 电源供电，可对经过 80 cm 长的衰减信道、且传输速率为 14 Gbit/s 的信号进行补偿，实现 6.24 dB@10.96 GHz 的补偿。该均衡器将输出端信号眼图水平方向抖动减小至 0.25*UI*，功耗数据率比低至 0.399 mW·s/Gbit，设计版图面积为 0.09 mm^2。

关键词： 有源电感负载；高速串行信号；线性均衡器；信道均衡；眼图
中图分类号：TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0514-07
DOI：10.13911/j.cnki.1004-3365.190540

A Linear Equalization Circuit for High Speed Serial Signal

LAN Yujiao[1], HOU Lingli[2], YUE Hongwei[1], WEI Xueming[1]
(1. *Guangxi Key Laboratory of Wireless Broadband Communication and Signal Processing*, *Guilin*, *Guangxi* 541004, *P. R. China*;
2. *Chengdu SINO Microelectronics Technology Co.*, *Ltd.*, *Chengdu* 610041, *P. R. China*)

Abstract: A continuous-time linear equalizer for high speed serial signal was designed on the basis of active inductance load structure. The equalizer was complemented by the mixing technology of high frequency signal branch and full frequency signal branch. It featured small area and low power consumption, and was easy to integrate on one chip. The equalizer was designed in a 65 nm CMOS technology with 1.2 V power supply, and it could provide 6.24 dB @10.96 GHz attenuation compensation for transmission signals which transmitted up to 14 Gbit/s in 80 cm attenuation channel. Observed from the output signal eye diagram, the equalizer's output jitter at horizontal direction was reduced to 0.25*UI*, the ratio of power dissipation and data rate was as low as 0.399 mW·s/Gbit, and the corresponding layout area was 0.09 mm^2.

Key words: active inductor load; high speed serial signal; linear equalizer; channel equalization; eye diagram

0　引　言

在高速背板传输、光纤通信等串行通信系统中，为了降低码间串扰和信道间干扰的影响，减小误码率，获得良好的通信质量，需要对信道以及整个系统特性进行相应补偿。均衡技术通过对信号的高频成分进行补偿来处理码间干扰[1]，通常被应用于通信系统的串行器/解串器(SerDes)[2]中。

接收端均衡结构位于系统接收机前端。在高速串行链路的实际应用中，接收端通常使用连续时间线性均衡器(CTLE)和判决反馈均衡器(DFE)两种均衡结构[3]。本文主要研究 CTLE。它是一种频域均衡器，通过调节滤波器的频率特性来补偿信道衰

收稿日期：2019-09-15；**定稿日期：**2019-11-27
基金项目：广西无线宽带通信与信号处理重点实验室主任基金资助项目(GXKL06190110)；桂林电子科技大学研究生教育创新计划资助项目(2018XWYJ18)；桂林电子科技大学研究生课程建设项目(YKC201703)
作者简介：兰雨娇(1993—)，女(汉族)，四川江油市人，研究生，研究方向为集成电路设计及应用。
侯伶俐(1980—)，女(汉族)，四川南部县人，高级工程师，研究方向为集成电路设计。通信作者。

减，使信道的频率特性达到全通无失真传输的要求。CTLE 的核心电路等效于一个高通滤波器[4]。它通过增大信号低频成分的衰减，或者增大放大信号的高频增益，来补偿信道衰减，以缩小信号中高频成分与低频成分的衰减差距。目前国内外已有许多关于 CTLE 的研究成果。文献[5]中，在两级差分放大器之间并联多级低通反馈网络，构成一种新型 CTLE 均衡器，能正确传输不同数据率的串行信号。文献[6]中，采用栅极和体驱动晶体管构成 CTLE，有效降低了电路功耗。文献[7]中，采用具有横向结构的 CTLE，该均衡器与高精度算法兼容，提高了均衡精度。文献[8]中，引入频谱平衡法，实现了更精准的自适应均衡。上述文献通过改善均衡器结构、算法等来提高 CTLE 的工作性能，但电路负载均采用无源电阻和电感，大大增加了芯片面积和功耗，不利于电路集成。文献[9]设计了一种结合高频倍增和直流抑制两种模式的双模 CTLE，同时引入有源电感差分结构，在不影响信号低频增益的情况下提高了高频增益，但其调节输出端带宽方式单一，且不能适用于均衡高速和高摆幅的串行信号。

本文均衡器在传统 CTLE 的基础上，引入 MOS 管差分对来构成有源电感负载结构，有效减小了芯片面积和功耗，便于更加精确地控制信号增益及其补偿范围，并且适用于均衡高数据速率的串行信号。

1　电路结构设计

1.1　有源电感负载结构

传统 CTLE 中，一般是采用负反馈差分放大器，其差分输入对管的源极接电阻电容。这种结构的 CTLE 带宽有限，对于较高频率信号，没有实现很好的均衡补偿效果。因此，在传统高速串行通信系统中，通常在传统 CTLE 的基础上引入电感峰化技术，为 CTLE 提供额外的零点来抵消极点的影响，将峰值频率点向后扩展，拓展电路带宽[10]，具体电路如图 1 所示。

图 1 中，漏极负载 R_D 上串接了一个电感，其电感值为 L_D。此电路的传输函数为：

$$H(s)=\frac{g_m R_D}{1+\frac{g_m R_D}{2}}\cdot\frac{1+\frac{s}{\omega_{z1}}}{1+\frac{s}{\omega_{p1}}}\cdot\frac{1+\frac{s}{\omega_{z2}}}{1+\frac{2s}{Q\omega_o}+\frac{s^2}{\omega_o^2}} \tag{1}$$

式中，$Q=(2/R_D)\sqrt{L_D/C_L}$，$\omega_o=1/\sqrt{L_D C_L}$，$C_L$ 表示输出节点的总电容；零点 $\omega_{z1}=1/(R_s C_s)$，另外一个零点 $\omega_{z2}=2\omega_o/Q$；极点 $\omega_{p1}=(1+g_m R_s/2)/(R_s C_s)$。

由以上公式可知，该电路利用电感与输出节点电容的谐振来提高带宽[11]，但无源电感元件易消耗电路面积，会增加功耗，且不利于电路集成。

采用有源负载实现的等效电感也能扩展电路带宽，图 2 所示即为一种有源电感差分结构均衡器。在传统均衡电路的基础上，利用 NMOS 管 M3 和 M4 的栅源电容以及电阻 R_D 形成一个在传输函数上类似电感作用的电路，该电感也被称为有源电感[9]。

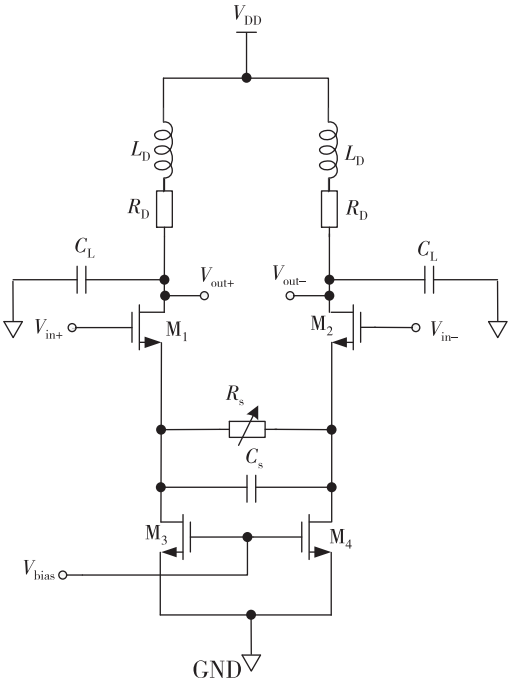


图 1　采用无源电感峰化技术的 CTLE 单元结构

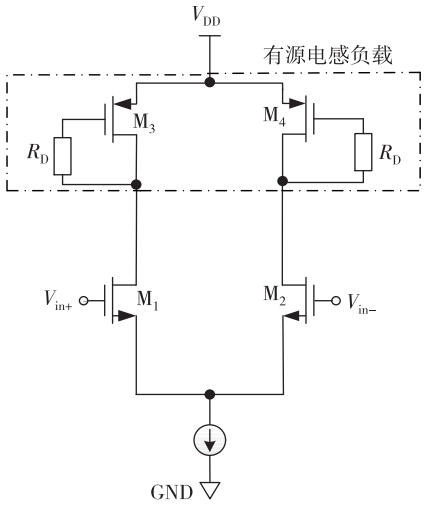


图 2　有源电感差分结构均衡器

相比于图 1，图 2 所示电路通过调整 M3、M4 管的栅源寄生电容值来改变输出端带宽，但方式单一，不可靠，容易受工艺波动影响。为了更加灵活地调节输出端带宽，改进电路如图 3 所示。在差分对 PMOS 管 M_3、M_6 构成有源电感负载的基础上，通过引入控制电压 V_{BP} 来调整 PMOS 管 M_4、M_5 的状态，调节输出端带宽，控制电路功耗和增益。该电路采用宽长比完全相同的 NMOS 管 M_9、M_{10} 作为可变电阻 R_m 来控制均衡电路的零极点，通过电压 E_{QM} 值的改变实现 R_m 阻值的改变。负反馈电阻 R_S 保证该均衡电路的低频增益在合理范围内。

通过调节电路，使 PMOS 管 M_3～M_6 处于饱和工作状态，有源负载及其整体电路对应的小信号等效模型如图 4(a)、图 4(b)所示。

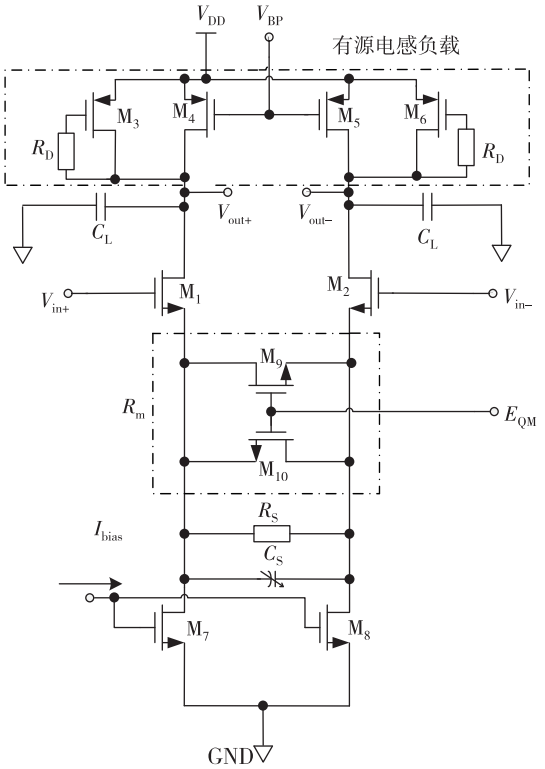
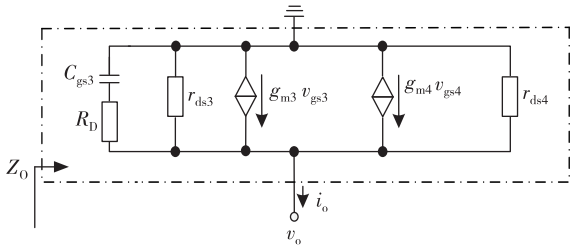
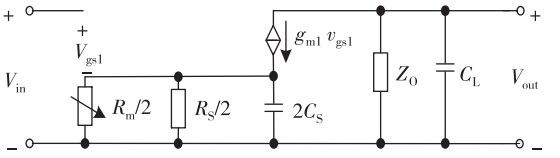


图 3 有源电感负载结构的 CTLE 单元结构



(a) 有源负载小信号模型



(b) 整体电路小信号模型

图 4 有源负载及其整体电路小信号模型

图 4(a)中，C_{gs3} 为 PMOS 管 M_3、M_6 的栅源极电容，PMOS 管 M_3、M_6 和 M_4、M_5 的跨导分别为 g_{m3} 和 g_{m4}，栅源极电压分别为 v_{gs3} 和 v_{gs4}，漏源电阻分别为 r_{ds3} 和 r_{ds4}。$g_{m3}v_{gs3}$ 与 $g_{m4}v_{gs4}$ 为小信号电流源。图 4(b)中，g_{m1} 为 NMOS 管 M_1、M_2 的跨导，其栅源极电压为 v_{gs1}。

根据有源负载小信号模型，可得有源负载电路部分的总电压 $v_o = R_D v_{gs3} C_{gs3} s + v_{gs3}$，总电流为 $i_o = (g_{m3} v_{gs3} + v_o / r_{ds3} + v_{gs3} C_{gs3} s) + (g_{m4} v_{gs4} + v_o / r_{ds4})$，由此可得对应的小信号模型等效电阻 Z_O：

$$Z_O = \frac{v_o}{i_o} = \frac{1 + R_D C_{gs3} s}{(1 + R_D C_{gs3} s)\dfrac{r_{ds3} + r_{ds4}}{r_{ds3} r_{ds4}} + g_{m3} + C_{gs3} s + \dfrac{g_{m4} v_{gs4}}{v_{gs3}}} \tag{2}$$

由以上分析可得，因为要克服沟道调制问题，设计的 r_{ds3} 和 r_{ds4} 会很大，有：

$$Z_O \approx \frac{1 + R_D C_{gs3} s}{g_{m3} + C_{gs3} s + \dfrac{g_{m4} v_{gs4}}{v_{gs3}}} \tag{3}$$

通过调整偏置电压 V_{BP} 来改变 g_{m4}，达到改变输出负载 Z_O 的目的。该电路的传输函数表达式为：

$$H(s) = \frac{Z_O \parallel \dfrac{1}{sC_L}}{\dfrac{1}{g_{m1}} + \dfrac{R_m}{2} \parallel \dfrac{R_S}{2} \parallel \dfrac{1}{2sC_S}} = A \frac{1 + \dfrac{s}{\omega_{z1}}}{(1 + \dfrac{s}{\omega_{p1}})(1 + \dfrac{s}{\omega_{p2}})} \tag{4}$$

该传输函数具有一个零点和两个极点，分别为：

$$\omega_{z1} = -\frac{1}{(R_m \parallel R_S) C_S} \tag{5}$$

$$\omega_{p1} = -\frac{1}{Z_O C_L} \tag{6}$$

$$\omega_{p2} = -\frac{1 + g_{m1}(\dfrac{R_m}{2} \parallel \dfrac{R_S}{2})}{(R_m \parallel R_S) C_S} \tag{7}$$

直流增益为：

$$A = -\frac{g_{m1} Zo}{1 + g_{m1}(R_m \parallel R_S)/2} \tag{8}$$

由以上分析可得，该均衡电路输出端负载 Z_O 和 C_L 决定主极点 ω_{p1} 的位置；源极负反馈电阻 R_S、R_m 和电容 C_S 决定零点 ω_{z1} 的位置，而负反馈电阻、

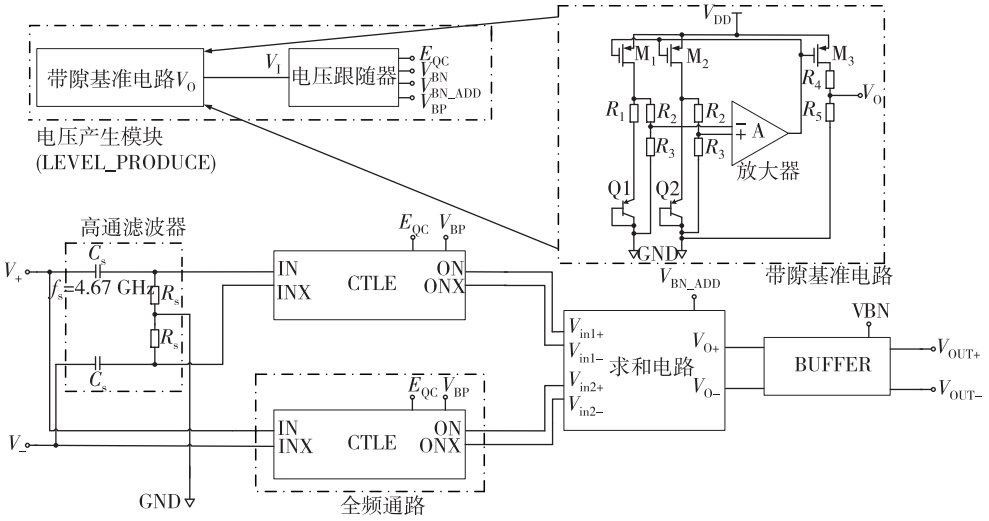
电容及跨导 g_{m1} 决定了另一个极点 ω_{p2} 的位置。由式(4)、式(6)可得，$\omega_{p2}=\{1+g_{m1}[(R_S/2)\parallel(R_m/2)]\}\omega_{z1}$，因此 $\omega_{z1}<\omega_{p2}$。另外，可通过调节源极负反馈电阻、电容和输出端负载的值，使得 $\omega_{z1}<\omega_{p1}$。

由以上分析可得，通过调节 g_{m1}、输出端负载及源极负反馈电阻、电容的值，能够改变零极点位置，调节高低频增益，提供高频处的额外零极点，扩展 CTLE 带宽。该设计能够大大降低电路功耗和面积，提升均衡稳定性，避免体效应，提供更高的电压裕度，达到更好的信号均衡效果。

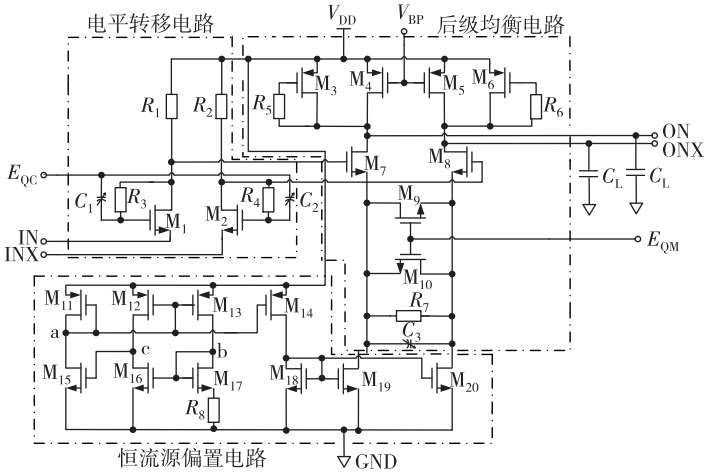
1.2　串行信号均衡器电路

均衡器如图 5(a)所示。为使该均衡电路对高速串行信号有着更好的均衡效果，本文在采用有源电感负载结构的 CTLE 作为后级均衡电路的基础上，加入了电平转移电路及偏置电路，电路结构如图 5(b)所示。从 IN、INX 端口输入高速差分信号，在输出端 ON、ONX 输出均衡后的信号。为了更好地实现信号均衡，采用独立的高低频信号通路结构，信号分别经过高频通路和全频通路后，实现求和均衡输出。

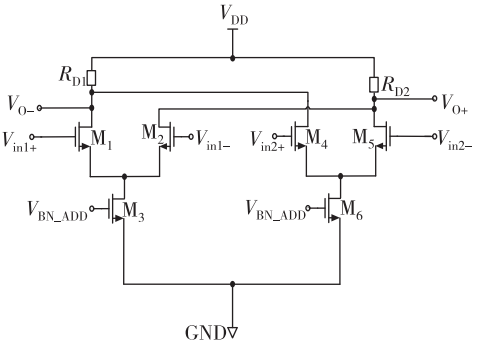
图 5(b)中，带有反馈的共栅极放大器作为输入级，由 NMOS 管 $M_1\sim M_2$、电阻 $R_1\sim R_4$ 及电容 C_1 和 C_2 构成。通过电平转移电路和电压 E_{QC}，使得输入信号的共模电压提升至合适电位，用以驱动后级均衡电路，保证其正常工作。在 PMOS 管 M_1、M_2 栅极添加阻值均为 R_F 的反馈电阻 R_3、R_4 和容值均为 C_F 的电容 C_1、C_2，它们构成一个 RC 高通滤波器，其滤波截止频率 $\omega_H=1/(R_FC_F)$。



(a) 均衡电路整体结构



(b) 有源电感负载 CTLE 单元电路



(c) 求和电路

图 5　本文设计的均衡电路结构

恒流源偏置电路由 MOS 管 $M_{11}\sim M_{20}$ 及电阻 R_8 构成，为后级均衡电路提供稳定的偏置电流。它

能够固定电路工作点，有效限制均衡电路功耗。PMOS 管 M_{11}～M_{14} 构成基准电流源，提供基准电流。NMOS 管 M_{18} 分别与 NMOS 管 M_{19}、M_{20} 构成电流镜，将基准电流复制到后级均衡电路的两条支路上。此处复制电流的晶体管宽长比完全一致，保证达到理想的均衡效果。基准电流源电路中存在一条 $V_a \rightarrow V_b \rightarrow V_c \rightarrow V_a$ 的负反馈支路。当电源电压 V_{DD} 升高时，a 点电压 V_a 升高，M_{15} 和 M_{13} 管可看作两个共源管，b 点电压 V_b 降低。M_{16} 管的存在导致 c 点电压 V_c 升高。共源管 M_{15} 的存在又会导致 a 点电压 V_a 下降。因此，基准电流源的电源电压抑制比得到提高，这样可保证输出的基准电流不易受电源电压 V_{DD} 变化的影响。

后级均衡电路由 MOS 管 M_3～M_{10}、电阻 R_5～R_7 和电容 C_3 构成。调节后级均衡电路参数来改变零极点位置，以便改变其对应的低频增益和高频增益，能够有效补偿信道损耗，达到均衡效果。

为了更好地补偿信道高频损耗，提升相应信号质量，在图 5(b)的基础上加入截止频率 f_s＝4.67 GHz 的高通滤波器，输出易被损耗的高频信号，构成高频通路。高频通路与 CTLE 单独构成的全频通路的输出信号经过图 5(c)所示的求和电路进行叠加[12]，均衡器整体电路结构如图 5(a)所示。整体均衡电路的差分输出为 V_{OUT+} 与 V_{OUT-}，E_{QC}、V_{BN}、V_{BN_ADD} 和 V_{BP} 为均衡器内部所需电压，由电压产生模块 LEVEL_PRODUCE 输出端产生。

2 电路仿真与分析

本文均衡器基于 65 nm 标准 CMOS 工艺设计，具体版图如图 6 所示。版图右部为 CTLE 电路版图，上部为电压产生模块，其余部分包括高通滤波器、信号求和电路、负载等。版图整体面积约为 0.09 mm^2。为了保证供电均衡、避免相互之间的干扰，每个模块均采用阱环绕，并通过顶层金属层布线供电。

利用软件 Cadence 进行仿真。供电电压 V_{DD} 为 1.2 V，该均衡器功耗控制效果良好，整体电路功耗为 5.58 mW@14 Gbit/s。V_{BP} 在 0～1.2 V 范围内取值。在保证输出信号不被过度均衡的情况下，当 V_{BP} 达到 0.7 V 时，均衡电路输出端的频率响应曲线达到最优带宽和增益。此次仿真输入差分信号的共模电压为 0.4 V，差分摆幅为 0.4 V。

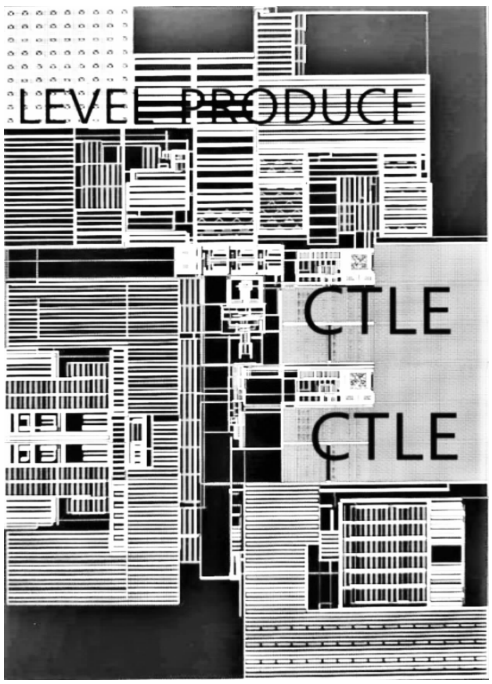


图 6 均衡器的版图

对本文均衡电路进行频率响应仿真。保持 E_{QM}＝1.2 V 不变，对电平 E_{QC} 进行频率响应仿真。频率响应曲线如图 7 所示。可以看出，电路增益最高频率点在 10.96 GHz 和 12.59 GHz 处，对应增益分别为 6.24 dB 和 4.9 dB，其余最高频率点增益值在这两者之间变化。因此，调节电平 E_{QC} 可调整电路整体功耗。

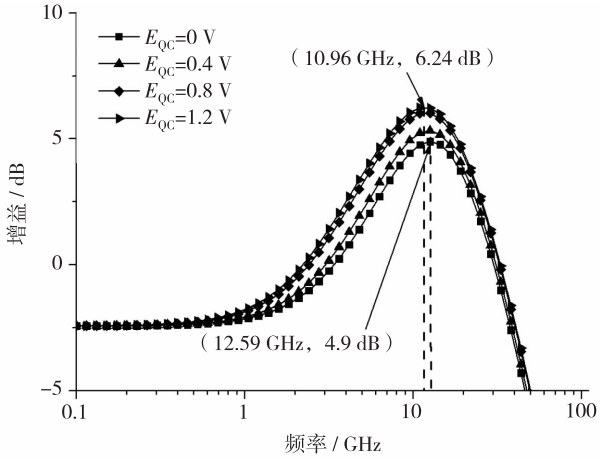


图 7 E_{QC} 变化时的电路频率响应曲线

保持 E_{QC}＝0.8 V，E_{QM}＝0 V 不变，改变电平 V_{BP}。均衡器的频率响应曲线如图 8 所示。不同 V_{BP} 的值对应不同的增益和带宽。可以看出，调节电压 V_{BP}，可以有效控制电路的输出带宽及增益。

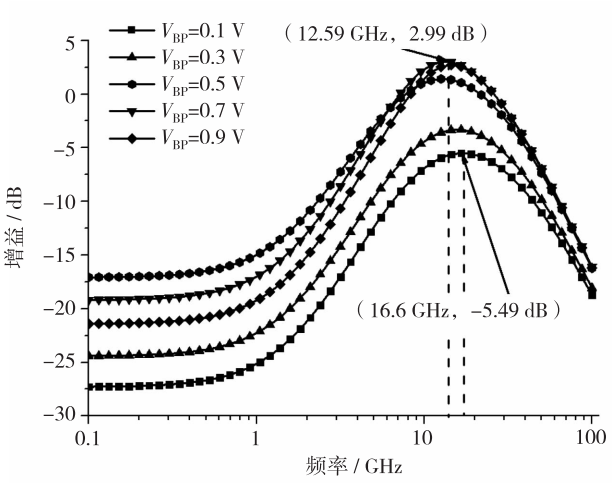


图 8　V_{BP}变化时电路的频率响应曲线

利用 Cadence 软件，模拟 80 cm 信道的 S 参数曲线，如图 9 所示。可以看出，该信道 7 GHz 处的损耗约为−20 dB。

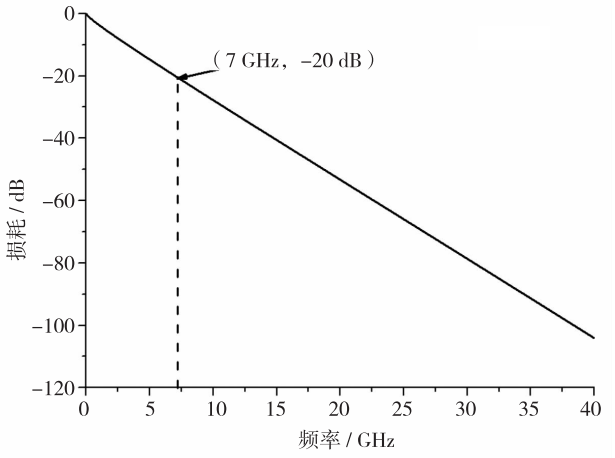
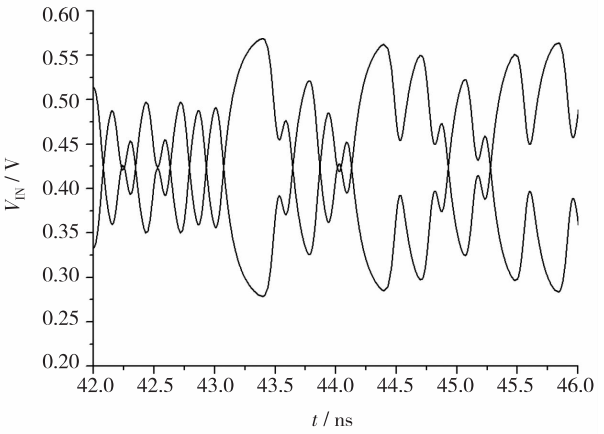
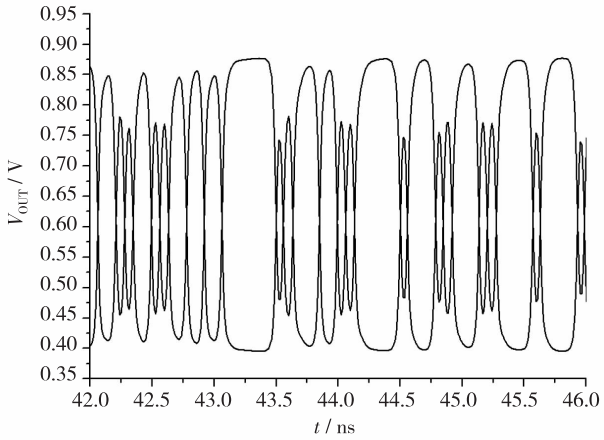


图 9　80 cm 信道 S_{21}参数曲线

在此 80 cm 信道中，对传输信号速率为 14 Gbit/s的信号进行仿真。串行信号均衡前后的输出波形如图 10(a)、图 10(b)所示。



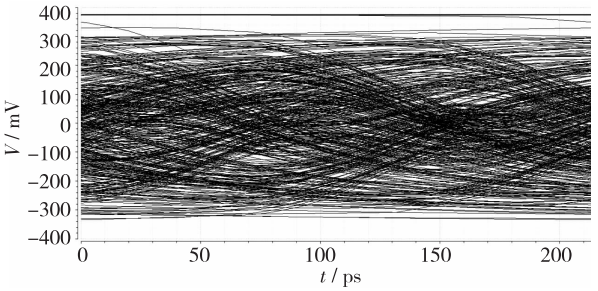
(a) 均衡前波形



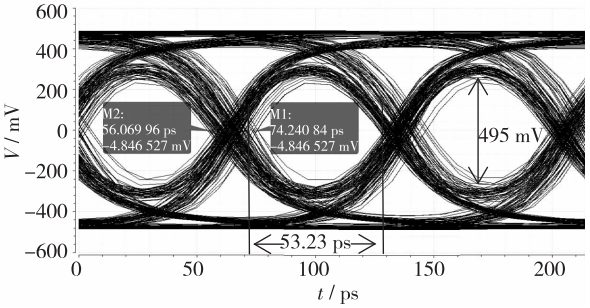
(b) 均衡后波形

图 10　信号均衡前后信号波形

利用 Cadence 眼图查看工具，观测均衡器输入输出眼图，结果如图 11(a)、图 11(b)所示。从图 11(a)可以看出，因为信号速率高、衰减大，经过信道后，其眼图处于几乎完全闭合的状态。从图 11(b)可以看出，信号均衡后的眼图明显张开，眼高和眼宽分别为 495 mV 和 53.23 ps，眼图水平方向抖动减小至 0.25 UI。由此可见，该均衡电路对长信道上的 14 Gbit/s 信号均衡效果明显，无论是在垂直方向还是水平方向上，眼图均得到极大改善。



(a) 均衡前眼图



(b) 均衡后眼图

图 11　信号均衡前后眼图

将本文与不同文献中的 CTLE 进行性能参数比较，结果列于表 1。可以看出，本文均衡器的功耗数据率比仅高于文献[5]。在高达 14 Gbit/s 串行

数据传输链路中，均衡器输出端眼图水平方向抖动值明显减小。

表 1 均衡器性能比较结果

性能参数	文献[5]	文献[6]	文献[7]	文献[9]	文献[8]	本文
工艺/nm	40	130	28	65	40	65
数据速率/(Gbit·s^{-1})	6.25	10	25	5	20	14
电源电压/V	1	1.2/0.7	1	1	-	1.2
功耗数据率比/(mW·$Gbit^{-1}$·s)	0.112	0.41/0.2	0.68	<0.5	1.6	0.399
抖动(*UI*)	0.04	0.6	<0.5	-	-	0.25

3 结 论

本文设计的均衡器采用有源电感负载结构的CTLE均衡单元和高低频通路独立均衡结构，在8 cm信道长度下，可均衡传输速率高达14 Gbit/s的串行信号，具有功耗低、面积小的特性，对高速传输信号具有良好均衡效果。本文研究内容对优化高速信道接收端的设计具有一定的参考价值。

参 考 文 献：

[1] CHEN M S, YANG C K K. A 50-64 Gb/s serializing transmitter with a 4-tap, LC-ladder-filter-based FFE in 65-nm CMOS [C] // Proceed IEEE CICC. San Jose, CA, USA. 2014: 1-4.

[2] 李嘉. 高速自适应均衡器研究与设计 [J]. 信息通信, 2018(5): 67-68.

[3] 史航. 高速 SerDes 信号和均衡技术研究 [D]. 杭州: 浙江大学, 2015.

[4] 王崇峰, 孙永节, 胡春媚, 等. 基于 40 nm 工艺 SerDes 均衡器的设计 [C] // 第十八届计算机工程与工艺年会暨第四届微处理器技术论坛论文集. 贵阳, 中国. 2014: 308-314.

[5] 苏鹏洲, 黄鲁, 方毅, 等. 一种新型 6.25 Gb/s CTLE 均衡器的设计 [J]. 微电子学, 2016, 46(2): 215-218.

[6] AGHIGHI A, ALAMEH A H, TAHERZADEH-SANI M, et al. A 10-Gb/s low-power low-voltage CTLE using gate and bulk driven transistors [C] // IEEE Int Conf Elec, Circ & Syst. Monte Carlo, Monaco. 2016: 217-220.

[7] ZHANG H, MONACO E, BASSI M, et al. Flexible transversal continuous time linear equalizer operating up to 25Gb/s in 28 nm CMOS [C] // IEEE ISCAS. Florence, Italy. 2018: 1-4.

[8] CAI C, ZHOU Y, ZHAO J. 5-20 Gbit/s adaptive CTLE with spectrum balancing method [J]. Elec Lett, 2018, 54(5): 274-276.

[9] 周云波, 杨煜. 基于 65 nm 工艺的双模自适应连续时间线性均衡器设计 [J]. 固体电子学研究与进展, 2019, 39(2): 138-149.

[10] MOHAN S S, HERSHENSON M M, BOYD S, et al. Bandwidth extension in CMOS with optimized on-chip inductors [J]. IEEE J Sol Sta Circ, 2000, 35(3): 346-355.

[11] SON S, KIM H S, PARK M J, et al. A 2.3-mW, 5-Gb/s low-power decision-feedback equalizer receiver front-end and its two-step, minimum bit-error-rate adaptation algorithm [J]. IEEE J Sol Sta Circ, 2013, 48(11): 2693-2704.

[12] 吴笑. 0.18 μm CMOS 工艺的 6.25 Gb/s 自适应判决反馈均衡器的研究与设计 [D]. 南京: 东南大学, 2015.

一种 0.6 V 低压两级时间数字转换器

武建平[1]，张　聪[2]
（1. 江苏云巅电子科技有限公司，江苏 南通 226001；2. 南京邮电大学 电子与光学工程学院，南京 210046）

摘　要： 研究了用于超低功耗全数字锁相环(ADPLL)的时间数字转换器(TDC)在近阈值电源电压下的工作原理，提出了一种近阈值电压时间转换器。采用两级量化的 TDC，通过时间放大器对量化余量进行放大，实现二次量化。针对 TDC 低压下的功耗、速度问题，实现了一种增益可扩展的时间放大器，提高了时间分辨率。基于 130 nm CMOS 工艺的仿真结果表明，两级量化时间数字转换器的分辨率为 2.5 ps，动态范围为 640 ps，微分非线性(DNL)最大值为 0.9 LSB，积分非线性(INL)最大值为 2.3 LSB。4 倍时间放大器的增益误差为 8.2%。

关键词： 近阈值电源电压；时间数字转换器；动态阈值技术；时间放大器
中图分类号：TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0521-06
DOI：10.13911/j.cnki.1004-3365.190692

A 0.6 V Low Voltage Time-to-Digital Converter with Two Stage Structure

WU Jianping[1], ZHANG Cong[2]
(1. *Jiangsu YUNDONE Electronic Technology Co. Ltd.*, *Nantong*, *Jiangsu* 226001, *P. R. China*;
2. *College of Electronics and Optical Engineering*, *Nanjing Univ. of Posts and Telecommun.*, *Nanjing* 210046, *P. R. China*)

Abstract: Time to digital converter (TDC) is the key module of ultra-low power all digital phase locked loop (ADPLL). The principle of TDC under the near threshold power voltage was investigated, and a near threshold voltage time converter circuit was introduced. The two stage quantized TDC structure and time amplification was adopted in the circuit, which could enlarge the quantization margin and realize the second quantization. To solve the problem of power consumption and speed of TDC in low voltage, a gain scalable time amplifier was implemented to improve the time resolution of TDC. The TDC was simulated in a 130 nm CMOS process. The simulation results indicated that the optimized TDC could realize a resolution of 2.5 ps. The dynamic range was 640 ps, the maximum value of differential non-linearity (DNL) was 0.9 LSB, and the maximum value of integral non-linearity (INL) was 2.3 LSB. The gain error of quadruple time amplifier was 8.2%.

Key words: near threshold supply voltage; time-to-digital converter; dynamic threshold technology; time amplifier

0　引　言

随着 IC 集成度不断提高，PLL 在芯片中的工作环境越来越复杂。作为模拟锁相环中的关键模块，压控振荡器易受环境因素影响，偏离正常工作状态。随着电源电压不断降低，模拟锁相环在低电源电压下的性能急剧下降。为了维持原有性能，模拟锁相环会增加辅助电路，导致功耗会急剧上升。ADPLL 因低功耗的特性而受到越来越多的关注。时间数字转换器(Time to Digital Converter，TDC)和数控振荡器(Digital Controlled Oscillator，DCO)作为 ADPLL 的关键模块，在近阈值电源电压下的电路实现成为研究热点。

按照量化结构，TDC 有基于反向延迟链的结构、基于 Buffer 延迟链的结构、基于 Vernier 延迟链的结

收稿日期：2019-11-30；**定稿日期：**2020-01-17
基金项目：国家自然科学基金资助项目(61504061)
作者简介：武建平(1977—)，男(汉族)，陕西蒲城人，博士，从事 SoC 存储子系统优化及集成电路设计技术研究。

构、基于振荡器的结构等。基于 Vernier 链的结构可以获得高分辨率，但存在局限性。基于振荡器的结构能实现高分辨率、高线性度，但功耗较大。文献[1]提出了一种基于时间间隔放大器的游尺延迟线 TDC (VDL-TDC)，实现了时间间隔的流水线处理，在 90 nm CMOS 工艺下，时间分辨率为 1.25 ps。文献[2]采用 3 阶 ΔΣ 型 TDC，可对量化噪声进行整形，在 130 nm CMOS 工艺下，时间分辨率为 5.6 ps，功耗为 1.7 mW。文献[3]提出了一种新型两级 TDC，可对量化余量进行放大，在 130 nm CMOS 工艺下，时间分辨率为 3.75 ps，转换速度为 200 MHz。文献[4]基于随机时间数字转换器实现了一种 TDC，在 14 nm FinFET 工艺下，时间分辨率为1.17 ps，转换速度为 100MHz[4]。针对低压下实现 TDC，文献[5]～[8]在低电压锁相环方面进行了研究[5-8]。文献[9]～[10]提出了 0.5 V 电源电压下的 PLL，提高了工作电流和工作速度。文献[11]～[13]提出了 0.6 V 电源电压下的 2.4 GHz 低功耗锁相环，缓解了低电压下功耗与噪声的矛盾。文献[14]利用电源前馈环形振荡器，在 0.65 V 电源电压下，实现了 0.4 GHz 低功耗锁相环，提高了工作速度。文献[4]提出了 3 阶 MASH 1-1-1 结构的 ΔΣ 型 TDC，在 40 nm CMOS 工艺下，在 0.65 V、0.8 V、1.1 V 电压下均能正常工作，时间分辨率为 0.83 ps。

在 130 nm CMOS 工艺下，晶体管阈值电压为 350～400 mV。采用 0.6 V 电源时，因电源电压非常接近阈值电压，PVT 的变化会降低 TDC 的分辨率、线性度，甚至恶化 ADPLL 的带内噪声，导致失锁。

针对上述问题，本文提出了一种适用于低电压的高精度 TDC。提出了在近阈值电源电压下用于 ADPLL 的 TDC 设计、仿真与测试方案，给出了 TDC 各参数的测试方法。

1 新型 TDC 设计

1.1 两级 TDC 原理

两级 TDC 的原理如图 1 所示。粗量化的时间精度为 ΔT_1。当时间小于 ΔT_2(细量化的时间精度)时，当前需要被量化、数字化的时间间隔会被送到时间放大器中，进行放大。放大的时间间隔被再次量化。对这两次的量化结果进行综合，最终得到量化结果。

设计采用 0.6 V 电源电压。采用两步时间方案，减少了晶体管堆叠现象。两级 TDC 整体结构如图 2 所示。该 TDC 包括两级量化模块、“1—0”跳变检测电路、MUX 和编码器。第一级量化为粗量化，第二级量化为细量化，通过编码器，最终得到量化结果。

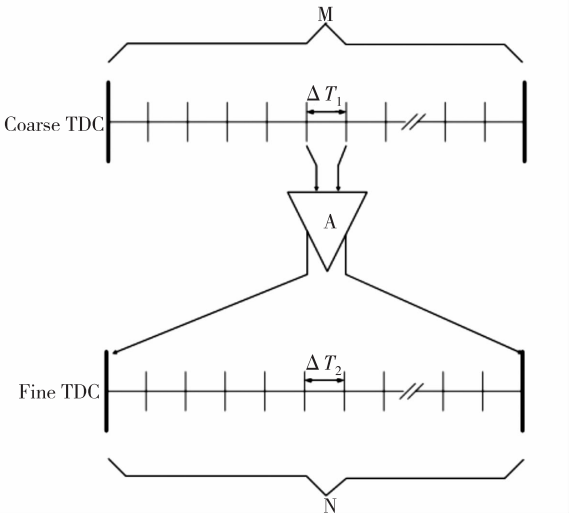


图 1 两级 TDC 原理图

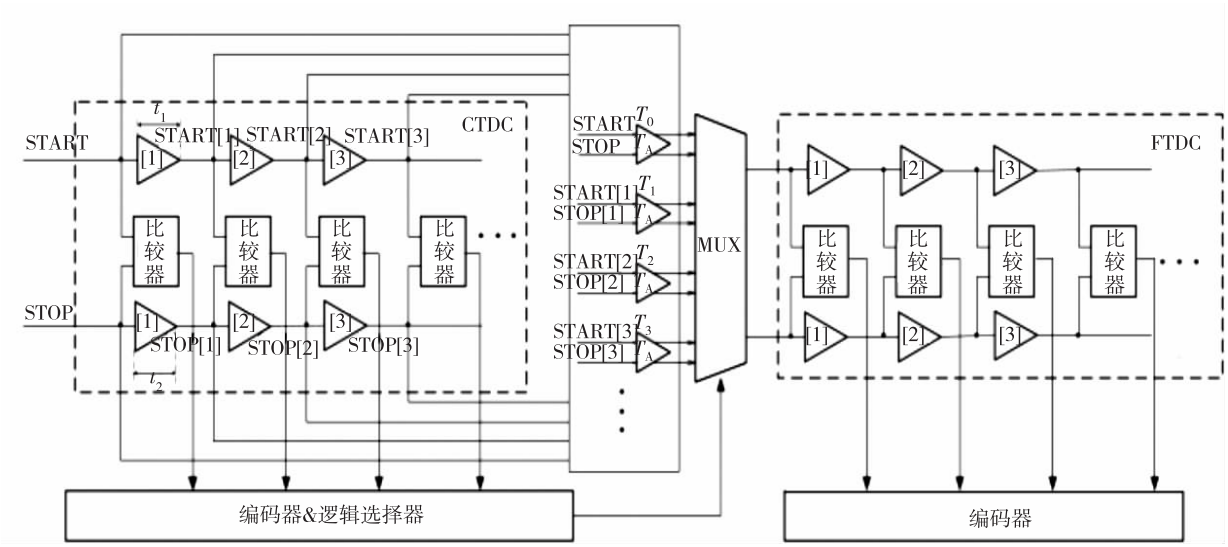


图 2 两级 TDC 整体结构

1.2　TDC 设计

1.2.1　两级时间间隔测量设计

为得到较高的时间分辨率，两级量化均采用 VDL-TDC。VDL-TDC 的波形示意图如图 3 所示。

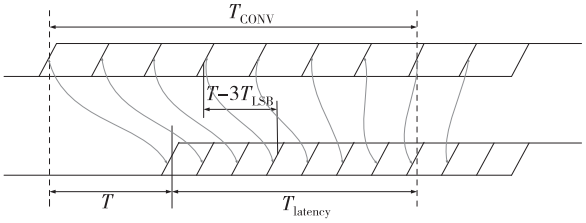


图 3　VDL-TDC 的波形示意图

延迟线 1 中，延迟单元的延迟时间为 t_{d1}，延迟线 2 中，延迟单元的延迟时间为 t_{d2}。t_{d1} 略大于 t_{d2}。在测量期间，start 信号沿延迟线 1 传播。stop 信号晚于 start 信号，在延迟线 2 中传播，stop 信号经过每级延迟单元的延迟时间较小。因此，stop 信号一直在追赶 start 信号，在某一时刻会超越 start 信号。这样，每经过 1 个延迟单元，两个信号的时间差会减小 1 个 T_{LSB}。T_{LSB} 被称为时间分辨率，为：

$$T_{LSB}=t_{d1}-t_{d2} \tag{1}$$

测量的时间间隔由延迟单元数量 N 决定，N 为：

$$N=\frac{T_{max}}{T_{LSB}}=\frac{T_{max}}{t_{d1}-t_{d2}} \tag{2}$$

式中，T_{max} 为最大测量范围。正常工作时，所有延迟单元因采用电流偏置而存在静态功耗，与测量间隔的长度无关。假设时间间隔平均分配，则构成延迟单元的触发器的采样逻辑一半为 1，另一半为 0。VDL-TDC 的正常工作功耗为：

$$P_{core}^{vernier}=f_{meas}\frac{T_{max}}{T_{LSB}}\left[4(E_{rise}^{inv}+E_{fall}^{inv})+\frac{1}{2}(E_{rise}^{FF}+E_{fall}^{FF})\right] \tag{3}$$

式中，f_{meas} 为测量时间间隔频率，E_{rise}^{inv} 为延迟单元经过 1 个上升沿信号的能耗，E_{fall}^{inv} 为延迟单元经过 1 个下降沿信号的能耗，E_{rise}^{FF} 为比较器判决 1 个上升沿信号的能耗，E_{fall}^{FF} 为比较器判决 1 个下降沿信号的能耗。从式(3)可知，功耗随着 T_{max} 的变化呈线性增长，与 T_{LSB}^{-1} 呈线性关系。转换时间和延迟也遵循上述关系，分别为：

$$T_{conv}^{vernier}=\frac{T}{T_{LSB}}t_{d1}=\frac{t_{d1}}{t_{d1}-t_{d2}}T \tag{4}$$

$$T_{latency}^{vernier}=T_{conv}-T=\frac{T}{T_{LSB}}t_{d2}=\frac{t_{d2}}{t_{d1}-t_{d2}}T \tag{5}$$

1.2.2　两级 TDC 实现

本文 TDC 采用 0.6 V 电源电压，采用两级 TDC。基于 130 nm TSMC CMOS 工艺，进行电路设计。该 TDC 包括低精度 TDC(CTDC)、高精度 TDC(FTDC)、时间放大器(TA)阵列、MUX 和编码器，如图 2 所示。CTDC 包含 16 级 Buffer，FTDC 包含 16 级 Buffer，TA 阵列包含 16 个 TA。

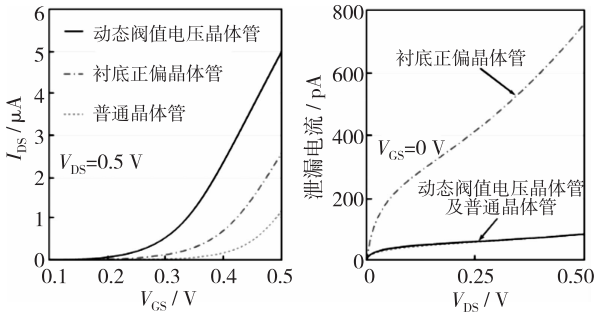
1.3　核心模块电路

1.3.1　比较器

比较器的判决精度会影响 TDC 的工作效果。高精度 TDC 需要高精度比较器。采用了差分比较器，可以获得高的判决精度。

1.3.2　延迟单元

随着电源电压降低，栅源电压大幅降低。但是，阈值电压并未降低，使得 MOS 管的过驱动电压减小，源漏电流(I_{DS})和电路节点的充放电速度均降低。这将使信号的上升沿、下降沿的时间变长，限制电路的工作频率，降低了电路的工作速度，最终降低整个 TDC 的转换速率。针对该问题，所有的延迟单元均采用动态阈值技术，将 MOS 衬底与栅极相连，大幅提高了工作速度。分别采用衬底正偏技术、动态阈值技术和普通晶体管进行 I_{DS} 和泄漏电流仿真，曲线图如图 4 所示。可以看出，采用动态阈值技术的 I_{DS} 比采用衬底正偏技术大，但采用衬底正偏技术的泄漏电流更大。采用动态阈值技术的泄漏电流与普通晶体管几乎相同，小于 100 pA，可以忽略不计。延迟单元的结构如图 5 所示。



(a) 源漏电流　　(b) 泄漏电流

图 4　源漏电流和泄漏电流的仿真曲线

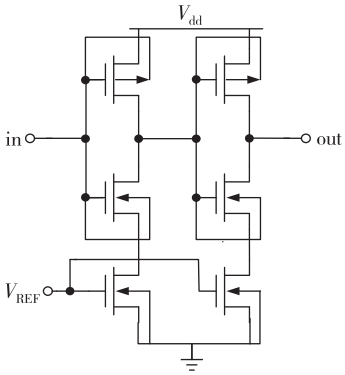


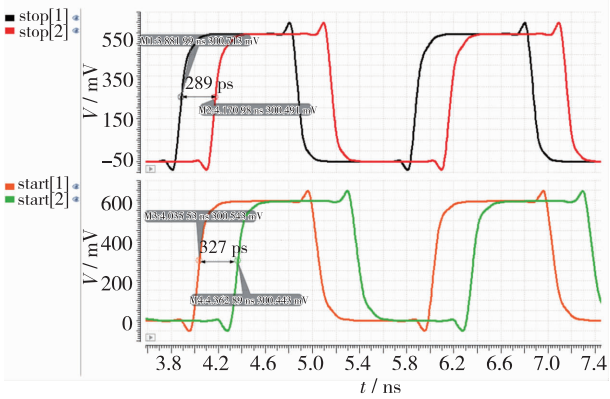
图 5　延迟单元结构

2　实验与验证

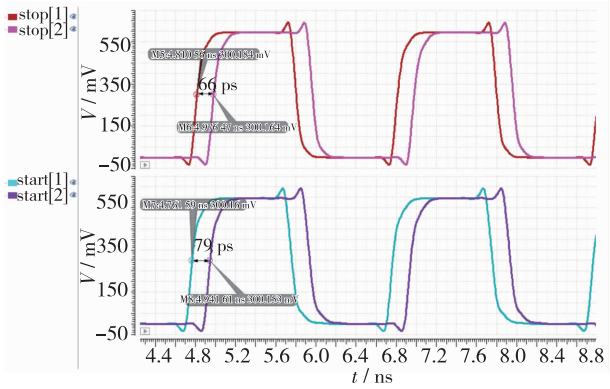
2.1　两级 TDC 仿真

2.1.1　核心模块仿真分析

CTDC、FTDC 中每级 Buffer 的延迟时间的瞬态仿真曲线如图 6 所示。可以看出，动态范围为 640 ps。改变 CTDC 的输入时间间隔，对 CTDC 量化单元进行仿真验证。CTDC 量化单元的输出如表 1 所示。表中，B_{out} 为编码器输出，输入为 CTDC 的输入时间间隔的动态范围。



(a) CTDC 延迟时间



(b) FTDC 延迟时间

图 6　延迟时间的瞬态仿真曲线

表 1　CTDC 量化单元输出

输入	B_{out}/ps	输入	B_{out}/ps	输入	B_{out}/ps	输入	B_{out}/ps
0	0	156	4	318	8	476	12
39.9	1	199	5	356	9	512	13
78.2	2	236	6	392	10	556	14
118.3	3	272	7	438	11	596	15

当 start 信号与 stop 信号的上升沿相差 220 ps 时，第 8 级比较器的输出为 1，第 7 级比较器的输出为 0，解码器的输出为 4'b0100。CTDC 的瞬态仿真曲线如图 7 所示。TA 的增益曲线如图 8 所示。可以看出，输入时间间隔的最大值为 CTDC 一个延迟单元的延迟时间，增益较为稳定。

ADPLL 的增益可基于 Z 域模型来计算。TDC 的带内相位噪声属于白噪声，是影响 ADPLL 增益的关键因素。TDC 的分辨率越高，相位噪声越小，ADPLL 增益越大。因此，TDC 分辨率是关键设计指标之一。

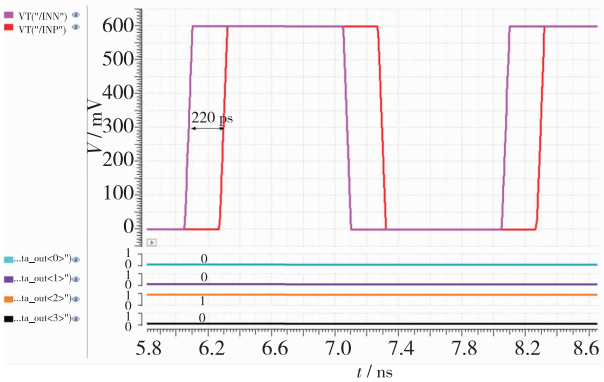


图 7　CTDC 的瞬态仿真曲线

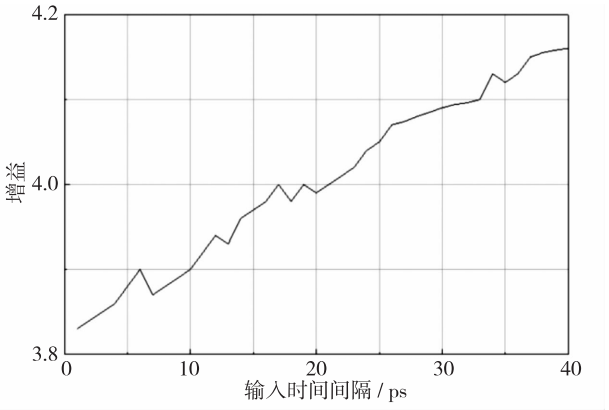


图 8　TA 的增益曲线

2.1.2　系统仿真分析

对两级 TDC 进行瞬态仿真。当 start 信号与 stop 信号上升沿相差 220 ps 时，CTDC 的输出为 4'b0100，FTDC 的输出为 5'b00101。两级 TDC 的输出波形一如图 9 所示。可以看出，两级 TDC 的 DNL 最大值为 0.79 LSB，INL 最大值为 1.7 LSB。两级 TDC 的性能参数如表 2 所示。

2.2　版图设计

两级 TDC 的主要功能是测量时间。版图的寄生参数对 TDC 的影响较大。寄生电容、寄生电感会对延迟时间造成很大影响。

两级 TDC 的版图如图 10 所示。在游尺延迟链的匹配方面，采用阵列布局，阵列中所有延迟单元

的连接金属长度相同；在延迟单元的外围加一圈陪衬单元，提高版图匹配性；在整个阵列的外围增加接电源的 P 型保护环和接地的 N 型保护环，减小噪声干扰。在输入信号的驱动能力方面，在 TA 的前级加两级反相器，增加信号驱动能力，放大时间更精确。

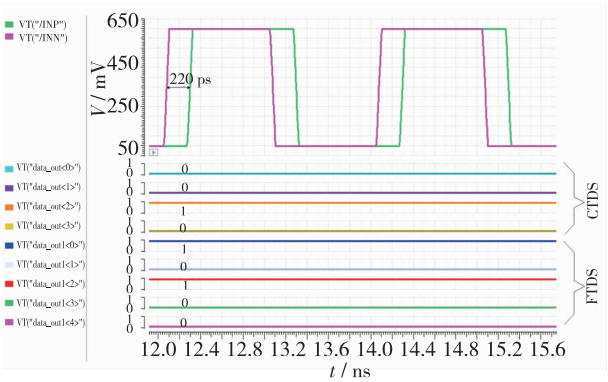


图 9　两级 TDC 的输出波形一

表 2　两级 TDC 的性能参数

参数	仿真结果	性能参数
CTDC 的时间分辨率/ps	38	40
CTDC 的动态范围/ps	640	640
FTDC 的时间分辨率/ps	13	10
FTDC 的动态范围/ps	208	160
DNL/LSB	0.79	1
INL/LSB	1.7	2.5
TA 的增益误差/%	8.2	10

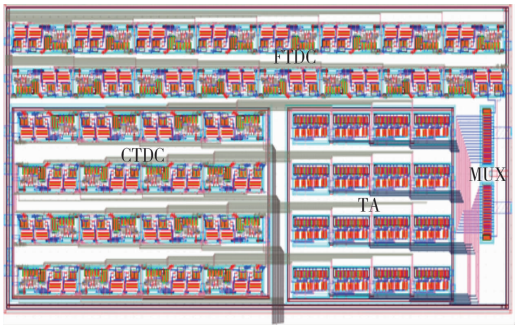


图 10　两级 TDC 的版图

2.3　后仿真

对两级 TDC 版图进行参数提取，对电路进行后仿真。当 start 信号与 stop 信号的上升沿相差 300 ps 时，CTDC 的输出为 4'b0110，FTDC 的输出为 5'b00011。两级 TDC 的输出波形二如图 11 所示。

两级 TDC 的 DNL、INL 的仿真曲线如图 12 所示。可以看出，DNL 最大值为 0.9 LSB，INL 最大值为 2.3 LSB。

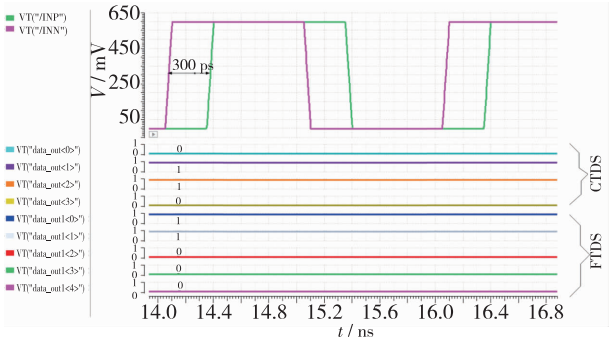


图 11　两级 TDC 的输出波形二

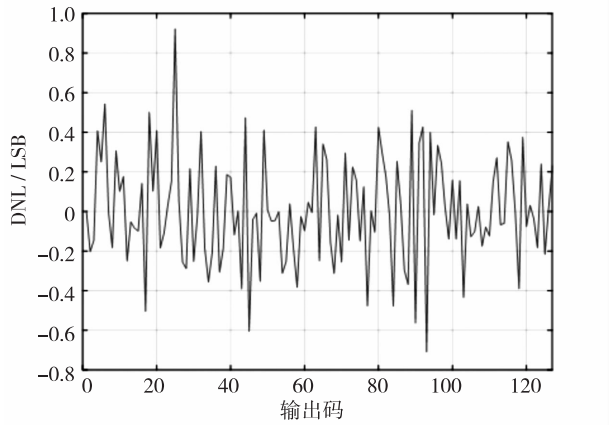
有效线性度指标计算公式为：

$$N_{\text{linear}} = B_{\text{its}} - \log_2(r_{\text{INL}} + 1) \tag{6}$$

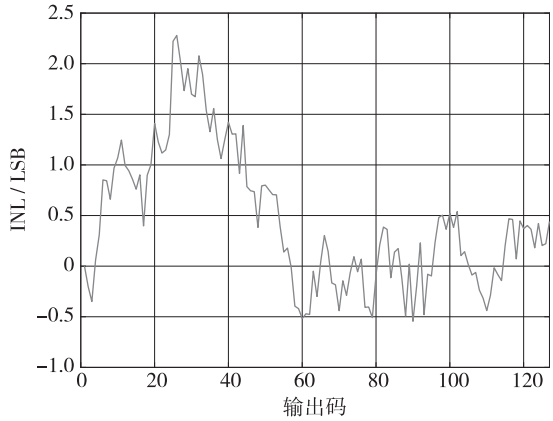
优值 FoM 的计算公式为：

$$F_{\text{oM}} = P/(2^{N_{\text{linear}}} \times B_{\text{its}}) \tag{7}$$

本文与其他文献中 TDC 的参数比较如表 3 所示。可以看出，本文 TDC 在 0.6 V 电源电压下，速度和分辨率均明显改善。



(a) DNL



(b) INL

图 12　DNL、INL 的仿真曲线

表 3 本文与其他文献中 TDC 的参数比较

参数	文献[1]	文献[15]	文献[16]	本文
工艺/nm	90 CMOS	65 CMOS	14 FinFET	130 CMOS
结构	两级	延迟线	随机	两级
电源电压/V	1	1.2	0.6	0.6
速度/(MS·s^{-1})	10	50	100	100
分辨率/ps	1.25	4.8	1.17	2.5
功耗/mW	3	1.7	0.78	0.5
DNL/LSB	0.8	1	0.8	0.9
INL/LSB	3	3.3	2.3	2.3
N_{linear}	7	4.9	8.28	6.28
FoM/(pJ·$conv^{-1}$·$step^{-1}$)	2.344	1.14	0.025	0.08

3 结 论

分析了低电源电压下用于 ADPLL 的 TDC 的工作原理，提出一种新型两级 TDC。对 TDC 的分辨率、量化误差进行了优化设计，完成了 TDC 核心电路的设计、仿真，并应用于 0.6 V 低电源电压的 ADPLL。仿真结果表明，该两级 TDC 在 0.6 V 低电源电压下，分辨率、转换速度均明显改善。这对 TDC 的电路设计有一定参考价值。

参 考 文 献：

[1] LEE M, ABIDI A A. A 9 b, 1.25 ps resolution coarse - fine time-to-digital converter in 90 nm CMOS that amplifies a time residue [J]. IEEE J Sol Sta Circ, 2008, 43(4): 769-77.

[2] CAO Y, COCK W D, STEYAERT M, et al. 1-1-1 MASH time-to-digital converters with 6 ps resolution and third-order noise-shaping [J]. IEEE J Sol Sta Circ, 2012, 47(9): 2093-2106.

[3] KIM K, KIM Y H, YU W, et al. A 7 bit, 3.75 ps resolution two-step time-to-digital converter in 65 nm CMOS using pulse-train time amplifier [J]. IEEE J Sol Sta Circ, 2013, 48(4) :1009-1017.

[4] WU Y, SHAHMOHAMMADI M, CHEN Y, et al. A 3.5 - 6.8-GHz wide-bandwidth DTC-assisted fractional-*N* all-digital PLL with a MASH delta-sigma TDC for low in-band phase noise [J]. IEEE J Sol Sta Circ, 2017, 52(7): 1885-1903.

[5] CHEN W H, LOKE W F, JUNG B. A PVT-tolerant, ultra-low-power phase-locked loop for wireless implantable biomedical devices [C] // IEEE Int Midwest Symp Circ & Syst. Seoul, Korea South. 2011: 1-4.

[6] ROA E, CHEN W H, JUNG B. A 36 GHz/mW single-phase prescaler using implication logic in 0.13 μm CMOS [C] // IEEE Radio Freq Integr Circ Symp. Atlanta, GA, USA. 2013: 435-438.

[7] SAYILIR S, LOKE W F, LEE J, et al. A -90 dBm sensitivity wireless transceiver using VCO-PA-LNA-switch-modulator co-design for low power insect-based wireless sensor networks [J]. IEEE J Sol Sta Circ, 2014, 49(4): 996-1006.

[8] JOO S, CHEN W H, CHOI T Y, et al. A fully integrated 802.15.4a IR-UWB transceiver in 0.13 μm CMOS with digital RRC synthesis [C] // IEEE ISSCC. San Francisco, CA, USA. 2010: 228-229.

[9] CHEN W H, LOKE W F, JUNG B H. A 0.5-V, 440-μW frequency synthesizer for implantable medical devices [J]. IEEE J Sol Sta Circ, 2012, 47(8): 1896-1907.

[10] WU H C, WING F L, JUNG B. A 0.5-V, 440-μW frequency synthesizer for implantable medical devices [C] // IEEE CICC. San Jose, CA, USA. 2011: 1-4.

[11] WENG P S, HUNG S Y, LU L H. A digitally assisted amplitude calibration technique for phase-locked loop systems [J]. IEEE Trans Microwave Theo & Techniq, 2014, 62(3): 532-542.

[12] WENG P S, LU L H. A 30 GHz CMOS frequency synthesizer for V-band applications [J]. IEEE Microwave & Wireless Compon Lett, 2012, 22(8): 433-435.

[13] CHUNG T L, HSIEH H H, LIANG H L. A 0.6 V low-power wide-range delay-locked loop in 0.18 μm CMOS [J]. IEEE Microwave & Wireless Compon Lett, 2009, 19(10): 662-664.

[14] KIM S G, RHIM J, KWON D H, et al. A low-voltage PLL with a supply-noise compensated feedforward ring VCO [J]. IEEE Trans Circ & Syst II: Expr Bri, 2017, 63(6): 548-552.

[15] 纪伟伟. 应用于全数字锁相环中的时间数字转换器和计数器的研究与设计 [D]. 上海：复旦大学，2013.

[16] KIM S J, KIM W, SONG M, et al. A 0.6 V 1.17 ps PVT-tolerant and synthesizable time-to-digital converter using stochastic phase interpolation with 16 × spatial redundancy in 14 nm FinFET technology [C] // IEEE ISSCC. San Francisco, CA, USA. 2015: 1-3.

一种低功耗 OOK/DBPSK 超宽带发射机

刁盛锡，林福江
（中国科学技术大学 微纳电子系统集成研究中心，合肥 230026）

摘　要： 基于格罗方德 0.18 μm CMOS 工艺，提出了一种新型的低功耗 OOK/DBPSK 超宽带脉冲发射机。采用了简单的结构，极大减少了能量消耗。结果表明，该发射机在 2 Mbit/s 的数据率下，载波带宽为 3～5 GHz，平均功耗仅为 270 μW。该发射机可支持的最高数据率为 30 Mbit/s。在 2～30 Mbit/s 数据率下，该发射机可在 100 Ω 负载上达到 1～3.3 V 的差分输出峰峰值。该发射机适用于无线局域网，并可提供精确定位支撑。

关键词： DBPSK；超宽带；发射机；低功耗
中图分类号：TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0527-05
DOI：10.13911/j.cnki.1004-3365.190553

A Low Power OOK/DBPSK UWB-IR Transmitter

DIAO Shengxi, LIN Fujiang
(*Micro-Nano Electronic System Integration Center, Univ. of Science and Technology of China, Hefei* 230026, *P. R. China*)

Abstract: Based on the GF 0.18 μm CMOS process, a novel low power on-off keying (OOK)/differential bi-phase shift keying (DBPSK) ultra wide-band impulse radio (UWB-IR) transmitter was presented. By using a simple structure, the energy consumption was greatly reduced. The results showed that the transmitter consumed an ultra-low average power of 270 μW over 3～5 GHz at 2 Mbit/s, which could support a maximum data rate of 30 Mbit/s. The transmitter could deliver a large differential output swing of 1～3.3 V to a 100 Ω load at certain data rates range of 2～30 Mbit/s. It was suitable for WPAN application with localization and positioning capabilities.

Key words: DBPSK; UWB; transmitter; low power

0　引　言

在超宽带(UWB)技术经过十几年的发展之后[1-2]，UWB 定位技术终于第一次应用在商用手机 Iphone11 上。UWB 较宽的带宽使它具有抗多径能力强、定位精度高的特点。UWB 脉冲信号在时域上只有纳秒级，因此用 TOA 来做定位时，引入的误差会小于几厘米。UWB 还具有电磁兼容性强和能效较高的特点。在短距离应用中，UWB 发射机的发射功率小于 1 mW；在长距离应用中，普通 CMOS 电路实现的 UWB 发射机无需额外的功率放大器就能满足 200 米通信距离，还可实现较高的数据率。

UWB 发射机一般采用 OOK 调制来简化结构以得到高能效比，这样在接收端就可采用结构简单的非相干解调。采用 BPSK 调制可获得更高的信噪比，从而提升整机性能[3]。通过控制两个极性相反的脉冲发生器来产生 BPSK 调制，缺点是硬件较复杂，容易产生脉冲馈通。本文在低功耗 OOK 发射机的基础上[4]，创新地利用注入锁定技术，提出了一种新型低功耗 OOK/BPSK UWB 发射机，在不增加整机功耗的情况下实现了 BPSK 调制。

文章第 1 节介绍 OOK/BPSK UWB 的实现原理，第 2 节介绍该发射机具体电路的设计，第 3 节介绍电路的测试结果，第 4 节得出结论。

收稿日期：2019-09-20；**定稿日期：**2019-11-04
基金项目：国家自然科学基金面上项目(61774141)
作者简介：刁盛锡(1979—)，男(汉族)，山东聊城人，博士研究生，研究方向为射频集成电路设计。

1　超宽带 OOK/BPSK 发射机原理

1.1　低功耗及 BPSK 的必要性

本文利用注入锁定技术，提出了一种结构简单的新型低功耗 OOK/DBPSK 超宽带发射机，在不增加整机功耗的情况下获得更优的调制方式。

为了较高效地产生一个超宽带信号，通常是产生一串窄脉冲，可有效降低系统架构的复杂度。但是，脉冲宽度、脉冲的重复速度和脉冲幅度会决定整个输出频谱，输出频谱不可以超过 FCC 频谱帽。随着工艺、温度和电源电压的变化，发射机输出频谱也会发生较大的变化。常规超宽带发射机如图 1 所示[5]。利用一个基带脉冲整形电路，通过混频器与锁相环产生的载波混频，放大后，发射出去。该发射机的优点是可精确控制频率和带宽，但每比特消耗的功率较高，导致能效比比较低。本文在低功耗 OOK 发射机的基础上[4]，提出了一种 OOK/BPSK 超宽带发射机。采用了一种简单的结构，实现了 OOK 调制的超宽带脉冲信号。

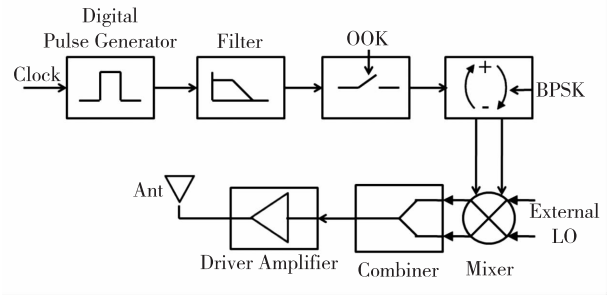


图 1　常规超宽带发射机

相较于 OOK，BPSK 属于非线性调制[6]，具有较好的信噪比，对多径效应没有 OOK 敏感[7]。但是，BPSK 采用相干解调，BPSK 信号没有载频分量，只能利用非线性变换得到新的频率分量，但非线性变换会增加系统的复杂度，导致能效比较低。当恢复 BPSK 信号的载波时，还存在“倒 π”现象。为了解决上述问题，一般采用差分相移键控（DBPSK）调制。DBPSK 可采用非相干解调，以简单的结构获得较高的能效。从发射机角度来看，只要在硬件上实现了 BPSK，就易通过基带码元的差分编码实现 DBPSK 调制。

1.2　OOK/BPSK 超宽带发射机原理

本文提出的 OOK/BPSK 超宽带发射机原理图如图 2 所示。信号 A 输入到脉冲发生器，产生一个纳秒级的窄脉冲，这一窄脉冲控制 MOS 管 M1 的打开和关闭状态。在 M1 打开的过程中，*LC* 压控振荡器快速起振，在纳秒级的窗口内形成振荡，产生 3～5 GHz 的超宽带脉冲信号。以下分析如何通过端 A 和端 B 来控制 VCO，以实现 OOK 和 BPSK 调制。

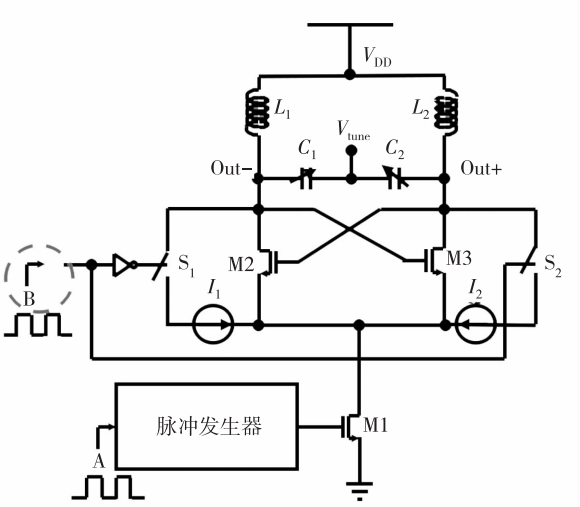


图 2　提出的 OOK/BPSK 超宽带发射机原理图

1.2.1　OOK 调制

数字数据 A 的上升沿可触发数字脉冲发生器，产生纳秒宽的数字脉冲。数字脉冲序列控制 *LC* VCO 的尾电流源，产生 UWB 脉冲序列，波形如图 3 所示。该序列通过驱动器放大器放大，输出脉冲被发送到匹配的天线。

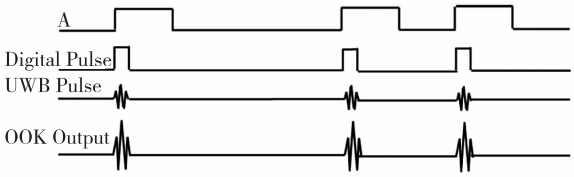


图 3　OOK 调制下的脉冲序列波形

1.2.2　BPSK 调制

如果没有信号 B、开关 S_1～S_2、电流源 I_1～I_2，输出 out＋和 out-的输出相位就是随机的，原因是电路左右对称。当加入信号 B、开关 S_1～S_2、电流源 I_1～I_2 后，根据注入锁定原理，当 S_1 打开、S_2 闭合时，相当于在左边注入电流，*LC* 谐振腔的相位将发生偏移，使得左右两边电流失配。若该失配电流大于电路噪声电流，则输出极性固定。

时钟输入 A 的上升沿可触发数字脉冲发生器，产生纳秒宽的数字脉冲。这意味着每个时钟都会有一个脉冲，输出的相位由 NRZ 数据输入 B 进行调制。在图 2 中，当 S_1 打开、S_2 闭合时，不平衡被引入 *LC* VCO，振荡从一侧开始。当 S1 闭合、S2 打开

时，振荡从另一侧开始。BPSK 调制下脉冲序列波形如图 4 所示。

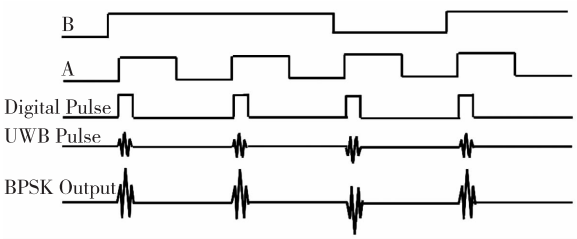


图 4　BPSK 调制下的脉冲序列波形

从以上分析可知，在文献[4]的基础上，加上信号 B、开关 $S_1 \sim S_2$、电流源 $I_1 \sim I_2$，就可实现 BPSK 调制。引入的额外电流 I_1、I_2 大于电路噪声电流即可。额外电流很小，因此功耗非常低。

2　发射机电路实现

本文提出的超宽带 OOK/BPSK 发射机整体电路如图 5 所示。NM4 管和 NM5 管用于实现电流源。信号 B 用于控制两个传输门的开关，以决定 NM4 管和 NM5 管哪一个被选通。为了减小寄生电容对 LC 谐振腔频率的影响，电流源放在传输门的上方。

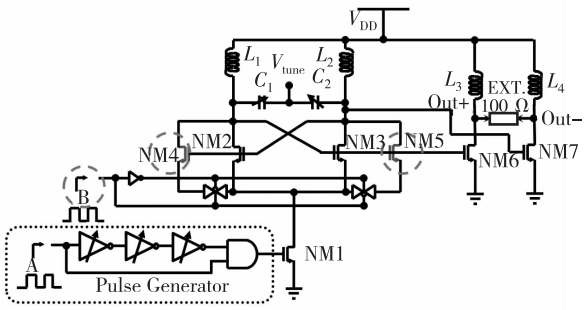


图 5　提出的超宽带 OOK/BPSK 发射机整体电路

在图 5 中，考虑端口 B 的输入数据为 1 的情况，即 NM4 管导通、NM5 管截止。当 NM1 管关闭时，没有电流流过 NM2 管～NM5 管。假设 $V_{ds2}=V_{ds3}$。当 NM1 管导通时，NM4 管导通、NM5 管截止，左支路的晶体管宽度为 W_4+W_2，右支路的宽度为 W_3，可得：

$$I_{left}=\frac{1}{2}\frac{W_2+W_4}{L}\mu_n C_{ox}(V_{right}-V_{th})^2 \tag{1}$$

$$I_{right}=\frac{1}{2}\frac{W_3}{L}\mu_n C_{ox}(V_{left}-V_{th})^2 \tag{2}$$

当 $W_2=W_3$ 时，有：

$$I_{left}-I_{right}=\frac{1}{2}\frac{W_4}{L}\mu_n C_{ox}(V_{right}-V_{th})^2 \tag{3}$$

假设电感 L_1 和 L_2 的串联电阻分别为 R_{sr1} 和 R_{sr2}，且 $R_{sr1}=R_{sr2}$，有：

$$V_{L1}-V_{L2}=\frac{1}{2}R_{sr1}\frac{W_4}{L}\mu_n C_{ox}(V_{right}-V_{th})^2 \tag{4}$$

根据 KVL 定律，有：

$$V_{L1}+V_{DS2}=V_{L2}+V_{DS3} \tag{5}$$

联合公式 (4)与 (5)，可以得到：

$$V_{DS2}-V_{DS3}=-\frac{1}{2}R_{sr1}\frac{W_4}{L}\mu_n C_{ox}(V_{right}-V_{th})^2 \tag{6}$$

环路增益 A 为：

$$A=(g_{m24}Z_1)(g_{m3}Z_2)=(g_{m2}Z_1)(g_{m35}Z_2) \tag{7}$$

式中，$g_{m24}=g_{m35}$，$g_{m3}=g_{m2}$。

电压环路增益 A_v 为：

$$A_v=\mathrm{Re}(|A|\angle\theta) \tag{8}$$

缓冲器输出端的电压信号为：

$$V_+-V_-=\mathrm{Re}[(V_{ds2}-V_{ds3})A_vA_1]=-\frac{1}{2}R_{sr1}\frac{W_4}{L}\times \mu_n C_{ox}(V_{right}-V_{th})^2|A|A_1\mathrm{Re}(\angle\theta) \tag{9}$$

式中，A_1 为输出缓冲器的增益。

当端口 B 的输入数据为 0 时，即 NM4 管截止、NM5 管导通，有：

$$V_+-V_-=\mathrm{Re}[(V_{ds2}-V_{ds3})A_vA_1]=\frac{1}{2}R_{sr1}\frac{W_5}{L}\times \mu_n C_{ox}(V_{right}-V_{th})^2|A|A_1\mathrm{Re}(\angle\theta) \tag{10}$$

由于 $W_4=W_5$，式(9)与式(10)给出的电压信号等幅反相，实现了 BPSK 调制功能，即实现图 4 所示的脉冲波形。

3　测试结果

本文提出的超宽带 OOK/BPSK 发射机基于格罗方德 0.18 μm CMOS 工艺流片。芯片照片如图 6 所示。版图尺寸仅为 0.47 mm×0.5 mm。

不同 NRZ 输入数据下 30 Mbit/s BPSK 脉冲序列波形如图 7 所示。逻辑电平为 0 时不同 NRZ 输入数据下 30 Mbit/s BPSK 输出如图 8 所示。逻辑电平为 1 时不同 NRZ 输入数据下 30 Mbit/s BPSK 输出如图 9 所示。可以看出，逻辑电平分别为 0、1 时，脉冲信号的相位发生翻转。在 30 MHz NRZ 输入数据下，脉冲差分摆幅约为 3.0 V。在 40 MHz NRZ 输入数据下，脉冲差分摆幅相对较小。

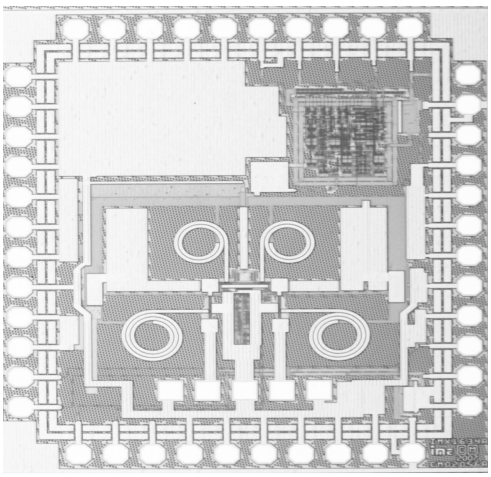


图 6　超宽带 OOK/BPSK 发射机芯片照片

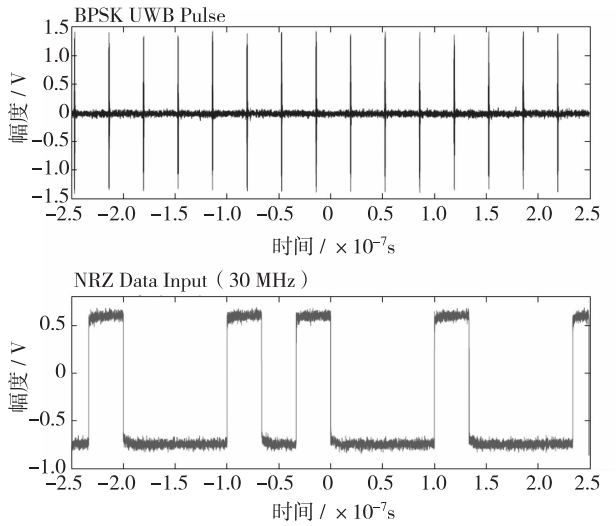


图 7　不同 NRZ 输入数据下 30 Mbit/s BPSK 脉冲序列波形

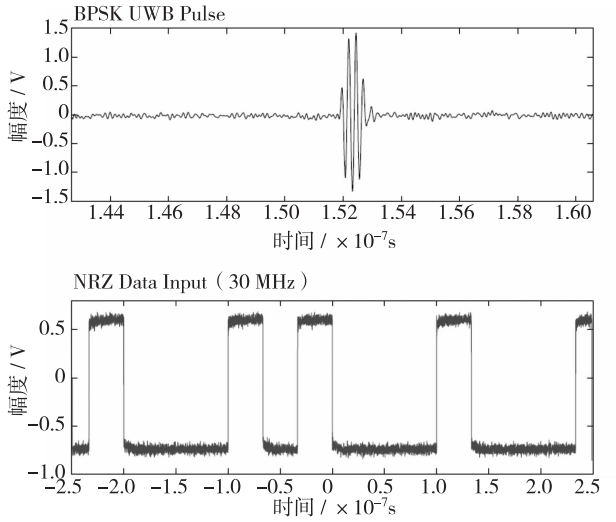


图 8　逻辑电平为 0 时不同 NRZ 输入数据下 30 Mbit/s BPSK 输出

UWB BPSK 发射脉冲的输出频谱如图 10 所示。可以看出，在中心频率 4.0 GHz 处，功率谱密度小于 FCC 规定的 −41.3 dBm/Hz。整体带宽(−10 dB)约为 2 GHz，满足 FCC 频谱规定要求。

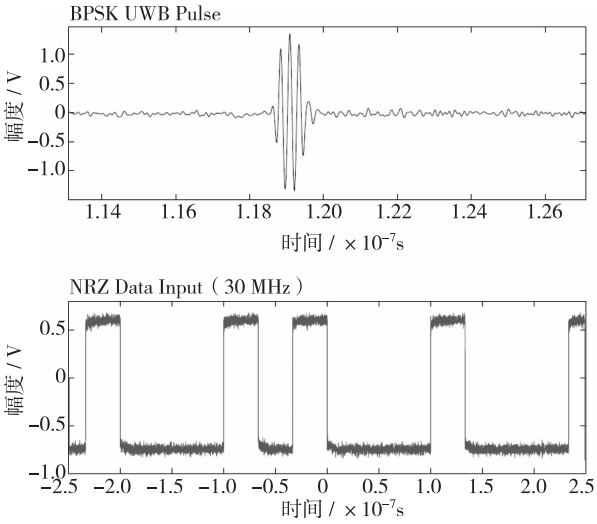


图 9　逻辑电平为 1 时不同 NRZ 输入数据下 30 Mbit/s BPSK 输出

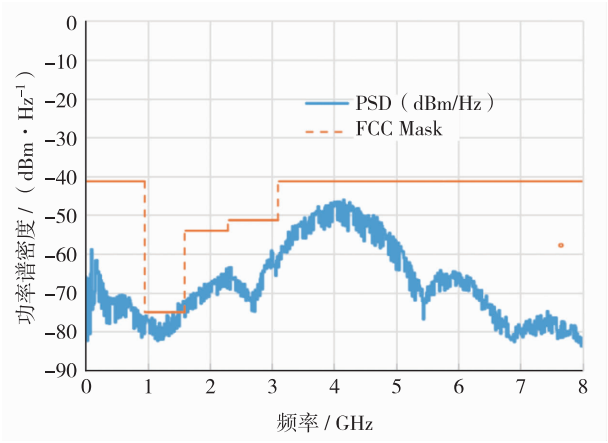


图 10　UWB BPSK 发射脉冲的输出频谱

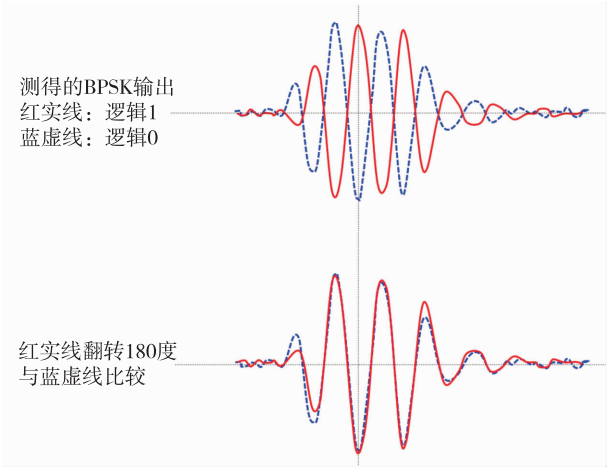


图 11　逻辑电平 0、1 下输出 BPSK 的波形比较

表 1　本文与其他文献中发射机电路的参数比较

电路	CMOS 工艺/μm	能效/%	功耗/(pW・bit^{-1})	面积/mm^2
文献[8]	0.18	1.575	18.23	0.394
文献[9]	0.09	5.745	4.52	0.08
文献[10]	0.18	0.22	805.5	0.4
文献[11]	0.18	6.8	3 750	0.42
文献[12]	0.18	0.211	20	0.021
文献[13]	0.13	1.64	37.9	0.146
本文	0.18	22.2	135	0.235

4　结　论

本文提出了一种新型超宽带 OOK/BPSK 发射机，利用注入锁定技术，在不增加功耗和结构复杂度的基础上实现 BPSK 调制，提高了超宽带收发机的整体性能。该发射机基于格罗方德 0.18 μm CMOS 工艺实现。结果表明，在 2 Mbit/s 的数据率下，载波带宽为 3～5 GHz，平均功耗仅为 270 μW，该发射机可支持的最高数据率为 30 Mbit/s。在 2～30 Mbit/s 数据率下，该发射机可以在 100 Ω 负载上达到 1～3.3 V 的差分输出峰峰值。

参 考 文 献：

[1] YANG Q Y, GIANNAKIS G B. Ultra-wideband communications: an idea whose time has come [J]. IEEE Signal Process Magaz, 2004, 21(6): 26-54.

[2] HSIEH C H, CHIU Y F, SHEN Y H, et al. A UWB radar signal processing platform for real-time human respiratory feature extraction based on four-segment linear waveform model [J]. IEEE Trans Biomed Circ Syst, 2016, 10(1): 219-230.

[3] XIA L L, HUANG Y M, HONG Z L. Low power amplitude and spectrum tunable IR-UWB transmitter [J]. Elec Lett, 2008, 44(20): 1200-1201.

[4] DIAOS X, ZHENG Y J, HENG C H. A CMOS ultra low-power and highly efficient UWB-IR transmitter for WPAN applications [J]. IEEE Trans on Circ & Syst II: Expr Bri, 2009, 56(3): 200-204.

[5] LEOW S W, WONG K W, DIAO S X. A 0.18 μm CMOS UWB transmitter with reconfigurable pulse width [C] // Asia Pacific Microwave Conf. Singapore. 2009: 253-256.

[6] DARABI H. Radio frequency integrated circuits and systems [M]. Cambridge: Cambridge Univ Press, 2015.

[7] PROAKIS J G. Digital communication [M]. New York, McGraw-Hill Companies, 2000.

[8] PHAN T A, LEE J S, KRIZHANOVSKII V G, et al. A 18-pJ/pulse OOK CMOS transmitter for multiband UWB impulse radio [J]. IEEE Microwave Wireless Compon Lett, 2007, 17(9): 688-690.

[9] WENTZLOFF D D, CHANDRAKASAN A P. A 47 pJ/pulse 3.1-to-5 GHz all-digital UWB transmitter in 90 nm CMOS [C] // IEEE ISSCC. San Francisco, CA, USA. 2007: 118-119.

[10] NORIMATSU T, FUJIWARA R, KUKOBO M, et al. A UWB-IR transmitter with digitally controlled pulse generator [J]. IEEE J Sol Sta Circ, 2007, 42(6): 1300-1309.

[11] CHANG S K, CHEN K W, YANG S D, et al. An autonomous wireless transmitter with piezoelectric energy harvester from short-duration vibrations [C] // IEEE ISCAS. Florence, Italy. 2018: 1-4.

[12] TURE K, DEVOS A, MALOBERTI F, et al. Area and power efficient ultra-wideband transmitter based on active inductor [J]. IEEE Trans Circ Syst II: Expr Bri, 2018, 65(10): 1325-1329.

[13] ZHENG Z, LI Y F, WANG G X, et al. The design of an energy-efficient IR-UWB transmitter with wide-output swing and sub-microwatt leakage current [J]. IEEE Trans Circ Syst II: Expr Bri, 2018, 65(10): 1485-1489.

一种基于 HIC 工艺的限流和短路保护电路

樊　川，尹　华
（中国电子科技集团公司 第二十四研究所，重庆 400060）

摘　要： 分析了混合集成 DC/DC 变换器的电路和工艺特点，结合高可靠混合集成 DC/DC 变换器的设计应用要求，提出了一种适用于高可靠混合集成 DC/DC 变换器的限流和短路保护电路。从原理上阐述了限流和短路保护的设计方法，给出了具体电路和仿真数据。结合实际电路测试数据，提出了类似电路设计中的改进措施。

关键词： HIC；DC/DC 变换器；限流保护；短路保护；电流取样
中图分类号：TN45　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0532-04
DOI：10.13911/j.cnki.1004-3365.200088

A Current Limiting and Short Circuit Protection Circuit Based on HIC Technology

FAN Chuan, YIN Hua
(*The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing* 400060, *P. R. China*)

Abstract: The circuit and process characteristics of the hybrid integrated DC/DC converter were analyzed. Combined with the design and application requirements of high reliable hybrid integrated DC/DC converter, a current limiting and short circuit protection circuit for high reliability hybrid integrated DC/DC converter was proposed. The design method of current limiting and short circuit protection was described in principle, and the specific circuit and simulation data were given. Based on the actual circuit test data, the improvement measures of similar circuit design were proposed.

Key words: HIC; DC/DC converter; current limiting protection; short circuit protection; current sampling

0　引　言

采用混合集成电路（HIC）工艺制作的 DC/DC 变换器是航天高可靠供电系统的关键元件，直接关系到装备是否正常工作。DC/DC 变换器的保护功能设计是器件可靠性的重要内容。限流保护和短路保护的作用有：1）负载过流或短路时，保护 DC/DC 变换器不发生损坏，同时保护负载，而当过流或短路故障消失时，自动恢复正常状态；2）当负载或 DC/DC 变换器自身出现短路失效时，输入电流能降低，避免损坏前级电路，实现故障隔离。完善的保护功能设计必然增大电路设计的复杂性[1]。早期的混合集成 DC/DC 变换器没有设计短路保护，新型混合集成 DC/DC 变换器均设计了过流和短路保护功能。传统的过流和短路保护电路结构复杂，元件数量多，国产化难度大。立足于国产器件，通过创新设计，实现混合集成 DC/DC 变换器的小型化和国产化，在工程应用中具有重要意义。

1　过流和短路保护设计基本原理

目前，混合集成 DC/DC 变换器采用峰值电流型控制。该控制方案是通过检测初级工作电流，实

收稿日期：2020-03-04；**定稿日期：**2020-05-09
作者简介：樊　川（1975—），男（汉族），四川武胜人，大学本科，工程师，主要从事高可靠电源设计技术研究。
尹　华（1969—），男（汉族），四川宜宾人，大学本科，高级工程师，主要从事高可靠电源设计技术研究。

现电流环反馈控制，同时实现对电流的逐周期控制。峰值电流型控制方案具有较好的限流保护能力，也具有一定的短路保护效果，但短路功耗大，难以解决长时间短路保护的问题。

常用的自恢复短路保护电路为间歇工作模式，在保护模式下定时检测故障状态，故障消失后自动恢复正常输出。具体工作原理：为将检测到的电流脉冲信号进行滤波，获得直流信号，再将此直流信号与预设基准电压进行比较，对直流电流大小进行判断；直流电流幅度达到预设基准电压后，比较电路状态翻转，启动控制电路，控制电路设计为迟滞方式，以降低短路功耗；通过控制电流比较基准来设置短路保护的触发电流，通过设计迟滞电压来控制短路平均功耗；当故障消失后，电路自动恢复正常工作。

限流和短路保护电路若采用上述方案，则需要两个比较器、两个比较基准电压、滤波电路和延迟电路，元件数量多，电容容量大，不利于小型化和提升可靠性。

2　HIC 的限流和短路保护方案

针对上述难点，基于 HIC 工艺，结合国产元件的实际情况，设计了一种限流和短路保护电路，实现方案的框图如图 1 所示。

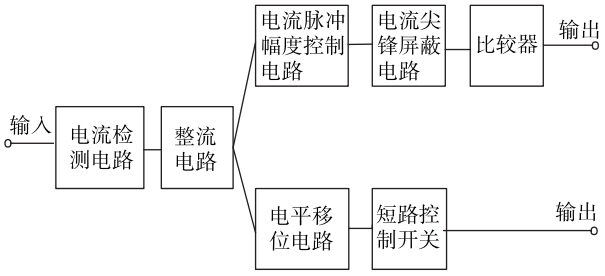


图 1　基于 HIC 工艺的限流和短路保护电路框图

本文方案可实现限流保护和短路保护的两种保护效果。该限流和短路保护电路包括电流检测电路、整流电路、电流脉冲幅度控制电路、电流尖锋屏蔽电路、比较电路、电平移位滤波电路和开关电路。与传统短路保护电路相比，本文电路具有以下特点：1)采用较少的元器件实现了自恢复限流保护和短路保护功能；2)解决了自恢复限流保护和短路保护兼容设计问题，有利于实现电路小型化；3)线路采用通用元件设计，有利于实现国产化[2]。

3　电路实现

按照图 1 所示的技术方案，具体实现的限流和短路保护电路如图 2 所示。

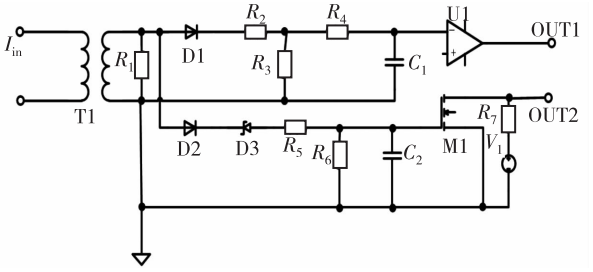


图 2　具体实现的限流和短路保护电路

该限流和短路保护电路实现了限流保护和短路保护的功能。工作原理分析如下。

3.1　自恢复限流保护

电流取样变压器 T1 的初级串接于功率回路中。功率回路的脉冲电流流过 T1 的初级，在 T1 次级感应出波形相同、幅度为(N_P ∶ N_S)倍的相同的电流脉冲波形。次级电流和初级电流的关系式为：

$$I_S : I_P = N_P : N_S \tag{1}$$

所以：

$$I_S = I_P \times (N_P : N_S) \tag{2}$$

式中，I_P 为 T1 初级流过的电流，N_P 为 T1 初级匝数，I_S 为 T1 次级流过的电流，N_S 为 T1 次级匝数[3]。

当开关电源工作在正常工作状态或过载工作状态时，二极管 D1 导通，由于稳压管 D3 的存在，二极管 D2 不导通。此时，T1 次级的等效阻抗为(R_2+R_3)与 R_1 的并联值。R_1 远大于 R_2+R_3，则取样电流信号在 R_1 上产生的电压 V_{S1} 为：

$$V_{S1} = I_S \times (R_2 + R_3) + V_D \tag{3}$$

式中，V_D 为 D1 的结压降，将式(2)代入式(3)，得：

$$V_{S1} = I_P \times (N_P : N_S) \times (R_2 + R_3) \tag{4}$$

T1 次级电流在 R_3 上产生的电压 V_{S2} 为：

$$V_{S2} = I_P \times (N_P : N_S) \times R_3 \tag{5}$$

可知，V_{S2} 随 I_P 的增大而增大。当 V_{S1} 达到比较器预先设定的基准电压 V_{ref1} 时，比较电路状态翻转，功率开关关断，功率回路电流变为零。此时，过载电流就是限流保护功能启动的工作电流，即限流保护点。

当过载电流消失，V_{S2} 小于 V_{ref1}。此时，比较器的翻转由反馈误差电压和 V_{S2} 确定，电路进入正常工作

状态，实现自动恢复功能。当 T1 的匝比参数和比较基准电压 V_{ref1} 确定后，限流保护点大小由 R_3 确定：

$$V_{S2}=V_{ref1}=I_P\times(N_P:N_S)\times R_3 \tag{6}$$

则：

$$R_3=V_{ref1}/[I_P\times(N_P:N_S)] \tag{7}$$

开关电源的功率回路中，整流二极管存在固有的载流子存储效应，整流二极管存在反向恢复时间 t_{rr}。在这一时间段内，整个功率变换回路处于短暂的短路状态，开关电源初级的功率回路会出现大的短路尖峰电流。该尖峰电流的值和持续时间与整流二极管的反向恢复时间密切相关。为了避免该电流尖峰的影响，设计了一个屏蔽电路。R_4 和 C_1 构成低通滤波电路，将瞬态的电流尖峰屏蔽。为了不影响正常的电流采样波形，设置时间常数 $R_4C_1=(2\sim3)t_{rr}$。该时间常数应远小于开关电源的一个开关周期。

以上过程满足了自恢复限流保护要求。当开关电源负载出现过载时，输出电压降低，输出功率维持在一定范围，避免电路因输出功率过大而被烧毁；当过载消失后，电路自动恢复正常的输出。

3.2　自恢复短路保护

当开关电源工作在短路状态时，开关电源初级电流 I_P 迅速增大。由式(4)可知，V_{S1} 迅速增大。当 V_{S1} 增大到 V_D+V_Z 时，二极管 D2 和稳压管 D3 导通，电流检测信号通过 R_5 开始对 C_2 和短路开关 M1 管栅电容充电。R_5 和 C_2 组成积分电路，其时间常数 R_5C_2 应远大于开关周期，该电路可将电流脉冲信号变换成直流信号，而该直流信号用作 M1 管的控制信号。随着短路时间的增加，M1 管栅极电平越来越高，当达到 M1 管阈值电压上限时，M1 管的状态翻转，使得脉宽控制电路停止工作，从而使开关电源停止工作，实现短路保护。R_7 设定 M1 的直流工作点，确保短路开关 M1 管正常工作。

当开关电源停止工作后，短路电流消失，V_{S1} 迅速减小到零，由于二极管 D2 具有单向导电特性，电容 C_2 只能通过电阻 R_6 放电，当电容 C_2 电压下降到短路开关 M1 阈值电压下限时，短路开关 M1 状态再次翻转，开关电源重新工作。如果短路故障未消除，开关电源会重新进入短路保护状态，进入循环模式；如果短路故障消除，开关电源会重新进入正常工作状态，实现自恢复功能。

从 V_Z 导通到 M1 管翻转的时段为短路保护的检测时间 t_S。在 t_S 时段内，开关电源的功耗较大；从 V_Z 脱离导通到 M1 管再次翻转的时段为短路保护延迟时间 t_D。在 t_D 时段内，开关电源的功耗很小。$t_S+t_D=T_S$，为一个保护周期。一个保护周期内的短路功耗为该周期的平均功耗。

增大 T_S 和降低 t_S 是降低短路功耗、实现有效短路保护的关键。从上述分析可知，降低 R_5C_2 的值，可提高充电速度、降低 t_S。但是，滤波后的直流电压纹波分量变大，容易引起误触发。开关电源在启动时存在较大、短时间的浪涌电流，充电速度太快可能会导致启动失败。应结合启动特性综合考虑 R_5C_2 的取值。

增大 T_S 的实质是增大 t_D。t_D 由 R_6 和 M1 管阈值电压确定。当 M1 管阈值电压确定后，调整 R_6 的值，即可对 t_D 进行控制。为提高 T_S，可结合开关电源具体电路设计，采取一些切实可行的措施。

以上过程实现了自恢复短路保护要求。当开关电源出现短路故障时，输出平均功率维持在较小的值，避免电路因短路过热而烧毁；当短路故障消失后，电路自动恢复正常的输出。限流和短路保护工作时序图分别如图 3 和图 4 所示。

图 3 中，曲线(a)表示电流检测回路波形，曲线(b)表示经 R_4、C_1 滤波后的波形，曲线(c)表示比较器的输出波形。电流最大值达到 V_{ref1} 后，输出电压降低，电路进入限流保护状态。

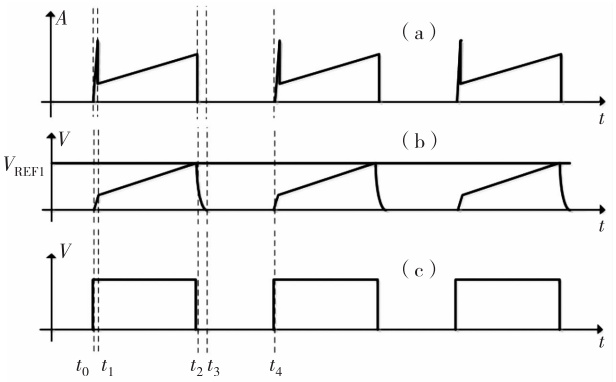


图 3　限流保护工作时序图

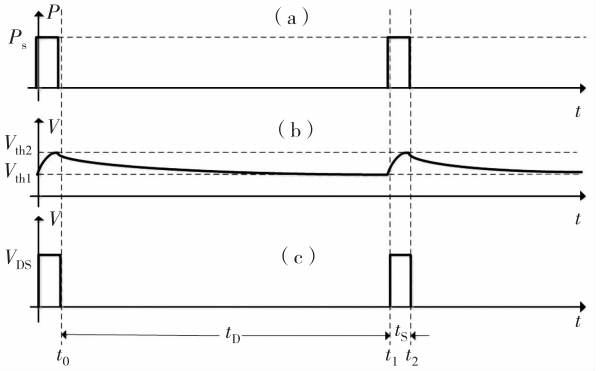


图 4　短路保护工作时序图

图 4 中，曲线(a)表示短路功耗波形，曲线(b)表示 M1 管栅极电压波形，曲线(c)表示 M1 管漏极电压波形。电路的短路保护状态为 $t_0 \sim t_1$ 时段，在该时段，电路处于关断、停止工作状态，功耗很小。电路的工作状态为 $t_1 \sim t_2$ 时间段，在该时段，脉宽控制器输出脉冲。如果电路还处于短路状态，M1 管重新恢复导通，电路关断，在该时段，电路功耗较大。在一个周期内，通过设置 $t_0 \sim t_1$ 时段，可有效降低一个周期的功耗，降低电路的温升，从而实现保护。当故障消失后，电路自动进入正常工作状态。

4　仿真与实验

本文设计的限流和短路保护电路应用于某型 DC/DC 变换器中，DC/DC 变换器的仿真曲线如图 5 所示。可以看出，电路在短路时间内处于“打嗝”保护状态[4]。DC/DC 变换器的实际测试波形如图 6 所示。

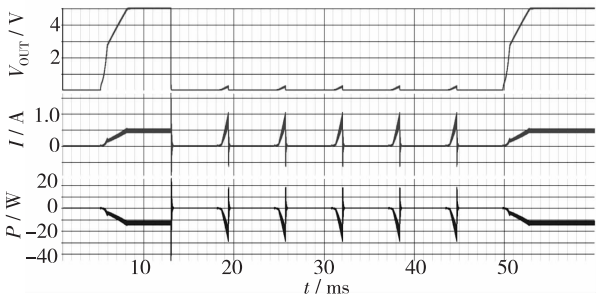


图 5　应用了本文电路的 DC/DC 变换器的仿真曲线

图 6　DC/DC 变换器的实际测试波形

图 6 中，通道 1 为输入电压，通道 2 为输出电压，通道 3 为输入电流。在短路时，输入功率为输入电压与输入电流的乘积。可以看出，DC/DC 变换器只在检测期间存在较大的功耗，在保护期间，功耗很小。整个电路在短路期间，平均功耗很小，约为 4.7 W。该功耗小于满载工作功耗，连续短路 0.5 h 后，电路温升小于 17°；输出短路消失后，电路自动恢复正常的输出。

从实验结果可知，随着工作电压的升高，电路的短路平均功耗增大，触发保护的电流值同时增大。

5　结　论

本文设计了一种限流和短路保护电路，并应用于 DC/DC 变换器，有效降低了 DC/DC 变换器的短路功耗。在电路规定的工作电压范围内，均可实现自恢复和永久短路保护，有效提高了 DC/DC 变换器的可靠性。本文的设计方案均可采用国产元件实现，有利于提升电路的保障能力。后续将完善设计，进一步减小整个工作电压范围内的短路功耗变化范围。

参 考 文 献：

[1]　张占松，蔡宣三. 开关电源的管理与设计 [M]. 修订版. 北京：电子工业出版社，2006.

[2]　钱振宇. 开关电源电磁兼容性设计与测试 [M]. 北京：电子工业出版社，2005.

[3]　王康乐，罗萍，邱双杰，等. 一种用于高压开关电源的高精度电流采样电路 [J]. 微电子学，2018，48(1)：23-27.

[4]　BASSO P. 开关电源仿真与实用设计-基于 SPICE [M]. 吕章德，译. 北京：电子工业出版社，2015：379-405.

[5]　张卫平. 开关变换器的建模与控制 [M]. 北京：中国电力出版社，2005：57-79.

[6]　何宏，魏克新，王红君，等. 开关电源电磁兼容性 [M]. 北京：国防工业出版社，2008.

[7]　STACK D，KELLY A，CONWAY T. A high accuracy and high bandwidth current sense circuit for digitally controlled DC-DC buck converters [C] // IEEE APEC. Long Beach，CA，USA. 2016：1670-1674.

[8]　MICHAL V. Absolute value，1% linear and lossless current-sensing circuit for the step-down DC-DC converters with integrated power stage [J]. IEEE J Sol Sta Circ，2014，49(5)：1256-1270.

[9]　WANG C Y，GUO J S，HUANG C Y，et al. A high efficiency DC/DC boost regulator with adaptive off/on time control [C] // VLSI-DAT. Hsinchu，China. 2013：1-4.

·模型与算法·

源端射频干扰下 CMOS 数字电路的时序失效机理

农姗珊，杨斯媚，粟 涛
（中山大学 电子与信息工程学院，广州 510006）

摘 要： 当前 CMOS 数字芯片设计流程缺少对电路电磁抗扰性的检验。大幅电磁干扰会导致数字电路出现电路失效，但电路失效的原因以及电路失效与幅度和频率等干扰参数的关系尚不清楚。针对这一问题，详细研究了源端射频干扰下 CMOS 数字电路的工作状态。通过给出失效与干扰参数的关系的基本理论，得到 CMOS 数字电路在受扰情况下的失效原因。结果表明，时序错误是大幅电磁干扰引起 CMOS 电路失效的主要原因。电路失效可通过电路路径延时的漂移和抖动来解释，漂移和抖动与电磁干扰的幅度和频率存在特定关系，因此时序失效是可预测的。基本理论所描述的失效规律可作为 EDA 工具的原理，用于芯片设计早期阶段对电路的抗扰性检验。

关键词： 数字集成电路；电磁干扰；时序收敛；失效机理
中图分类号：TN432 **文献标识码：**A **文章编号：**1004-3365(2020)04-0536-07
DOI：10.13911/j.cnki.1004-3365.190592

Timing Failure Mechanism of CMOS Digital Circuits Under Radio Frequency Interference on the Supply

NONG Shanshan, YANG Simei, SU Tao
(*School of Electronics and Information Technology, Sun Yat-Sen University, Guangzhou* 510006, *P. R. China*)

Abstract: At present, the design process of CMOS digital chip lacked the test of circuit electromagnetic immunity. However, the reason of circuit failure and the relationship between circuit failure and interference parameters such as amplitude and frequency were not clear. In order to solve this problem, the working state of CMOS digital circuit under the source RF interference was studied in detail. By giving the basic theory of the relationship between failure and interference parameters, the failure reason of CMOS digital circuit in the case of being disturbed was obtained. The results showed that timing error was the main cause of CMOS circuit failure caused by large electromagnetic interference. The circuit failure could be explained by the shift and jitter of the circuit path delay. There was a specific relationship between the shift and jitter and the amplitude and frequency of electromagnetic interference, so the timing failure was predictable. The failure rule described in the basic theory could be used as the principle of EDA tool to test the circuit immunity in the early stage of chip design.

Key words: digital integrated circuit; electromagnetic interference; timing closure; failure mechanism

收稿日期：2019-10-18；**定稿日期：**2019-11-27
基金项目：国家自然科学基金资助项目(61471402)
作者简介：农姗珊(1995—)，女(壮族)，广西百色人，硕士研究生，从事集成电路设计研究工作。
粟 涛(1977—)，男(汉族)，湖南益阳人，博士，副教授，从事集成电路设计教学和研究工作。通信作者，E-mail：sutao@mail.sysu.edu.cn。

0　引　言

对无线电的大量使用、电子设备和元件的大规模增加和密集放置、恶劣的环境以及有意的电磁攻击等，都会导致集成电路的电源端、信号端或者其他位置出现电磁干扰波，对数字电路的稳定工作状态产生一定的负面影响。

对此，学术界进行了一系列研究。J. Alkalay 等人利用计算机仿真，研究了电磁干扰引起的数字电路传播延迟的变化[1]，研究发现感应延迟是电磁干扰频率、振幅和相位的强函数，他们将进一步开发一个相对简单的模型来预测影响。多伦多大学的一个小组发现了一种独特的电磁干扰引起的与晶体振荡器相关的电路失效[2]，并将矩法电磁模拟器和电路模拟器的结果结合起来，研究了 EMI 对数字电路的影响[3]。R. E. Wallace 等人引入了敏感性窗口的概念来解释电路失效现象[4]。上述研究表明，当干扰幅度达到一定程度时，电源端的电磁干扰波会导致电路失效。但目前对电路失效的具体原因并没有明确的描述。电路失效与幅度和频率等干扰参数的关系尚不清楚。

位于 MHz～GHz 射频波段的正弦干扰是一种重要的、受到工业和学术界广泛关注的干扰形式[5]。本文针对电源端受到位于 MHz～GHz 射频波段正弦干扰的情况，建立电路失效与幅度、频率等干扰参数的抗扰度预测模型，得到源端干扰下数字芯片全频段的抗扰性曲线，用于指导芯片早期设计时的电磁抗扰特性预测。

1　受扰时序违例理论

现代数字集成电路通常采用同步时序逻辑。数据与时钟路径的结构如图 1 所示。数据信号从触发器出发沿数据路径到达下一级触发器。片上时钟网络通常为树状，从根节点到每个触发器的时钟路径延时几乎相同。当电源受到干扰时，数据路径和时钟路径的延时可能发生变化，使得保持建立时间约束可能得不到满足，导致时序违例。

1.1　源端干扰对路径延时的影响

一段路径的延时可表达为单位逻辑门延时 τ_u 的 N_p 倍，可将路径等效为由 N_p 个单位逻辑门组成的路径。门延时 τ_u 随电源电压 V_{DD} 变化。源端干扰会使电源电压发生改变，导致门延时改变，使得路径延时发生变化。SMIC 130 nm 工艺库单位反相器的静态门延时 τ_u 与 V_{DD} 的关系如图 2(a)所示。

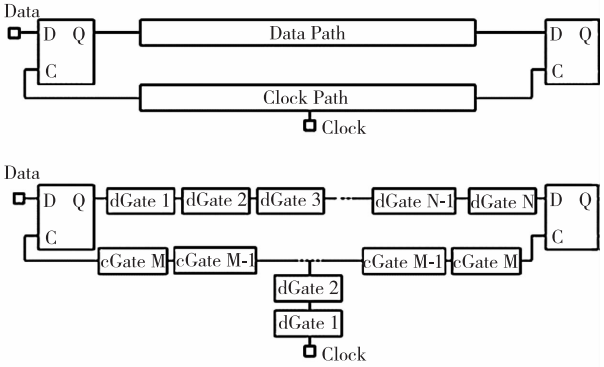
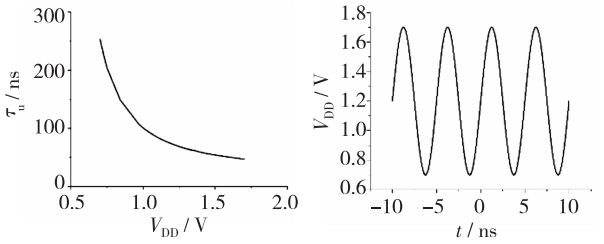


图 1　数据与时钟路径的结构



(a) 门延时 τ_u 随电源电压 V_{DD} 变化　(b) 受扰后电源电压波形

图 2　门延时与电源电压的关系

源端干扰对路径延迟的影响主要有两个：一个是干扰造成的时序漂移[6]，另一个是干扰造成的时序抖动[7]。以下详细解释两个影响的产生机理。

1.1.1　延时漂移现象

受扰后电源电压波形如图 2(b)所示，可以看到，当受到干扰，电源电压随时间呈正弦变化时，门延时 τ_u 也随时间变化。时间段 t_1～t_2 内信号的行走距离(以单位逻辑门个数为单位)为：

$$N=\int_{t_1}^{t_2}\frac{1}{\tau_u}\mathrm{d}t \tag{1}$$

式中，$1/\tau_u$ 表示单位时间通过的逻辑门个数，即表示信号行走的速度。t_2～t_1 表示行走距离 N 的延时。

路径延时的平均值可通过求出信号的平均行走速度后，用路径长度除以平均速度求得。$1/\tau_u$ 是周期性函数，因此在每个干扰周期 T_{RFI} 内信号的行走距离 N_{AVE} 相等，且与干扰初始相位无关，如图 3(a)所示。平均行走速度为：

$$\frac{N_{AVE}}{T_{RFI}}=\frac{1}{T_{RFI}}\int_{1}^{T_{RFI}}\frac{1}{\tau_u}\mathrm{d}t \tag{2}$$

路径延时的平均值为：

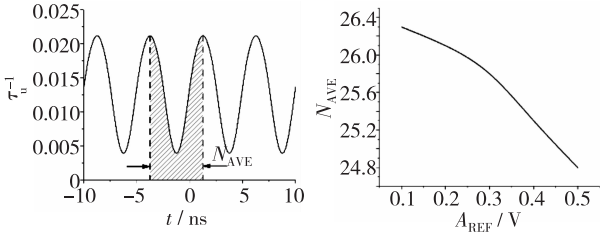
$$t_p = N_p \frac{T_{RFI}}{N_{AVE}} \tag{3}$$

由式(2)可推导出：

$$\frac{1}{T_{RFI}} \int_0^{T_{RFI}} \frac{1}{\tau_u} dt = \frac{1}{T_{RFI}} \int_0^{2\pi} \frac{1}{\tau_u} d \frac{\theta}{\omega_{RFI}} \tag{4}$$

可以看出，平均行走速度与干扰频率无关，即路径延时的平均值不随干扰频率变化。

干扰的幅值 A_{RFI} 是影响路径延时的平均值的另一个因素。行走距离 N_{AVE} 和干扰幅度 A_{RFI} 的关系如图 3(b)所示，A_{RFI} 越大，信号平均行走距离 N_{AVE} 越小，即电磁干扰的强度越大，路径的平均延迟越大，表示出现延迟漂移现象。



(a) 干扰周期 T_{RFI} 内信号的行走距离 N_{AVE} 示意图　　(b) 行走距离 N_{AVE} 与干扰幅度 A_{RFI} 的关系

图 3　延时漂移的形成原因及其特点

1.1.2　延时抖动现象

延时抖动与干扰频率的关系如图 4 所示，图中展示了两种情况，左边的阴影区域位于电压较高(HV)的区域；右边的阴影区域的行走时段位于电压较低(LV)的区域。两个区域积分值都等于 N。可以看出，左边时段的宽度小于右边时段的宽度，即当信号在路径上行走到正干扰区时，路径延时短；行走到负干扰区时，路径延时长。路径延时不稳定，导致抖动产生。

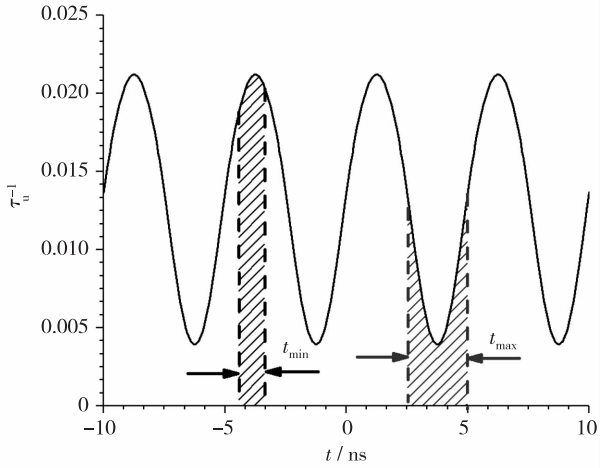


图 4　延时抖动与干扰频率的关系

一段路径的长度可表达为：

$$N_p = kN_{AVE} + N_{RES} \tag{5}$$

式中，k 为整数，N_{AVE} 为平均行走距离，N_{RES} 为一个小于 N_{AVE} 的数。

k 倍 N_{AVE} 所花费的行走时间与干扰初始相位无关，因此不会产生抖动。仅 N_{RES} 部分的延时会抖动。N_{RES} 部分的延时小于干扰周期 T_{RFI}，因此整个路径的抖动小于干扰周期 T_{RFI}。随着干扰频率增高，路径延时抖动逐渐减小。当干扰周期或其整数倍恰好等于路径延时时，N_{RES} 为 0，抖动也为 0。

改变图 4 中左右信号行走时段的干扰幅度 A_{RFI}，可观察抖动随干扰幅度的变化。延时抖动与干扰幅度的关系如图 5 所示。可以看到，当干扰增高时，正扰区的延时与负扰区的延时差别逐渐增大，即抖动增大。当路径延时接近并略小于 T_{RFI} 时，增加干扰幅度，可把路径延时扩展到等于 T_{RFI}。当路径延时等于 T_{RFI} 时，抖动变为 0。即在干扰频率增高，使 T_{RFI} 接近路径延时时，干扰增强反而导致抖动变小，出现逆增长现象。

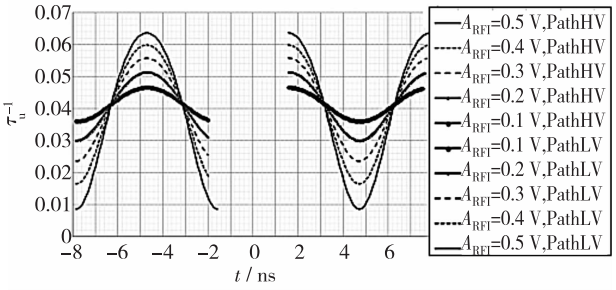


图 5　延时抖动与干扰幅度的关系

1.2　时序违例的发生

设干扰频率为 f_{RFI}。当干扰幅度大于 A_{IM} 时，电路时序失效；当干扰幅度小于 A_{IM} 时，电路时序不会失效。则称 A_{IM} 为电路为 f_{RFI} 上的时序抗扰度。参数 A_{IM} 与 f_{RFI} 的依赖关系称为电路的时序抗扰性。

要同步数字电路的时序，应满足如下要求：

$$t_{cq} + t_{dp} < t_{clk} - t_{setup} \tag{6}$$

$$t_{cq} + t_{dp} > t_{hold} \tag{7}$$

由图 1 可以看出，数据路径延时的变化与移动 st_{dp} 和抖动 jt_{dp} 有关，时钟周期的变化与抖动 jt_{cp} 有关。数据路径延时的变化为：

$$\Delta t_{dp} = st_{dp} + jt_{dp} \tag{8}$$

时钟周期的变化为：

$$\Delta t_{\mathrm{clk}} = j t_{\mathrm{cp}} \tag{9}$$

当延时的变化吃掉保持建立时间的裕量 mt 时，会发生违例。假设路径延时和时钟延时的变化相互独立，延时漂移为正。对于建立时间的检查，最坏情况是延时抖动为正值，总延时最大。对于保持时间的检查，最坏情况是延时抖动为负，总延时最小。因此违例的条件为：

$$s t_{\mathrm{dp}} + j t_{\mathrm{dp}} + j t_{\mathrm{cq}} \geqslant m t_{\mathrm{setup}} \tag{10}$$

$$j t_{\mathrm{dp}} - s t_{\mathrm{dp}} \geqslant m t_{\mathrm{hold}} \tag{11}$$

式(10)和式(11)对源端干扰导致电路时序失效进行了预测。

2　仿真验证

首先检验电路的延时漂移和抖动两种现象，然后观察时序与干扰频率幅度的关系。仿真工具为 HSPICE。电路工艺模型来自 SMIC 130 nm CMOS 逻辑工艺库。标准电源电压为 1.2 V。

2.1　漂移和抖动

延时漂移和抖动的仿真电路结构如图 6 所示。受测器件 DUT 是长度为 N 的数据路径，由 INV、NAND、ADDF、XOR、AND 等组成。每级逻辑门的输出引脚都连有缓冲器。缓冲器不受干扰影响，会对输出信号的逻辑和到达时间进行观察和判断。从缓冲器的输出波形可以看出受扰逻辑门的输出逻辑是否正确，以及到达时间是否有漂移和抖动。

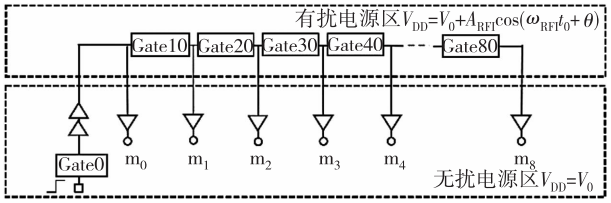


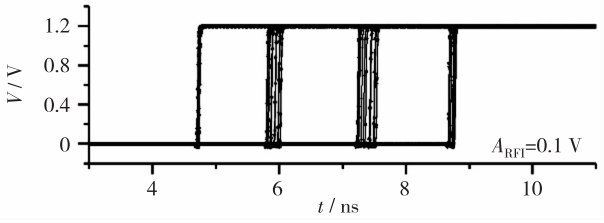
图 6　延时漂移和抖动的仿真电路结构

各级逻辑门的输出波形如图 7 所示。当干扰幅度增加时，各逻辑门的输出信号到达时间往后漂移。部分逻辑级出现明显抖动。但是，当干扰进一步增加时，到达时间继续推后，部分逻辑级的抖动反而变小。

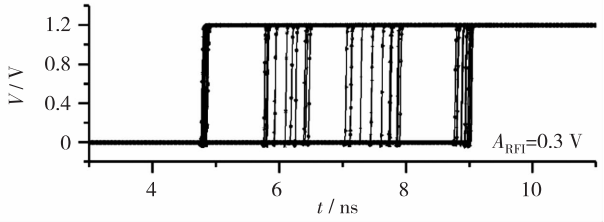
2.2　干扰频率与幅度的影响

常见的时钟结构分为网状型和树状型。网状型时钟分为 Mesh 结构和 FB 结构，树状结构分为平衡树、X-tree、H-tree[8]。每种结构都尽量保证时钟树的平衡，即从时钟源到每一个时钟输入端，都尽量保证延时一致。本文假设时钟源到时钟输入端所经过的时钟缓存器的数量一致。

由上述分析得到的时序失效仿真验证电路如图 8 所示，时序失效的仿真设计方案如表 1 所示。



(a) 干扰幅度为 0.1 V 时的输出波形



(b) 干扰幅度为 0.3 V 时的输出波形

图 7　各级逻辑门的输出波形

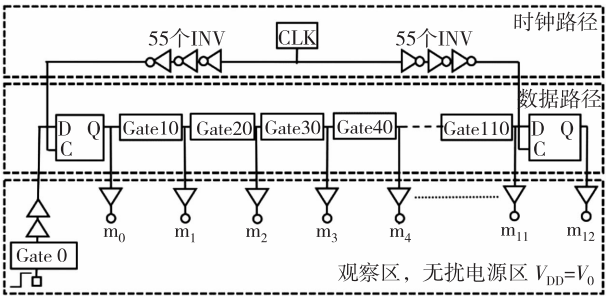


图 8　时序失效的仿真验证电路

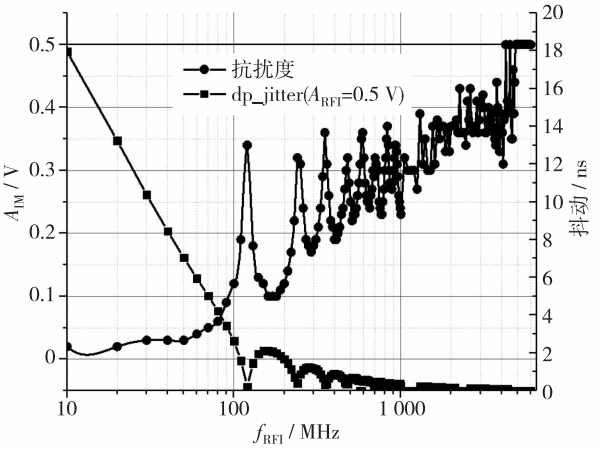
表 1　时序失效的仿真设计方案

方案	SMIC 工艺/nm	电源电压/V	时钟路径	数据路径
方案 1	130	1.2	不受扰	受扰
方案 2	130	1.2	受扰	受扰
方案 3	130	1.8	不受扰	受扰
方案 4	55	1.2	不受扰	受扰
方案 5	55	1.2	受扰	受扰
方案 6	55	1.8	不受扰	受扰

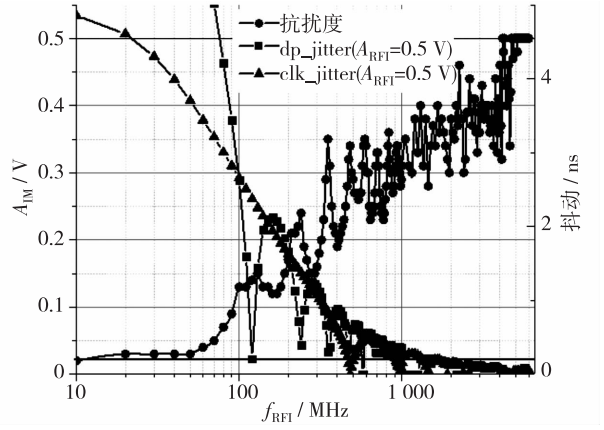
干扰施加在一个完整的寄存器至寄存器电路上。根据表 1，进行一系列 HSPICE 仿真，得到仿真下各种方案受测电路的抗扰性曲线，如图 9 所示。

可以看到，抗扰度随干扰频率的增加而呈波动上升的趋势。对于图 9(a)和图 9(b)，在 50 MHz 以

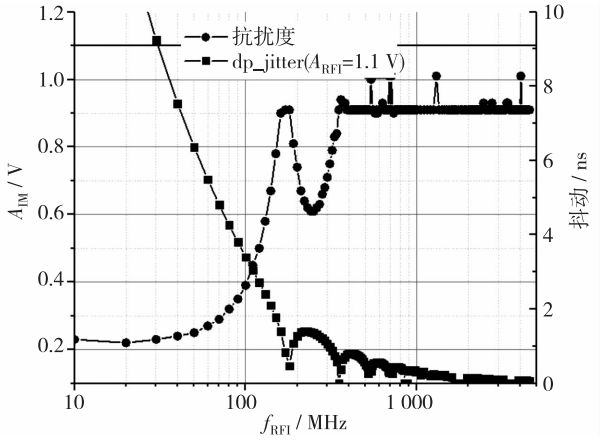
下的低频段，抗扰度稳定在较低数值，称为稳定低抗扰度区；在 50 MHz～4 GHz 的中频段，抗扰度不断波动，称为过渡区；在 4 GHz 以上，抗扰度稳定为 0.5 V，即干扰强度的最大值，称为稳定高抗扰度区。对于图 9(c)，也可分为 50 MHz 以下的稳定低抗扰度区，50 MHz～400 MHz 过渡区及 400 MHz 以上的稳定高抗扰度区。



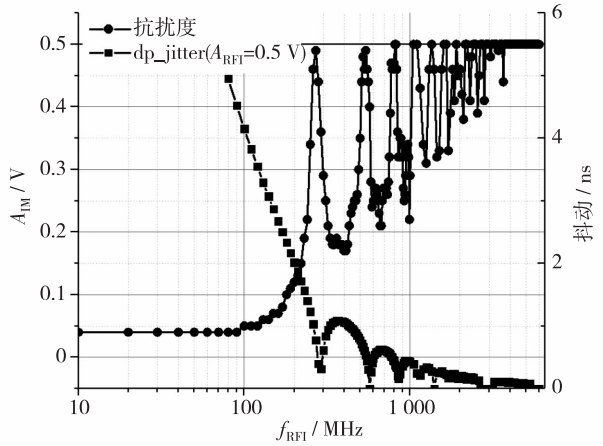
(a) 方案 1



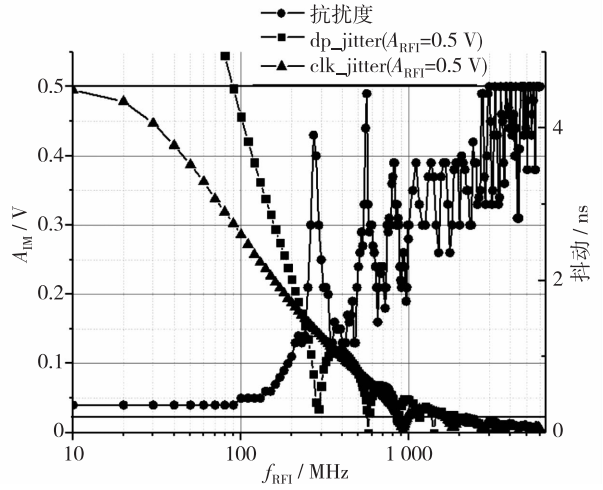
(b) 方案 2



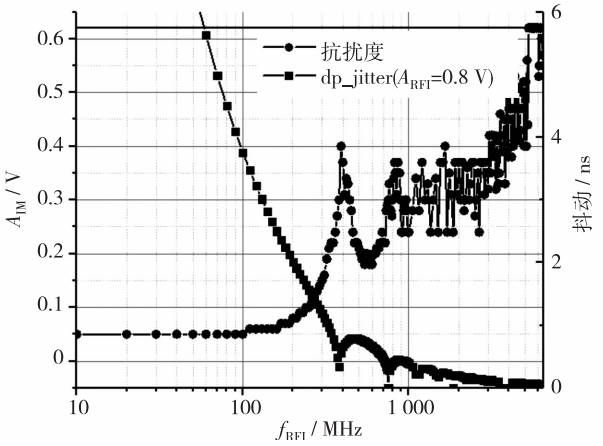
(c) 方案 3



(d) 方案 4



(e) 方案 5



(f) 方案 6

图 9 仿真下各种方案受测电路的抗扰性曲线

时钟路径的抖动及数据路径的抖动可通过 MATLAB 算出[9]。如图 9(a)所示，方案 1 中，时钟路径不受干扰，因此引起抗扰度变化的原因是数据路径的抖动及漂移。由计算可得，当干扰强度为 0.5 V 时，漂移量约为 0.21 ns。而由图可得，在干扰强度为 0.5 V，干扰频率大于 1 GHz 时，抖动值仍

大于 0.2 ns，且抖动的波峰及波谷也与抗扰度的波谷及波峰基本对应。因此在方案 1 中，数据路径的抖动主导了抗扰度的变化。

如图 9(b)所示，方案 2 中，时钟路径受到干扰，时钟路径与数据路径的延时并不相同，因此两者抖动并不同步。可以预测，当数据路径抖动处于波谷，而时钟路径抖动并未到波谷时，抗扰度将降低。如图 9(c)所示，方案 3 中，干扰强度可到达 1.1 V，因此数据路径的漂移量会比较大，由计算可得，当干扰强度为 0.5 V 时，漂移量约为 0.67 ns；而抖动值在干扰强度为 1.1 V，干扰频率大于 400 MHz 后会小于 0.67 ns。由图 9 可得，当干扰频率大于 400 MHz 时，由于存在数据路径漂移，抗扰度将稳定在较高数值。

仿真结果与预期相符，源端干扰通过漂移和抖动现象使电路的时序失效。根据图 9 中方案 1，2，3 和方案 4，5，6 的对比得到，以上总结的规律和趋势通用于不同的工艺节点。

3　实测验证

首先验证电路的延时漂移和抖动两种现象，然后进行抗扰度的测试。验证器件为 74 系列单门逻辑门芯片。受测电路板如图 10 所示，右板为数据路径，即漂移和抖动的受测电路。受测路径为 INV、NAND、ADDF、XOR、AND 等共 90 块单门逻辑门芯片，延时为 240 ns。左板为电源及时钟路径。左板和右板合并为抗扰度曲线的受测电路。

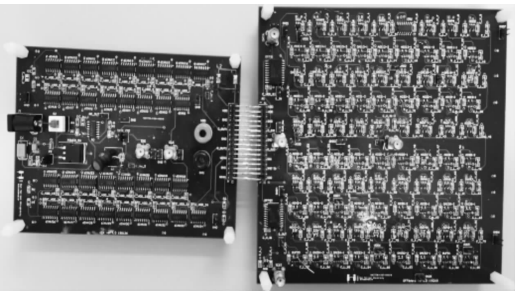


图 10　受测电路板

3.1　漂移和抖动

输入信号由图 10 右板左上角的 SMA 接口输入，经过长度为 90 个单门逻辑门芯片的数据路径后，输出信号接入示波器接受检测。干扰频率为 1.5 MHz，干扰幅度为 0.7 V，受测电路输出波形如图 11 所示。

可以看出，波形存在抖动，且抖动的中心线相对未被干扰的波形向右偏移了一定距离。因此，在源端干扰下，受测电路的确有漂移和抖动两种现象出现。

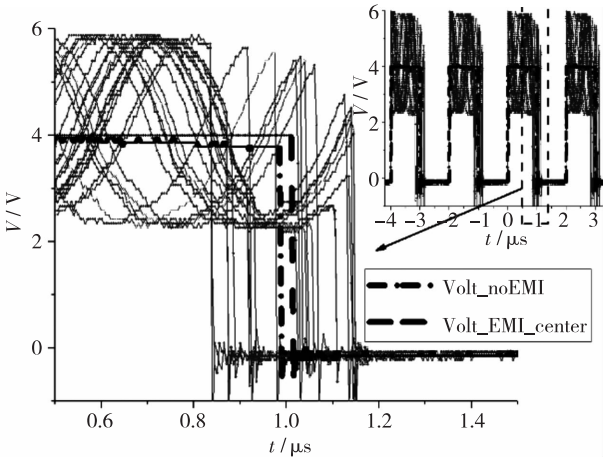


图 11　受测电路输出波形

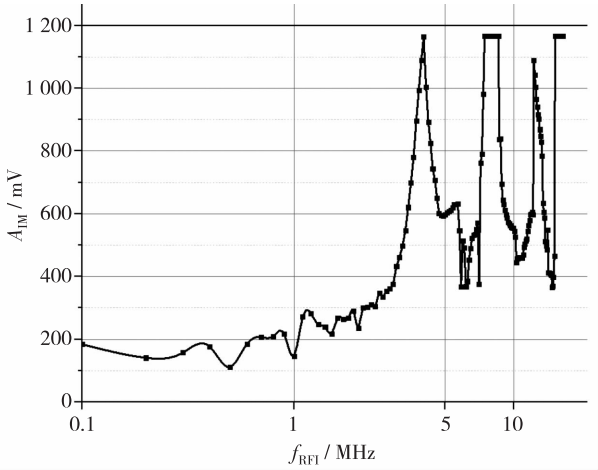
3.2　抗扰度曲线测试

时序失效的测试设计方案如表 2 所示。

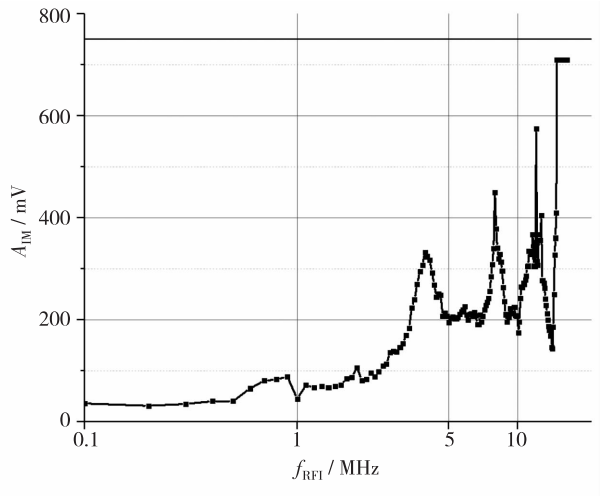
表 2　时序失效的测试设计方案

方案	电源电压/V	时钟路径	数据路径
方案 a	4.0	不受扰	受扰
方案 b	4.0	受扰	受扰
方案 c	5.0	不受扰	受扰

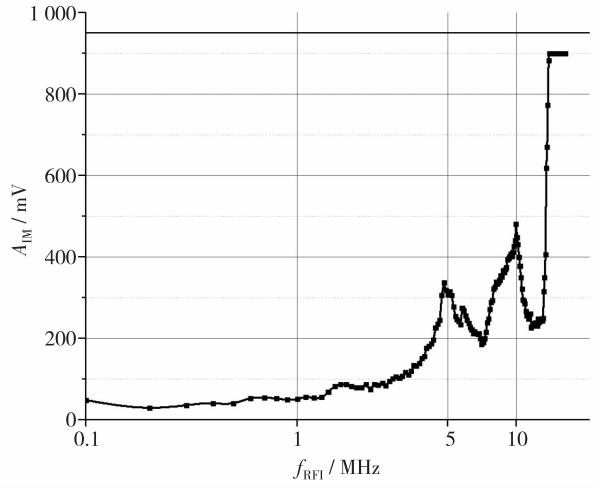
根据表 2，进行一系列测试，记录相应数据，得到实测下各种方案受测电路的抗扰度曲线，如图 12 所示。



(a) 方案 a



(b) 方案 b



(c) 方案 c

图 12 实测下各种方案受测电路的抗扰性曲线

可以看出，实测结果与仿真结果趋势一致，抗扰度随着干扰频率的增加而呈波动上升的趋势。从图 12(a)可以看出，存在 1 MHz 以下的稳定低抗扰度区、1 MHz～13 MHz 的过渡区和 13 MHz 以上的稳定高抗扰度区。从图 12(b)和图 12(c)中也可以看出，存在稳定低抗扰度区、过渡区和稳定高抗扰度区。

实测结果与预期相符，源端干扰通过漂移和抖动现象使电路时序失效。

4 结 论

电源端射频干扰引起 CMOS 电路失效的主要原因是时序错误。源端射频干扰引起电路路径延时的抖动和漂移，导致电路时序违例。漂移和抖动与电磁干扰的幅度和频率存在特定关系，因此，时序失效是可以预测的。在低干扰频段，抖动效应占主导地位，在高干扰频段，漂移效应大于抖动效应。因此，电路的抗扰性曲线可分为稳定低抗扰度区、过渡区、稳定高抗扰度区。当电路时间裕度较大，漂移效应不足以引起时序违例时，逻辑错误成为电路失效的主要原因。

参 考 文 献：

[1] ALKALAY J, WEINER D. Performance degradation of a 7400 TTL Nand gate due to sinusoidal interference [C] // IEEE Int Symp Electromagn Compatib. Baltimore, MD, USA, 1980.

[2] CHAPPEL J F. The effects of low-level EMI on digital circuits [D]. Toronto: University of Toronto, 1992.

[3] LAURIN J J, ZAKY S G, BALMAIN K G. EMI-induced failures in crystal oscillators [J]. IEEE Trans Electromagn Compatib, 1991, 33(4): 334-342.

[4] WALLACE R E, ZAKY S G, BALMAIN K G. Fast-transient susceptibility of a D-type flip-flop [J]. IEEE Trans Electromagn Compatib, 1995, 37(1): 75-80.

[5] IEC62433-2:2017 EMC IC modelling - Part 2: models of integrated circuits for EMI behavioural simulation - conducted emissions modelling (ICEM-CE) [S]. 2017.

[6] SHI H, LIU G P, LIU A, et al. Simultaneous switching noise in FPGA and structure ASIC devices, methodologies for analysis, modeling, and validation [C] // Elec Compon & Tech Conf. San Diego, CA, USA. 2006.

[7] LABUSSIERE-DORGAN C, BENDHIA S, SICARD E, et al. Modeling the electromagnetic emission of a microcontroller using a single model [J]. IEEE Trans Electromagn Compatib, 2008, 50(1): 22-34.

[8] 曾艳飞. 鱼骨型时钟结构的研究与实现 [D]. 长沙：国防科学技术大学，2015.

[9] SU T, LI F, LIAN Z Y, et al. Frequency shift of ring oscillators due to radio frequency interference on the supply [J]. IEEE Trans Electromagn Compatib, 2015, 57(6): 1365-1373.

MEMS 悬臂梁的静态力学模型研究

谢嘉诚，左　文，张聪淳，王德波
（南京邮电大学 电子与光学工程学院、微电子学院，南京 210023）

摘　要： 研究分析了 MEMS 悬臂梁的静态力学特性。对比分析了集总式静力学模型和枢纽式静力学模型。对于集总式静力学模型，将 MEMS 悬臂梁的下拉位移假设为处处相等的普通电容极板，得到悬臂梁下拉位移和下拉电压。对于枢纽式静力学模型，将 MEMS 悬臂梁假设为下拉位移处处不等的转轴，通过寻找悬臂梁在下拉过程中的等效受力点，得到下拉位移和下拉电压。比较了两种模型的静电力学下拉位移与下拉电压的相对误差。结果表明，集总式静力学模型的误差为 20.5%，枢纽式静力学模型的误差仅有 5.3%。这表明，枢纽式静力学模型的特性优于集总式静力学模型。

关键词： MEMS；悬臂梁；力学模型；枢纽式模型
中图分类号：TP212　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0543-05
DOI：10.13911/j.cnki.1004-3365.190561

Study on Static Mechanical Model of MEMS Cantilever Beam

XIE Jiacheng, ZUO Wen, ZHANG Congchun, WANG Debo
(*College of Elec. and Optical Engineer. & College of Microelec., Nanjing Univ. of Posts and Telecommun., Nanjing* 210023, *P. R. China*)

Abstract: The static mechanical characteristics of the MEMS cantilever was studied and analyzed. The lumped static model and the pivotal static model were compared. For the lumped static model, the pull-in displacement of the MEMS cantilever beam was assumed to be equal everywhere as a common capacitive electrode plate, and the pull-in displacement and the pull-in voltage of cantilever beam were obtained. For the pivotal static model, the MEMS cantilever beam was assumed to be a rotating shaft with unequal pull-in displacements. With the equivalent stress point of the cantilever beam during the pull-in process, the pull-in displacement and the pull-in voltage were obtained. The relative errors of the pull-in displacement and the pull-in voltage were compared for the two models. The results showed that the error of the lumped static model was 20.5%, and the error of the pivotal static model was only 5.3%. This showed that the characteristics of the pivotal static model were better than that of the lumped static model.

Key words: MEMS; cantilever beam; mechanical model; pivot model

0　引　言

微机电系统（MEMS）中的悬臂梁结构在微机电系统中发挥着重要的作用。下拉位移是悬臂梁的重要研究对象[1-3]。为了研究下拉位移与电压、电容的变化关系，梁的受力等参数已经建立了许多模型。L. J. Fernandez 等人首先建立了基于悬

收稿日期：2019-09-25；**定稿日期：**2019-10-14
基金项目：国家青年自然科学基金资助项目（61704086）；中国博士后科学基金资助项目（2017M621692）；江苏省博士后基金资助项目（1701131B）；南京邮电大学国自基金孵化资助项目（NY215139，NY217039）；南京大学近代声学教育部重点实验室开放课题资助项目（1704）
作者简介：谢嘉诚（1999—），男（汉族），湖南永州人，本科生，研究方向为悬臂梁的静力学模型。
王德波（1983—），男（汉族），山东新泰人，副教授，研究方向为悬臂梁的静力学模型。通信作者，E-mail：wdb@njupt.edu.cn。

臂梁的电容式微波功率检测结构[4]，通过测试悬臂梁偏移导致的电容改变量，实现了对下拉电压的检测。贾建援等人建立了一种简化的物理模型，研究了梁绕度对微梁失稳临界电压的影响[5]。曹天捷等人建立了一种开关梁的静力变形分析模型，以分析梁的受力情况[6]。孙冬明等人建立了一种扭臂结构模型，分析了动力学特性[7]。刘肖等人设计了一种曲臂折合结构，对力电耦合进行仿真模拟[8]。方玉明等人建立了一种平行平板式模型，即集总式模型，研究了 Pull_in 失稳问题[9]。王德波等人利用一维集总式模型，分析了梁的吸合电压，研究了 MEMS 悬臂梁的位移与电容的变化关系[10]。张焕卿等人研究了一维集总式模型的静力学特性[11]，研究了 MEMS 梁与下拉极板的间距改变对系统匹配特性的影响。

目前，对 MEMS 悬臂梁弯曲的静力学特性研究有两种模型。一种是简单、易分析的集总式模型，该模型忽略了下拉导致的角度偏移和梁臂弯曲，另一种是计算复杂、精准的枢纽式模型，该模型考虑了梁的弯曲形变和下拉导致的角度偏移。悬臂梁的下拉是由静电力、弹簧回复力、轴向应力、残余应力、范斯卡尔力等多种不同性质的力在悬臂梁上共同起作用的结果。为了得到简单易分析的模型，本文针对静电力、弹簧回复力这两种最主要的力进行建模，并对枢纽式模型与集总式模型两者的下拉位移对吸合电压的影响进行对比分析，测量出两种模型的相对精准度。

1 传统集总式静力学模型

MEMS 悬臂梁的一维集总式静力学模型如图 1 所示[10]。

当施加直流电压时，下拉基板会产生静电力 F_e 和弹性回复力 F_s。当悬臂梁保持稳态时，悬臂梁的位移达到最大，记为下拉位移 δ_{pull_in}。此时，F_e 与 F_s 大小相等，即：

$$F_e=\frac{1}{2}\frac{\varepsilon_0 wL}{(g_0-\delta_{pull\_in})^2}V^2 \tag{1}$$

$$F_s=F_e=k\delta_{pull\_in} \tag{2}$$

式中，k 为悬臂梁的弹性系数，g_0 为梁的初始间隙，ε_0 为空气的介电常数，w 为悬臂梁宽度，δ 为开关梁的位移。

当悬臂梁达到稳态临界点时，F_e 与 F_s 随 x 的变化率相等，将 F_e 与 F_s 分别对 δ 求导，得：

$$\delta_{pull\_in}=\frac{g_0}{3} \tag{3}$$

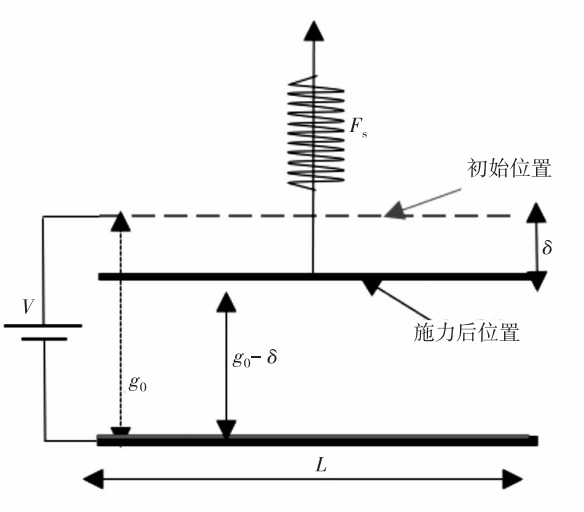


图 1 MEMS 悬臂梁的集总式静力学模型

将式(3)代入式(2)，可求出悬臂梁在下拉过程中的吸合电压 V_{pull_in}：

$$V_{pull\_in}=\sqrt{\frac{8kg_0^3}{27\varepsilon_0 wL}} \tag{4}$$

由式(4)可知，悬臂梁稳态下拉电压与初始间距、悬臂梁的宽度、下拉电极长度密切相关。在实际工艺中，悬臂梁的宽度一般小于下拉电极的长度，通常为几十 μm，而下拉电极的长度可达上百 μm。基于此，下拉电极的长度相比于悬臂梁的宽度对下拉电压的影响更明显。规定宽度 w 不变，通过 Matlab 软件，得到集总式静力学模型中下拉电压与初始间距、下拉电极长度的三维关系，如图 2 所示。

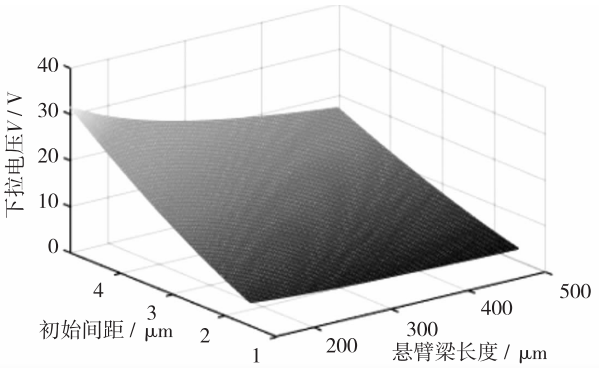


图 2 集总式静力学模型中下拉电压与初始间距、下拉电极长度的三维关系

从图 2 可知，下拉电压与初始间距呈正相关，下拉电压与下拉电极长度呈反相关，这是静电力与弹簧恢复力综合作用的结果。

当达到最大下拉位移 $\delta_{pull\text{-}in}$ 时，得到下拉电压 $V_{pull\text{-}in}$，再根据式(1)、式(2)，可得到悬臂梁的位移与

下拉电压的关系：

$$\delta_{\text{pull\_in}}=\frac{1}{2k}\frac{\varepsilon_0 A}{(g_0-\delta_{\text{pull\_in}})^2}V_{\text{pull\_in}}^2 \tag{5}$$

采用有限元软件 Ansys 仿真，得到悬臂梁的位移随电压的变化关系，如图 3 所示。可以看出，悬臂梁达到稳定状态时，下拉位移与下拉电压呈抛物线关系。

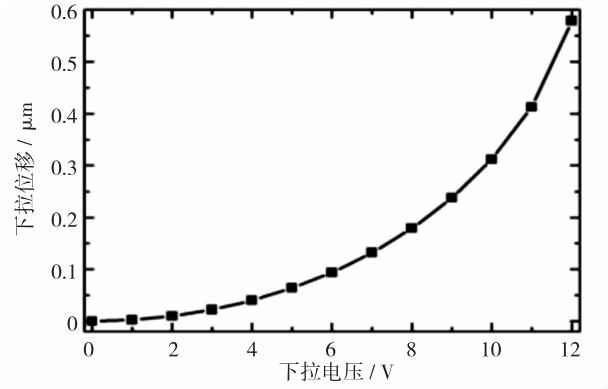


图 3　悬臂梁的位移随电压的变化关系

对于受静电力驱动的 MEMS 悬臂梁，有两个刚性约束条件：固定端的偏转角度严格为零，固定端的位移严格为零。但是，在传统集总式静力学模型中，可看作整个悬臂梁沿着竖直方向上下移动，运动情况如图 4 所示。

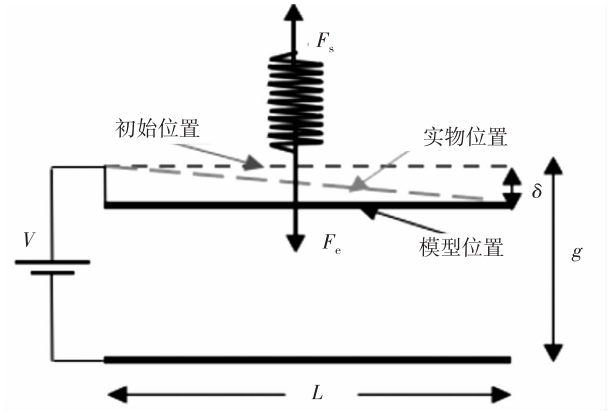


图 4　集总式模型悬臂梁的运动情况

由图 4 可知，在集总式静力学模型中，悬臂梁的水平方向位移是处处相等的，且不为零，这与梁的实际下拉情况明显不符，这就为下拉位移和下拉电压的理论解析解引入了误差。

传统集总式静力学模型仅对悬臂梁固定端的偏转角度为零这一条件进行了严格约束，而忽略了固定端的下拉位移同样应严格为零这一更重要的约束条件。为此，本文提出了枢纽式静力学模型。

2　枢纽式静力学模型

为了确定 MEMS 悬臂梁的下拉电压 $V_{\text{pull\_in}}(n,\delta)$，需要精确求解下拉过程中悬臂梁等效受力点的具体位置。在提出的枢纽式静力学模型中，通过系统总的静电力力矩来求解悬臂梁的等效受力点。引入静电力力矩，枢纽式静力学模型如图 5 所示。

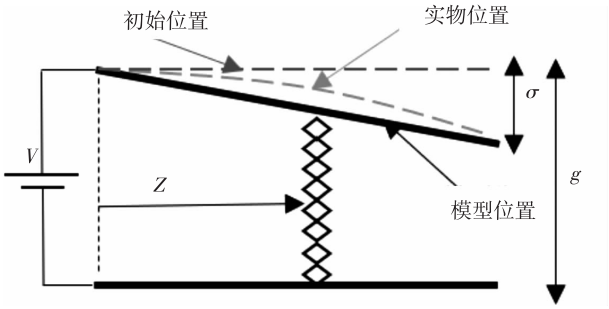


图 5　枢纽式静力学模型

悬臂梁沿着水平方向上单位长度 $\mathrm{d}x$ 所引起的电容改变量 $\mathrm{d}C$ 为：

$$\mathrm{d}C=\frac{\varepsilon_0 w_1 L}{gL-\delta x}\mathrm{d}x \tag{6}$$

式中，g 为初始间距，L 为悬臂梁的长度，w_1 为悬臂梁的宽度。悬臂梁水平方向上单位长度 $\mathrm{d}x$ 所对应的静电力改变量 $\mathrm{d}F_e$ 为：

$$\mathrm{d}F_e=\frac{1}{2}\frac{\mathrm{d}(\mathrm{d}C)}{\mathrm{d}\delta}V^2=-\frac{1}{2}\frac{\mathrm{d}}{\mathrm{d}\delta}\left(\frac{\varepsilon_0 w_1 L\mathrm{d}x}{gL-\delta x}\right)V^2=\frac{\varepsilon_0 w_1 L V^2}{2}\frac{x\mathrm{d}x}{(gL-\delta x)^2} \tag{7}$$

在 $0\sim L$ 范围内，对 $\mathrm{d}F_e$ 作定积分，可得 F_e：

$$F_e=\frac{\varepsilon_0 w_1 L V^2}{2}\left[\frac{1}{\delta(\delta-g)}+\frac{1}{\delta^2}\ln\left(\frac{g-\delta}{g}\right)\right] \tag{8}$$

依据微机械力学中的小角度偏转理论，将悬臂梁上单位长度的静电力 $\mathrm{d}F_e$ 乘以该点至枢纽点的距离（即系统中单位长度静电力的力臂 x_e），可得单位长度静电力的力矩 $\mathrm{d}M_e$：

$$\mathrm{d}M_e=\mathrm{d}F_e x_e=\frac{\varepsilon_0 w_1 L V^2}{2}\frac{x^2\mathrm{d}x}{(gL-\delta x)^2} \tag{9}$$

将 $\mathrm{d}M_e$ 沿着悬臂梁的水平方向进行积分，即可得到整个悬臂梁在下拉过程中受到的静电力力矩臂 M_e：

$$M_e=\frac{\varepsilon_0 w_1 L V^2}{2}\int_{x=0}^{L}\frac{x^2\mathrm{d}x}{(gL-\delta x)^2}=\frac{\varepsilon_0 w_1 L V^2}{2}\times\frac{2g\delta-\delta^2+2g(g-\delta)\ln\left(\frac{g-\delta}{g}\right)}{\delta^3(g-\delta)}L \tag{10}$$

将整个悬臂梁看作一个系统，可得 M_e、F_e、x_e 三者的关系：

$$M_e = F_e x_e \tag{11}$$

联立式(8)、(10)和(11)，得到 x_e：

$$x_e = \frac{2g\delta - \delta^2 + 2g(g-\delta)\ln\left(\frac{g-\delta}{g}\right)}{\delta\left[\delta + (g-\delta)\ln\left(\frac{g-\delta}{g}\right)\right]}L \tag{12}$$

悬臂梁的弹性恢复力与静电力类似，是分布式力。沿用上述方法，可得悬臂梁上弹簧恢复力的等效作用点。依据静力学的小挠度假设，悬臂梁的弹簧恢复力与梁自由端位移的关系式为：

$$F_s = k\delta \tag{13}$$

式中，F_s 为弹簧恢复力。k 为弹簧的弹性系数。k 为：

$$k = \frac{2}{3}Ew_1\left(\frac{t}{L}\right)^3 \tag{14}$$

式中，t 为悬臂梁的厚度，L 为悬臂梁的长度，w_1 为悬臂梁的宽度，E 为杨氏模量。

联立式(8)、式(10)，令 $b=\frac{\delta}{g}$，得：

$$\frac{\varepsilon_0 w_1 L V^2}{2g^2}\left[\frac{1}{b(b-1)} + \frac{1}{b^2}\ln(1-b)\right] = kgb \tag{15}$$

当悬臂梁下拉达到稳态时，静电力 F_e 与弹力 F_s 关于 δ 的变化率是相同的，即对 b 的变化率是相同的。等式(15)的两边同时除以 b，再求导，可得：

$$b = 0.443 \Rightarrow \delta = 0.443g \tag{16}$$

将式(16)代入式(12)，可得 x_e：

$$x_e = 0.73L \tag{17}$$

当悬臂梁达到平衡状态时，静电力引起的力矩与弹簧恢复力引起的力矩大小相等、方向相反。数学关系式为：

$$x_s F_s = 0.73 L F_e \tag{18}$$

式中，x_s 为弹簧恢复力的等效作用点至悬臂梁固定端的距离，经化简，最终表达式为：

$$x_s = 0.62L \tag{19}$$

本文建立的枢纽式静力学模型的最终结果如图6所示。图中，悬臂梁上的静电力、弹性恢复力的等效受力点的位置均精确地标注。在模型建立之初，等效受力点的位置没有被精确解出，无法建立自由端的位移与下拉电压在悬臂梁稳定状态时的数学关系。

联立式(8)～式(11)、式(16)、式(19)，最终得到下拉电压与下拉位移的数学解析式：

$$V = \frac{21}{25}\frac{t\delta}{L^2}\sqrt{\frac{Et\delta}{\varepsilon_0\left(\frac{\delta}{g-\delta}\ln\left(\frac{g-\delta}{g}\right)\right)}} \tag{20}$$

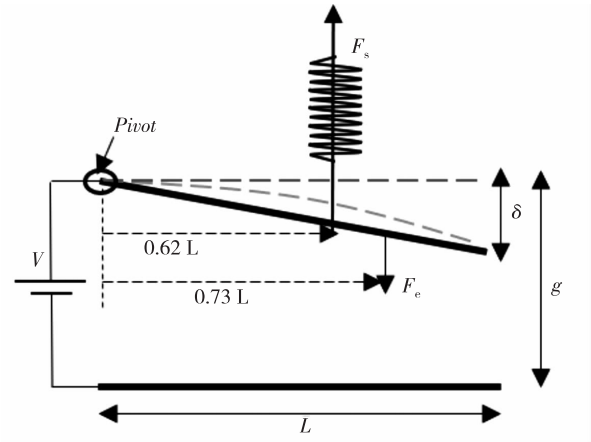


图 6 枢纽式静力学模型的最终结果示意图

将式(14)、式(16)代入式(20)，可得 $V_{\text{pull-in}}$：

$$V_{\text{pull\_in}} = \frac{27}{50}\frac{tg}{L^2}\sqrt{\frac{Etg}{\varepsilon_0}} = \frac{27}{50}\sqrt{\frac{3kg^3}{2\varepsilon_0 w_1 L}} \tag{21}$$

由式(21)可知，枢纽式静力学模型中，下拉电压与悬臂梁厚度、下拉电极长度均密切相关。采用Matlab软件进行仿真，得到枢纽式静力学模型中下拉电压与初始间距、悬臂梁长度的三维关系，如图7所示。

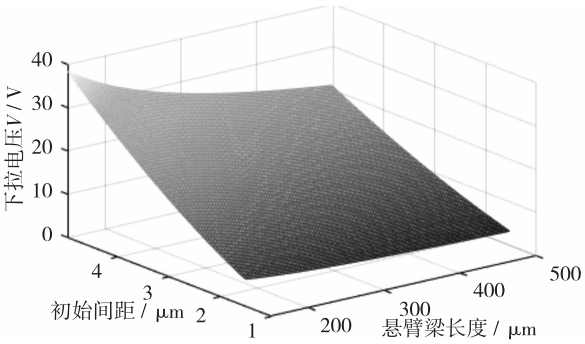


图 7 枢纽式静力学模型中下拉电压与初始间距、悬臂梁长度的三维关系

从图7可知，枢纽式静力学模型与集总式静力学模型的结果类似。下拉电压与初始间距呈正相关，下拉电压与下拉电极长度呈反相关。这同样是静电力和弹簧恢复力综合作用的结果。图7与图2在三维关系上具有相同趋势，只是在不同初始间距和悬臂梁长度组合时，下拉电压的数值有所不同。一方面，这表明枢纽式静力学模型是集总式模型的完善和改进型，另一方面，表明这两种模型互相得到验证，具有较高的可信度。

3　静力学解析模型的仿真对比

基于对 MEMS 悬臂梁的基本静力学原理分析，本文采用了有限元仿真软件 Ansys 对梁长度、下拉位移、下拉电压进行仿真，将集总式模型、枢纽式模型的解析结果与 Ansys 仿真结果进行对比，以验证模型的合理性和科学性。设置悬臂梁的长度为 350 μm，宽度为 50 μm，厚度为 2 μm。

在不同初始间距下，将静力学模型所得的悬臂梁自由端下拉位移与 Ansys 软件仿真所得的结果进行对比，对比情况如图 8 所示。可以看出，初始间距从 1～10 μm 变化时，集总式模型中，下拉位移由 0.33 μm 增加到 3.33 μm。枢纽式模型中，下拉位移由 0.44 μm 增加到 4.43 μm。

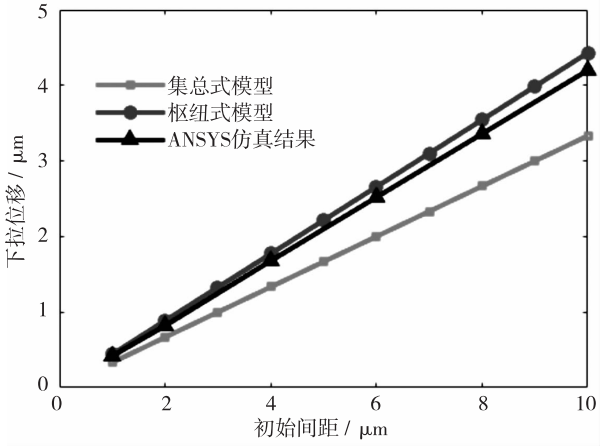


图 8　不同初始间距时下拉位移与仿真结果的对比

在不同悬臂梁长度下，将静力学模型所得的下拉电压与 Ansys 软件仿真所得的结果进行对比，对比情况如图 9 所示。悬臂梁长度从 150～500 μm 变化时，集总式模型中，下拉电压由 22.0 V 变化到 1.9 V。枢纽式模型中，下拉电压由 27.4 V 变化到 2.8 V。

对于图 8、图 9 这两种仿真过程，两种模型的解析结果与 Ansys 仿真结果的相对误差如表 1 所示。

对于图 8 所示过程，在集总式模型中，解析结果的平均相对误差为 20.2%，枢纽式模型中，解析结果的平均相对误差仅为 5.2%。这表明在下拉位移方面，枢纽式静力学模型更具优越性。

对于图 9 所示过程，在集总式模型中，下拉电压解析结果的平均相对误差为 20.7%。在枢纽式模型中，解析结果平均相对误差仅为 5.5%。这表明在下拉电压方面，枢纽式静力学模型更具优越性。

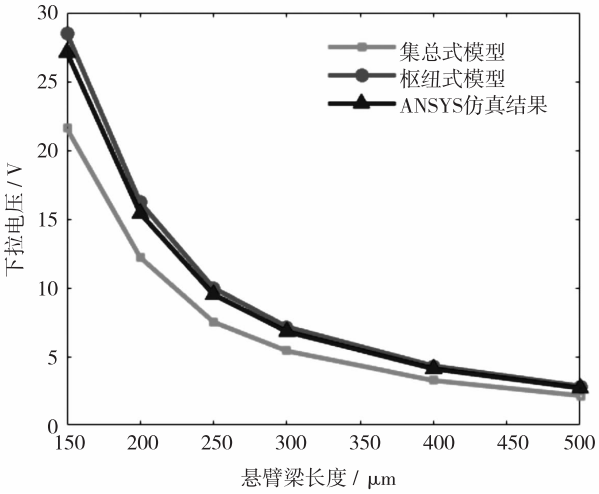


图 9　不同悬臂梁长度时下拉电压与仿真结果的对比

表 1　两种模型的解析结果与 Ansys 仿真结果的相对误差

初始间距/μm	相对误差/%		悬臂梁长度/μm	相对误差/%	
	集总式	枢纽式		集总式	枢纽式
1	20.6	5.63	150	20.1	5.24
2	20.6	5.56	200	20.1	5.22
4	20.6	5.50	250	20.1	5.21
6	20.7	5.48	300	20.2	5.20
8	20.7	5.48	400	20.2	5.20
10	20.7	5.48	500	20.2	5.20
平均值	20.7	5.5	平均值	20.2	5.2

4　结　论

本文研究了 MEMS 悬臂梁的线性模型，即集总式静力学模型和枢纽式静力学模型。结果表明，悬臂梁自由端的下拉位移为零、偏转角度为零的约束条件对模型结果的影响很大。相比集总式静力学模型，枢纽式静力学模型的特性更佳。这对设计高性能在线式 MEMS 微波功率传感器有一定的参考价值。

参 考 文 献：

[1]　DUAN J S, RACH R. A pull-in parameter analysis for the cantilever NEMS actuator model including surface energy, fringing field and Casimir effects [J]. Int J Sol & Struct, 2013, 50(22-23): 3511-3518.

[2]　YI Z X, YAN H, LIAO X P. Modeling of differential power sensor based on seesaw structure for microwave communication application [J]. IEEE Trans Elec Dev, 2017, 64(11): 664-4670.

（下转第 554 页）

·动态与综述·

高密度电子系统的微热控技术研究

李　晖[1]，李左翰[2]，胡少勤[1]，米　佳[1]，毛世平[1]
(1. 中国电子科技集团公司 第二十六研究所，重庆 400060；
2. 中国电子科技集团公司 第二十四研究所，重庆 400060)

摘　要： 在摩尔定律提出之后的 50 年时间里，电子系统的集成度和组装度不断提高，功率和热流密度越来越大，微热管理技术已成为高密度电子系统(包括元器件、芯片、组/部件及系统本身)设计与制造的重要研究目标。文章分析了微热控技术的发展背景，叙述了微通道、微热管和微喷射等三种基本热控系统的典型结构和工作原理。最后，介绍了近年来具有代表性的微热控技术的发展现状和技术成果。

关键词： 电子系统；微热控技术；散热管理；微通道；微热管；微喷射
中图分类号：TN402；TN406　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0548-07
DOI：10.13911/j.cnki.1004-3365.200187

Research on Micro-Thermal Control Technology of High Density Electronic System

LI Hui[1], LI Zuohan[2], HU Shaoqing[1], MI Jia[1], Mao Shiping[1]
(1. *The 26th Research Institute of China Electronics Technology Group Corporation*, *Chongqing* 400060, *P. R. China*;
2. *The 24th Research Institute of China Electronics Technology Group Corporation*, *Chongqing* 400060, *P. R. China*)

Abstract: In the fifty years since Moore's law was proposed, the integration and assembly of electronic systems are constantly improved, and the power consumption and heat flux are increasing. Micro-thermal management technology has been becoming important research target for the design and manufacturing of high-density electronic systems (including components, chips, modules and systems themselves). The development background of micro-thermal control technology was analyzed in this paper. Then, the typical structure and working principle of three basic thermal control systems, such as micro channel, micro heat pipe and micro injection were described. At last, the development status and achievements of micro-thermal control technology in recent years were introduced.

Key words: electronic system; micro-thermal control technology; thermal management; micro channel; micro heat pipe; micro injection

0　引　言

高密度电子系统(包括元器件、芯片、组/部件及系统本身)在工作过程中，因自身功耗而产生热量，当热量积累到一定程度，会对系统的工作状态、性能和寿命造成严重影响，甚至使系统完全失效。热控管理技术通过基于热动力学和热传递的技术，对高密度电子系统的温度和噪声水平进行有效控制，从而改善系统的性能与可靠性。

随着高性能电子系统的高度集成化、微型化，电子器件和系统的组装密度和复杂度越来越高，热量密度问题日益凸显。因此，对系统散热的要求不断提高，传统的热控技术面临挑战。对于高密度电子系统，传统的电子系统散热方式，例如热传导、对流、辐射和相变冷却等，在体积上和散热效率上都存在

收稿日期：2020-03-26；**定稿日期：**2020-04-26
作者简介：李　晖(1969—)，男(汉族)，四川隆昌人，高级工程师，长期从事微声技术与惯性技术的情报研究。

一定的局限性，业界积极寻求新的散热途径与方式。近年来，基于微通道液、微热管和微射流方法的微热控技术逐渐引起了研究者们的重视，并得到了重点研究与开发。

1　微热控技术发展背景

1.1　电子器件与系统的高密度集成

自 1947 年晶体管发明、1958 年集成电路（IC）问世以来，半导体工业沿着摩尔定律（集成电路上可容纳的元器件数目约每隔 18～24 个月增加一倍，电路性能提升一倍）的方向飞速发展[1]。

根据芯片上集成的元件数量，集成电路分为小规模、中规模、大规模、超大规模、特大规模和极大规模集成电路。自 1967 年大规模集成电路出现到 1994 年极大规模集成电路的研制成功，芯片上的元器件数已达一亿以上[2]。

集成度越高，单位面积芯片上的元器件数越多，电子系统的功率越大，自身运行时散发的热量也越来越多。电子器件与系统高密度集成所面临的“热障”问题亟需解决。

1.2　电子器件与系统的高密度组装

在摩尔定律提出之后的 50 年时间里，IC 芯片的集成度不断提高，器件特征尺寸从微米向亚微米级、深亚微米级发展。2015 年发布的国际半导体技术路线图（ITRS）预测，硅 CMOS 管的特征尺寸将在 2021 年止于 5 nm 工艺节点[3]。美国 IEEE 协会于 2017 年接替美国半导体产业协会，对路线图作出更新，新版国际器件与系统路线图（IRDS）预测，非硅 CMOS 管的特征尺寸将在 2024 年止于 3 nm 工艺节点[4]。

为了提高电路集成密度，延续或超越摩尔定律，微电子制造由 2D 向 2.5D/3D 方向发展[5]。通过异质异构集成的 3D 芯片堆叠的封装方式已成为发展趋势之一。采用 3D 堆叠的方式，3D 集成电路可以将不同材料、不同尺寸芯片的元器件、微机电系统（MEMS）、传感器、射频单元、存储器和处理器等模块组装在一个系统内，组装密度更大，集成度更高。日本东北大学团队研制的一种典型的 3D 超级芯片组装结构如图 1 所示[6]。

电子器件和系统的高密度集成与组装使得系统功率密度急剧增大，导致更严重的散热问题。这是限制 3D 电子系统发展的瓶颈问题。

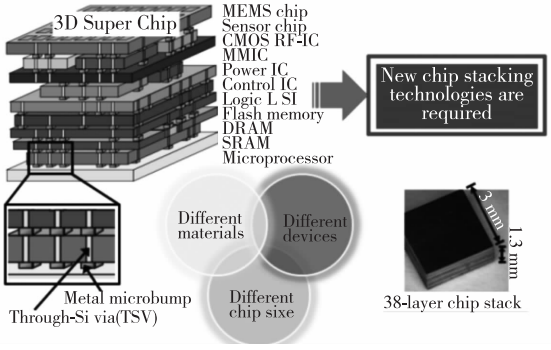


图 1　3D 超级芯片组装结构[6]

电子产品的温度每上升 10 ℃，可靠性会降低 50%，故障率会增大约 2 倍。当温度从 75 ℃升高到 125 ℃，可靠度会降低 80%[7]。硅半导体在结温超过 175 ℃时可能会损坏。因此，温度过高会降低电子设备的性能和增加失效率。

在 3D 集成系统中，需要堆叠多层芯片，相较于 2D 设计，散热面积更少，芯片间和芯片内空间更小，散热问题更严重。因此，需要探索新的微热管理技术，以解决散热问题。

1.3　微尺度传热学的兴起

近几十年来，自然科学及工程技术的发展趋势是微型化。1980 年代的高密度微电子器件和 1990 年代的微机电系统的出现，使得电子器件与系统的尺度进入到微/纳米级。当空间和时间的尺度进入更微细量级后，会出现许多与常规尺度不同的物理现象。

在微尺度下，物质的热物性和工质临界状态下的分子聚合性，因特征尺度与载热体（分子、电子、声子、光子等）的平均自由程处于同一量级甚至更低，而使得导热的傅里叶定律和流动的纳维-斯托克斯方程已不再适用[8]。从 1990 年代起，关于热现象的研究逐步从宏观研究转为微观研究，促使微尺度传热学这一学科出现，并逐渐形成[9-10]。

微尺度传热学的兴起和发展有助于优化高热流密度散热技术和微芯片冷却技术，为高密度集成、高密度组装的电子系统的微热管理技术发展奠定了基础。

2　微热管理技术的工作原理

微热管理技术是基于微尺度传热学的热控制技术，通过微热分析、微热设计、微散热结构与装置，确保各种高密度组装电子器件与系统在各种运行状态下的温度处于要求范围内。

微热管理技术涉及的传热空间尺度极限为微米或纳米级，涉及的时间尺度极限为微秒至纳秒（例如，时间维度上的快速/超快加热与冷却）。这里的“微”不是指某一特定尺度，是个相对概念。何种尺度被称为“微细”，视具体物理现象而定[11]。

1981 年，B. Tuckerman 和 R. F. W. Pease 提出了微通道散热器的基本概念[12]。在此理论基础之上，研究人员相继对电子器件封装和微热控技术开展了一些基础研究[13-15]。针对高密度电子系统的微热控技术，报道较多的热控方式有微通道冷却、微热管散热和微射流冷却等[16-17]。

2.1　微通道冷却技术

所谓微通道，是指流体通道的水力直径从几微米到几百微米的通道。微通道冷却技术的工作原理为：通过微泵来驱动液体，在压力差的作用下，液体流动，并与发热器件进行热交换；液体吸收热量后发生相变，形成气体；最后，通过冷凝器再次进行热交换，散发热量，将气体相变为液体，达到冷却电子芯片的作用[18-19]。在相同面积的芯片上，微通道冷却技术能使通道的尺寸更小、数量更多、总面积更大、单位时间内换热量更多，是被广泛应用的强冷却换热方式。

2.2　微热管散热技术

1984 年，T. P. Cotter 提出了“微型热管”的概念[20]。随后，对微热管散热技术有了大量的理论和实验研究，逐步开发出诸如圆管型、平板型、平板阵列型等微型热管结构。

微热管散热技术的工作原理为：当高密度电子器件或系统产生的热量从蒸发区输入时，蒸发区内的工质液体吸收热量后发生相变，由液态转变为汽态；通过蒸气微道进行快速对流，蒸汽流经冷凝区，再次发生相变，释放热量，转变回液态；最后，液体借助微吸液芯的毛细力作用，流回蒸发区。如此反复循环，不断散热[21-22]。

微热管散热技术具有温差小、传热量大、不需泵送传热介质等特点，能较好地满足各种小面积、高热流密度电子器件与系统的散热要求。

2.3　微射流冷却技术

微射流冷却技术始于 1970 年代，当时的冷却方式为气体射流冷却[23]。这种冷却技术的传热能力难于满足高密度组装、高热流密度电子器件与系统的散热要求。在 1980 年代后，逐步以液体作为冷却工质进行散热[24-25]。

微射流冷却技术的工作原理为：液体从一狭小区域喷射到工作腔内，通过喷嘴/孔将液体雾化后，喷向需要冷却的电子器件或芯片（芯片上通常涂一层绝缘薄膜），液体在热源上蒸发汽化，带走热量。

在射流冲击的过程中，流体借助特定形状的喷嘴直接喷射到电子器件或芯片的冷却壁面，具有极高的传热系数。因此，微射流冷却技术是一种高传热率的冷却方式。

3　微热管理技术的典型结构

3.1　采用低成本热 TSV 的 3D-IC 散热系统

三维集成电路（3D-IC）的冷却方案目前有两种，即散热器优化法和内部热分布优化法[26]。两种方案均是增强既定散热器的散热性能，如配置风扇或微通道。但是，风扇和微通道的冷却方案通常成本很高，微通道的置入还会给硅通孔（TSV）的形成造成障碍。

低成本热 TSV 的 3D-IC 散热系统通常在 3D 芯片间空白区设置热 TSV、金属片和热保护环，以增强 3D 芯片间的级间散热，有效降低底层、中间层的芯片温度[27]。采用热 TSV 的 3D-IC 散热结构如图 2 所示。这种结构设置的金属片和热保护环是为了保证热量能够有效传向热 TSV。通过实际的 3D-IC 散热试验证实，采用这种微热控技术后，各芯片层的平均温度下降了 25.10%。

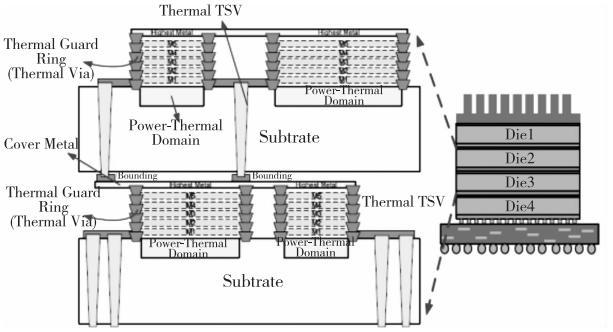


图 2　采用热 TSV 的 3D-IC 散热系统

3.2　芯片内/芯片间增强冷却的散热系统

芯片内/芯片间增强冷却（ICECool）散热系统是由美国国防部先期计划研究局（DARPA）提出的，结构如图 3 所示[28]。工作原理是：首先将微通道直接嵌入芯片内部或 3D 芯片堆叠封装体中，接着将非导电性冷却液体注入到芯片内部，通过从液体相变为气态的方式带走热量，最后，重新冷凝，将热量排放到周围环境。重复上述步骤，反复循环。

该系统的优点是将微热管理技术集成到芯片布

局布线、衬底结构和封装设计中去，不仅缩小了片上冷却芯片的尺寸，还增强了系统的整体电学性能。该系统可与任何电子器件相连。

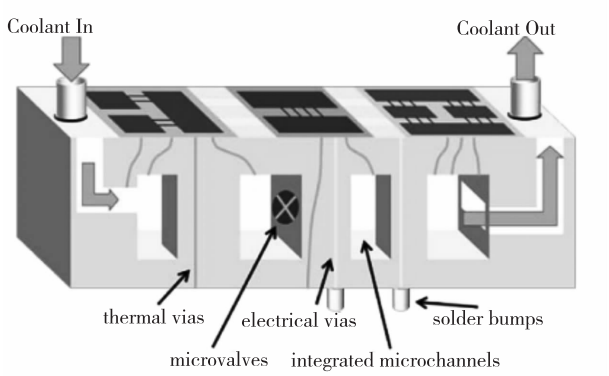
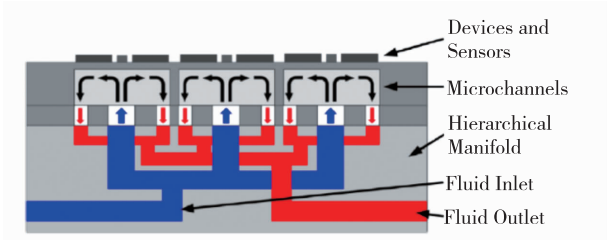


图 3　ICECool 散热系统

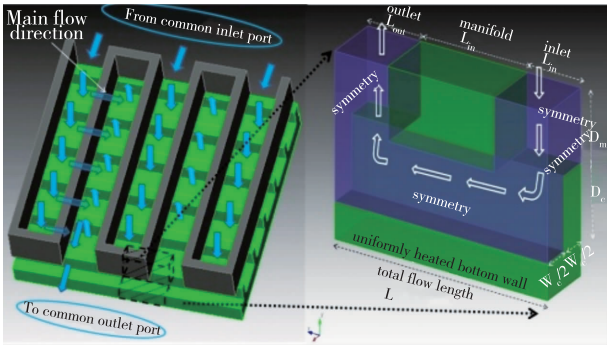
2016 年，在 ICECool 项目的支持下，洛克希德·马丁公司开发出内嵌式芯片级微通道冷却片[29]，芯片的厚、长、宽分别为 250 μm、5 mm 和 2.5 mm，片内所含的冷却水量不足 1 滴。与威讯联合半导体公司合作后，将冷却片用于冷却高功率 GaAs、GaN RF 放大器，RF 放大器的功率提高了 6 倍，平均散热能力达到 1 kW/cm²，多个局部热点的散热能力达到 30 kW/cm²。

3.3　嵌入 3D 堆叠芯片内部的微冷却系统

美国普渡大学开发了嵌入式微通道冷却系统，实现了极高的散热效果，剖面结构和工作方式分别如图 4(a)、图 4(b)所示[30-31]。



(a) 剖面结构



(b) 工作方式

图 4　嵌入式微通道冷却系统

工作原理是：直接在芯片硅衬底上，刻蚀出 15 μm 宽、300 μm 深的微通道，利用多级歧管，向微通道中均匀注入液体冷却剂；液体冷却剂的通道嵌入芯片堆栈内，直接参与芯片热流循环，液体冷却剂以沸腾形式带走热量，实现冷却。冷却剂为电绝缘流体，不会引起电子设备的短路。这种在芯片衬底上刻蚀微通道的方式，既减少了因接触、导电电阻引起的寄生热阻，还将芯片表面分割成具有高纵横比微通道的多个较小的散热元件，确保了液体冷却剂的有效流动长度。

该新型冷却系统应用于高性能雷达、高功率电子和超级计算机，能够应对 1 kW/cm² 热量的芯片，散热性能提高了 10 倍以上。

3.4　芯片级热接地平面(TGP)冷却系统

微热管型冷却系统在汽-液界面相变过程中，会因毛细管力的不稳定，造成汽-液界面振荡、气泡反流和冷却剂干涸等问题，严重影响散热效果[32-34]。

美国加洲大学伯克利分校的研究团队利用微机电系统(MEMS)技术研发了一种芯片级 TGP 微冷却系统，如图 5 所示。该冷却系统为分层式 TGP 结构，包括蒸发层、吸液层和储存液层[35]。

冷却系统的中间层采用了纳米线和柱状微孔阵列构成的相干硅液芯，在储液腔处采用了微锥形液体通道，有效解决了汽-液界面振荡、气泡反流和冷却剂干涸等问题[36]，提高了芯片的散热效果。

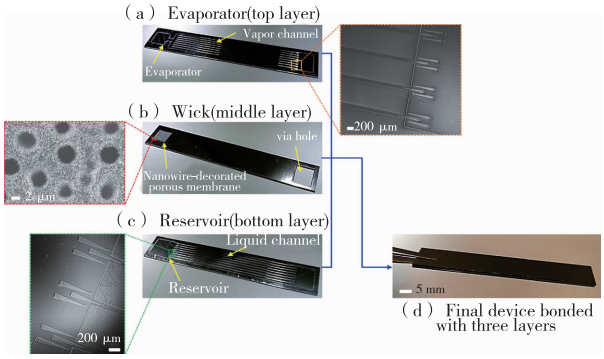


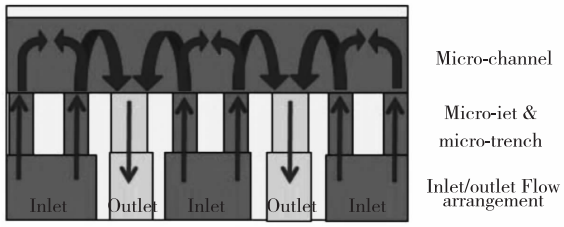
图 5　芯片级 TGP 微冷却系统

3.5　采用微喷阵列的封装级冷却系统

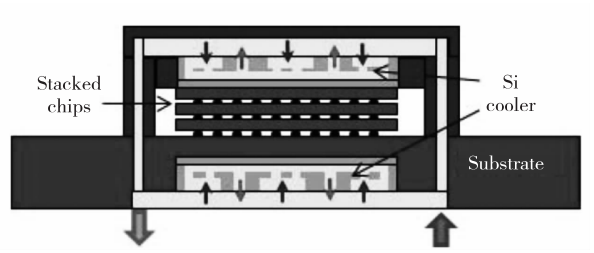
采用微喷阵列的微冷却系统通过液体直接喷射与冲击的方式来进行散热，它具有很高的传热系数。近年来，这种散热方式对于实现 3D 集成电子系统的有效散热，特别是在维持系统密集区域的正常工作温度和防止其温度梯度变化方面，取得较大进展[37-41]。

新加坡微电子学研究所团队设计了一种微喷阵

列的封装级硅基冷却系统。冷却结构和采用两个冷却装置的应用结构分别如图 6(a)、图 6(b)所示[42]。冷却系统由微作用腔、微喷孔/微槽道阵列和液体输入/输出端构成。工作原理是：通过微喷孔将冷却液体直接喷射到芯片表面，芯片被无数微细的液流直接冷却，再通过微槽道迅速将液体回收。这是一个完全封闭的增强冷却系统，喷射液体不会对芯片上的电子元件造成破坏。



(a) 冷却结构



(b) 采用两个冷却装置的应用结构

图 6 微喷阵列的封装级冷却系统

图 6(b)所示的应用结构采用了两个图 6(a)所示的冷却装置。顶部冷却器直接与顶部芯片连接，底部冷却器嵌入底部基板内部。整个冷却系统的液体流量为 400 mL/min，流体压力为 7 kPa，单个冷却系统的导热系数达 6.71×10^4 $W\cdot m^{-2}\cdot K^{-1}$，整个系统的散热能力大幅增强。

3.6 内嵌微流道的硅中介层冷却技术

芯片外的信号传输和芯片内的温度冷却是未来高性能计算系统面临的两大挑战[42-43]。美国乔治亚理工学院团队研发了一种内嵌微流道的硅中介层冷却系统[44]，良好地兼顾了这两方面的问题。硅中介层冷却系统如图 7 所示[45]。

如图所示，该中介层内嵌微流通道，冷却液通过硅基板中的微通道流向制备有微凸头和微孔的热沉，带走热量后，再从另一端口流出。

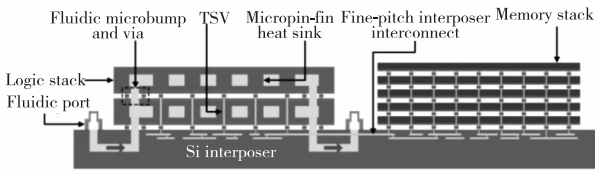


图 7 硅中介层冷却系统

硅中介层的尺寸为 2 μm×6 μm×6 cm。采用了内嵌式微流道冷却技术，每层堆叠芯片得到均等冷却，实现了单个信道高达 10 Gbit/s 的数据传输率。这种载板还能与逻辑电路、存储器、MEMS 和光电子器件异质集成。

4 结束语

微热管理技术是基于微电子和微电子机械系统的微细尺度热控技术，是当前、未来高密度电子器件与系统散热的研究与发展的新方向。微通道散热系统是近年来先进制造、电子、热和微结构等领域的前沿交叉和研究热点，有着重大的学术意义和技术应用前景，对电子信息制造、航空航天等领域的发展有着重要的推动作用。积极开展研究微通道散热技术的两大核心问题，即微通道的传热机理研究和微通道传热系统的制造与应用研究，将是微热管理技术未来的重点研究方向。

参 考 文 献：

[1] MOORE G E. Cramming more components onto integrated circuits [J]. Electronics, 1965, 38(8): 114-117.

[2] 陈贵灿，张瑞智，程军，等. 大规模集成电路设计[M]. 北京：高等教育出版社，2005.

[3] 2015 International technology roadmap for semiconductors [Z]. Semiconductor Industry Association, 2015.

[4] 2016 International roadmap for devices and systems [Z]. IEEE, 2017.

[5] 崔凯，王从香，胡永芳. 射频微系统 2.5D/3D 封装技术发展与应用 [J]. 电子机械工程，2016，32(6)：1-6

[6] MITSUMASA K. Heterogeneous 3D integration technology enabler toward future super-chip [C] // IEEE IEDM. Washington D C, USA. 2013: 9-11.

[7] TUMMALA R R. Fundamentals of microsystems packaging [M]. New York: McGraw Hill, 2001.

[8] ZENG Y G, ZHI X L. Size effect on microscale single-phase flow and heat transfer [J]. Int J Heat & Mass Transfer, 2003, 46 (1): 149-159.

[9] TANASAWA I, NISHIO S. Molecular and microscale heat transfer in materials processing and other applications [C] // ICHMT Symp. Yokohama, Japan. 1996: 902-908.

[10] SCUDELLER Y. Eurotherm seminar No. 58: thermal management of electronic systems [J]. Int J Heat

Mass Transfer，1997，40(12)：3003-3008.

[11] 马哲树，姚寿广，明晓. 微细尺度传热学及其研究进展[J]. 自然杂志，2003，25(2)：76-79.

[12] TUCKERMAN B，PEASE R F W. High-performance heat sink for VLSI [J]. IEEE Elec Dev Lett，1981，2(5)：126-129.

[13] BERNHARDT A F，BARFKECHT A T，CONTOLINI R J，et al. Multichip packaging for very-high-speed digital systems [J]. Appl Surface Sci，1990，46(1)：121-130

[14] MUNDINGER D，BEACH R，BENETT W，et al. Demonstration of high-performance silicon microchannel heat exchangers for laser diode array cooling [J]. Appl Phys Lett，1988，53(12)：1030-1032.

[15] MAHALINGAM M. Thermal management in semiconductor device packaging [J]. Proceed IEEE，1985，73(9)：1396-1404.

[16] BAR-COHEN A，ARIK M，OHADI M. Direct liquid cooling of high flux micro and nano electronic components [J]. Proceed IEEE，2006，94(8)：1549-1570.

[17] BRUNSCHWILER T，ROTHUIZEN H，PAREDES S，et al. Hotspot-adapted cold plates to maximize system efficiency [C] // 15th Thermal Investigat ICs & Syst. Leuven，Belgium. 2009：150-156.

[18] FAN X，ZENG G，LABOUNTY C，et al. SiGeC/Si superlattice micro-coolers [J]. Appl Phys Lett，2001，78(11)：1580-1600.

[19] THOME J R. Boiling in microchannels：a review of experiment and theory [J]. Int J Heat & Fluid Flow，2004，25(2)：128-139.

[20] COTTER T P. Principles and prospects for micro heat pipes [C] //5th Int Heat Pipe Conf. Tsukuba，Japan. 1984：328-335.

[21] 陳育堂，蔡聲鴻，謝宏榮. 奈米流體於複合式熱管之性能測試與分析 [J]. J China Univ Sci & Technol，2013，54(1)：15-27.

[22] 金志浩，李昊东，于强. 新型沟槽式平板微热管的设计和研究 [J]. 民营科技，2016(7)：7-11.

[23] OKTAY S，DESSAUER B，HORVATH J L. New internal and external cooling enhancements for the air-cooled IBM 4381 module [C] // IEEE Int Conf Comput Des：VLSI Comput. Port Chester，NY，USA. 1983：304-311.

[24] YAMAMOTO H，UDAGAWA Y，SUZUKI M. Cooling system for FACOM M-780 large-scale computer [C] // Proc Int Symp Cooling Technol Elec Equipm. Honolulu，HI，USA. 1987：96-109.

[25] LELAND J E，PONNAPPAN R，KLASING K S. Experimental investigation of an air microjet array impingement cooling device [J]. J Thermophys & Heat Transfer，2002，16(2)：187-192.

[26] DONG J，ZHANG Y. Thermal via planning for 3-D ICs [C] // IEEE/ACM Int Conf Comput Aided Des. San Jose，CA，USA. 2005：745-752.

[27] HUANG P T，CHIANG T T，CHIUEH H，et al. Thermal control mechanism with in-situ temperature sensor for TSV 3D-ICs [C] // 17th Int Workshop Thermal Investigat ICs & Syst. Paris，France. 2011：1-6.

[28] BAR-COHEN A，MAURER J J，FELBINGER J G. DARPA's intra/interchip enhanced cooling (ICECool) program [C] // CS MANTECH Conf. New Orleans，LA，USA. 2013：171-174.

[29] MORRA J. Cooled with water droplets：amplifiers emit powerful signals [EB/OL]. https://www.mwrf.com/technologies/semiconductors/article/21846845/cooled-with-water-droplets-amplifiers-emit-powerful-signals，2016.

[30] GARIMELLA S V. "Intrachip" micro-cooling system for high-performance electronics [EB/OL]. https://powerpulse.net/intrachip-micro-cooling-system-for-high-performance-electronics，2017.

[31] DRUMMOND K P，BACK D，SINANIS M D，et al. Characterization of hierarchical manifold microchannel heat sink arrays under simultaneous background and hotspot heating conditions [J]. Int J Heat & Mass Transfer，2018，126(11)：1289-1301.

[32] CHEN Y，GROLL M，MERTZ R. et al. Steady-state and transient performance of a miniature loop heat pipe [J]. Int J Thermal Sci，2006，45(11)：1084-1090.

[33] HAMDAN M，CYTRYNOWEICZ D，MEDIS P，et al. Loop heat pipe (LHP) development by utilizing coherent porous silicon (CPS) wicks [C] // Proceed Eighth Inter Soc Conf Thermal & Thermomech Phenom Elec Syst. San Diego，CA，USA. 2002：457-465.

[34] LAUNAY S，SARTRE V，BONJOUR J. Parametric analysis of loop heat pipe operation：a literature review [J]. Int J Thermal Sci，2007，46(7)：621-636.

[35] SO H Y，PISANO A P. Micromachined passive phase-change cooler for thermal management of chip-

level electronics [J]. Int J Heat & Mass Transfer, 2015, 89 (10): 1164-1171.

[36] SO H Y. Thermal ground plane for chip-level electronics cooling [D]. Berkeley: Univ California, Berkeley. 2014.

[37] BRUNSCHWILER T, ROTHUIZEN H, FABBRI M, et al. Direct liquid jet-impingement cooling with micron-sized nozzle array and distributed return architecture [C] // 10th ITHERM. San Diego, CA, USA. 2006: 196-203.

[38] SUNG M K, MUDAWAR. Effects of jet pattern on single-phase cooling performance of hybrid micro-channel / micro - circular - jet impingement thermal management scheme [J]. Int J Heat & Mass Transfer, 2008, 51(19-20): 4614-4627.

[39] SUNG M K, MUDAWAR I. Single-phase hybrid micro-channel/ microjet impingement cooling [J]. Int J Heat & Mass Transfer, 2008, 51 (17-18): 4342-4352.

[40] HAN Y, LAU B L, ZHANG H, et al. Package-level Si-based micro-jet impingement cooling solution with multiple drainage micro-trenches [C] // IEEE 16th Elec Packag Technol Conf. Singapore. 2014: 330-334.

[41] HAN Y, LAU B L, TANG G Y, et al. Package-level Si micro-fluid cooler with enhanced jet array for high performance 3D systems [C] // 67th Elec Compon & Technol Conf. Orlando, FL, USA. 2017: 1654-1659.

[42] KNICKERBOCKER J, ANDRY P, DANG B, et al. 3D silicon integration [C] // 58th Elec Compon & Technol Conf. Lake Buena Vista, FL, USA. 2008: 538-543.

[43] HO R, AMBERG P, CHANG E, et al. Silicon photonic interconnects for large-scale computer systems [J]. IEEE Micro, 2013, 33(1): 68-78.

[44] ZHANG L, BAKIR M. BAKIR M S. Design, fabrication and assembly of a novel electrical and microfluidic I/Os for 3-D chip stack and silicon interposer [C] // 63rd Elec Compon & Technol Conf. Las Vegas, NV, USA. 2013: 2243-2248.

[45] ZHENG L, ZHANG Y, ZHANG X, et al. Silicon interposer with embedded microfluidic cooling for high-performance computing systems [C] // 65th Elec Compon & Technol Conf. San Diego, CA, USA. 2015: 828-832.

（上接第 547 页）

[3] 徐徐琳. 静电微执行器的 Pull-in 特性分析 [D]. 南京：南京邮电大学，2012.

[4] FERBNANDEZ L J, WIEGERINK R J, FLOKSTRA J, et al. A capacitive RF power sensor based on MEMS technology [J]. J Micromech & Microengineer, 2006, 16(7): 1099-1107.

[5] 贾建援，王洪喜，樊康旗. 静电力作用下的微梁失稳临界电压分析 [J]. 应用力学学报，2005，22(1)：95-98.

[6] 曹天捷，丁芳. 一种两端固支微开关梁的静力学分析模型 [J]. 工程力学，2006，23(9)：42-47.

[7] 孙东明，董玮，玄伟，等. 扭臂结构静电驱动式微驱动器动力学特性分析 [J]. 光电子・激光，2006，17(6)：658- 665.

[8] 刘肖，陈旭远. RF MEMS 开关的力电耦合仿真分析 [J]. 青岛大学学报(工程技术版)，2007，22(3)：60-65.

[9] 方玉明，李普. 考虑边缘效应的平行平板式静电微执行器 Pull-in 模型 [J]. 传感技术学报，2011，24(6)：848- 852.

[10] 王德波，白文娟，郭艳艳，等. 双通道 MEMS 微波功率传感器的悬臂梁设计 [J]. 微电子学，2015，45(3)：408- 412.

[11] 张焕卿，李龙飞，白雪婧，等. 电容式微波功率传感器的 MEMS 悬臂梁力学模型 [J]. 微电子学，2019，49(3)：373-377.

瞬态电子技术发展现状

肖 渝[1]，张正元[2]，廖希异[3]
（1. 重庆邮电大学 光电工程学院，重庆 400065；2. 模拟集成电路国家重点实验室，重庆 400060；
3. 中国电子科技集团公司 第二十四研究所，重庆 400060）

摘 要： 瞬态电子器件是一种在使用阶段稳定运行、在特定条件下触发实现自动销毁或降解的新型先进电子器件。瞬态电子技术作为构建绿色电子和生物医学设备的基础，近年来受到越来越多的关注。文章介绍了瞬态电子器件的材料、加工工艺、触发机制和重要瞬态器件，对瞬态电子领域的未来发展趋势作出了展望。

关键词： 瞬态电子技术；可降解材料；加工工艺；触发机制
中图分类号：TN401 **文献标识码：**A **文章编号：**1004-3365(2020)04-0555-09
DOI：10.13911/j.cnki.1004-3365.190530

Research Progress of Transient Electronic Technology

XIAO Yu[1], ZHANG Zhengyuan[2], LIAO Xiyi[3]
(1. *College of Optoelectronic Engineering, Chongqing Univ. of Posts and Telecommun., Chongqing* 400065, *P. R. China*;
2. *Science and Technology on Analog Integrated Circuit Laboratory, Chongqing* 400060, *P. R. China*;
3. *The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing* 400060, *P. R. China*)

Abstract: Transient electronic device is a new class of advanced electronic devices which run stably during the service stage and trigger automatic destruction or degradation under specific conditions. As the basis of building green electronic and biomedical devices, transient electronic technology has attracted more and more attention in recent years. In this paper, the material, processing technology, trigger mechanism and important transient devices of transient electronic devices were introduced. The future development trend of transient electronic devices was prospected.

Key words: transient electronic technology; degradable material; processing technology; trigger mechanism

0 引 言

电子器件、电子设备已成为日常生活中必不可少的物品，在国防、信息工程、通信、教育、生物医疗等领域发挥着重要的作用。每时每刻都有损坏或淘汰的电子器件被遗弃，导致严重的环境污染，成为威胁人类社会的重要问题之一[1-2]。利用并发展可降解、可再生、环境友好、低毒性的材料来制造安全电子器件、可消失环境传感器和零废物消费电子器件等，有着非常重要的意义。目前，可降解材料的应用还比较有限，可降解材料在未来电子器件领域有着极大的发展潜力[3]。在医疗器件中，如果所使用的组成材料均为生物相容、在特定时间内可以发生降解而被人体代谢，则会避免病人进行二次手术而减少病人痛楚和降低医疗成本[4]。因此，基于生物可降解衬底材料和最新微电子加工技术，发展在各种环境下稳定工作、在特定条件下自发生物降解的瞬态电子器件是未来电子器件的重要研究方向。本文从瞬态电子器件

收稿日期：2019-09-09；**定稿日期：**2019-10-14
基金项目：重庆市研究生科研创新项目(CYB19268)
作者简介：肖 渝(1995—)，男(汉族)，重庆人，硕士，从事微电子器件与工艺研究。
张正元(1964—)，男(汉族)，重庆人，博士，研究员，研究方向为模拟 IC、微电子器件以及 MEMS 技术。

的材料、加工工艺、触发机制、瞬态器件等方面，介绍了国内外瞬态电子器件的发展现状。

1 材料

可降解材料的广泛研究引领了生物可吸收电子技术的发展，这些材料要么完全溶于水/生物液体，要么具有可溶性副产品[5]。在开发用于生物医学应用的瞬态电子器件时，材料降解的产物需要满足无毒、易代谢、具有适当的机械强度和柔性等特点[6]。材料作为瞬态电子技术最基础、最重要的组成部分，包括可降解衬底材料、介质层材料、互连导线材料和半导体功能材料。材料的降解能力、柔韧性功能性直接影响器件的降解能力和工作性能。

1.1 衬底材料

蚕丝、纤维素和一些高分子聚合物材料已有大量研究成果和实际应用。蚕丝中的蚕丝蛋白主要由甘氨酸、丝氨酸和丙氨酸的重复单元组成，单元间的氢键提供了丝素纤维的机械鲁棒性。因此，蚕丝是完全可吸收、无害的生物材料，在生物医疗方面有着广泛应用，如手术缝合线、医疗支架[7-8]。通过调整丝的结晶度，可将丝的降解速度设定在几分钟到几年之间。在瞬态电子应用方面，蚕丝用作衬底材料和包封材料[5]，广泛应用于高性能晶体管[9]、远程控制设备[10]、可降解电池[11]等多种瞬态电子设备。

纤维素是植物中最丰富、取之不尽的绿色聚合物。纤维素是线性葡萄糖链的多糖，具有溶解性能[12]。纤维素及其衍生物已被广泛应用于印刷电子、纸基电子、纳米传感器[13-14]。聚乙烯醇(PVA)、聚乙烯吡咯烷酮(PVP)、聚乳酸(PLA)、聚乙醇酸(PGA)、聚乳酸羟基乙酸、聚已酸内酯(PCL)和聚羟基丁酸酯(PHB/PHV)等可降解聚合物也适合用作可降解衬底材料[5]。

一些新材料也被用作瞬态器件衬底。文献[15]将高浓缩的氧化石墨烯(50 mg/mL)膏体涂于各种抛光金属基底(锌、铝箔、镍、铜、铅)上，在 60%相对湿度、40 ℃下干燥 3 h 后，可以很容易地从金属基体上剥离出一层独立的类纸膜。这种薄膜包含两层结构，一层主要是导电的氧化石墨烯，另一层是电绝缘氧化石墨烯。这种功能梯度材料(FGM)用梯度界面代替了两种离散材料之间的尖锐界面，提高了粘结强度，消除了材料之间的残余应力。导电的氧化石墨烯层具有疏水性，电绝缘层具有亲水、吸水膨胀的特性。将电绝缘层作为衬底，在导电石墨层上刻制电路图案。在水中 2 min 后，衬底层吸水开始分解；在 6 min 后，导电石墨层的电路图案完全被破坏。

1.2 电介质

最常见的可降解电介质材料有 Si[16]、Ge[17]、Si_3N_4[17] 等半导体材料和 SiO_2[18]、ZnO[19]、MgO[20]、TiO_2[21]等氧化物。In_2O_3 具有高迁移率(>50 $cm^2 \cdot V^{-1} \cdot s^{-1}$)、高载流子浓度($10^{17}$～$10^{21}$ cm^{-3})，用该材料制作的薄膜晶体管能承受负电压、高截止电流。但是，纯的 In_2O_3 TFT 的稳定性不高，可添加 La^{3+}、Gd^{3+} 和 Sc^{3+}，以减少氧空缺，提高器件性能。镍离子的半径小，路易斯酸强度大，可使电子云远离氧极化，降低载流子的散射。掺杂镍后，In_2O_3的迁移率不会急剧下降[22]。文献[23]研究了稀土氧化物(REO)。采用自旋镀膜与镀后处理相结合的方法，获得了 10 nm 厚度的超细、非晶和亲水性 REO 薄膜。研究了 REO 薄膜的介电性能，实验验证了 REO 薄膜可作为栅介质的替代材料[23]。纳米复合材料中，如钛酸钡($BaTiO_3$)(介电常数为 44.3)，可用于制作电容器[24]。

1.3 互连导线材料

金属是性能良好、易获取的导线材料。镁、锌、铁、钨、钼等可溶解金属被广泛研究[25-26]，它们可用于晶体管、生物医用植入物和传感器等生物可吸收电子产品[5]。除固态金属外，液态金属(RTLM)也受到关注。液态金属(如镓铟锡合金(GaInSn))具有固有的流动性、接近无限的形状重构能力、高导热性、高导电性、低电阻率、低于汞的毒性等特性。GaInSn 具有可调的表面化学和界面张力，可以回收利用，降低了对环境的污染，提高了经济可行性，是制备电极、导体、能源设备和传感器等的极佳选择。

文献[27]用 RTLM 在 PVA 衬底上制作了一些图案，用 PVA 薄膜密封，密封过程中采用水雾辅助技术，防止器件机械变形所致的 RTLM 泄露。最后，进行弯曲、扭转测试。结果表明，弯曲半径为 5 mm、2.5 mm 时，电阻值的变化不大；弯曲半径小于 1 mm 时，电阻值略微上升；弯曲半径为 0.15 mm (最小值)时，电阻值为弯曲前的 1.17 倍。电阻值的增加与沟道弯曲角小造成的凹陷有关。对样品进行 10 000 次弯曲测试。结果表明，弯曲半径≥0.5 mm 时，电阻值的变化不大；弯曲半径为 0.25 mm 时，电阻值为原来的 1.25 倍。扭曲实验表明，扭角为 90°

和 180°时，不影响电阻值；扭角为 270°和 360°时，电阻值变为原来的 1.1 倍。降解试验表明，PVA 约 300 s 后溶解。利用液态金属的表面张力团聚液滴，可实现 96%的液态金属回收。文献[28]制作了 Ag 纳米/甲基纤维素复合材料，导电率为 6 250 S/cm。该复合材料在温水浴（水温＞最低临界溶解温度）时表现出稳定的电性能，但降低到一定温度时触发瞬态行为，5 秒内就分解了。这表明金属聚合物复合材料也会是瞬态器件互连线的良好选择。

1.4　功能材料

功能材料是指用于无源或有源电子元件中实现特殊功能的材料，包括导体、半导体、介质、封装材料等[5-6]。半导体材料是使用最为广泛的功能材料。单晶硅是最常见的半导体，除了作为衬底，还可作为功能材料[16]。最新研究表明，黑磷（BP）因高迁移率（1 000 $cm^2 \cdot V^{-1} \cdot s^{-1}$）、可调谐带隙（0.3～2 eV）、良好生物相容性等优良特性而显示出超越石墨烯、MoS_2 等半导体的巨大潜力。文献[29]使用黑鳞作为场效应晶体管的介电层，能在 24 h 内在去离子水中完成降解。将 YYACAYY（H-Tyr-Tyr-Ala- Cys-Ala-Tyr-Tyr-OH）肽粉溶于三氟乙酸（99.0%）中，制得 YYACAYY 肽溶液（4w），可用于器件的钝化层，使器件在工作期间保持稳定。

在瞬态电子器件中，一些聚合物除了用作薄膜衬底外，还被广泛用作粘合剂和稳定添加剂，如印刷油墨、食品、药品、化妆品。电纺 PVP 膜可作为瞬态可充电锂离子电池的隔膜。PVA 薄膜具有基片、隔膜、电池封装等多种功能[5]。文献[30]从大豆、蜡杨梅和小烛树灌木里提取出大豆蜡、桃金娘蜡和小烛树蜡，用于制作 10 mm 厚度、40 mm 直径的圆片。吸水性测试表明，小烛树蜡的疏水性最好，在去离子水中 15 天，几乎不吸水。将小烛树蜡用于封装 Mg 电路，然后测试电阻值的变化。最终验证了蜡是器件封装材料的一种选择。由于瞬态电子制备工艺的特殊性，在电子器件制备过程中，也会用到一些特殊的功能材料。如使用器件转移印刷技术时，采用聚二甲基硅氧烷（PDMS）作为牺牲层，实现器件的转移[31]。

2　工艺

2.1　真空掩模淀积

在生物可吸收电子材料的加工/成型过程中，解决材料与诸如腐蚀性液体、高压、高温等条件的兼容性是重要的挑战。使用阴影遮罩来定义设备的布局，可有效地规避兼容性问题。在真空基淀积中，通过切割或蚀刻聚酰亚胺薄膜制成的细线掩模可以贴附在衬底上，以进行选择性的材料淀积[5]。该技术可将许多生物可吸收的电子材料加工成功能化层，这些材料包括 Mg[9]、Fe[32]、ZnO[32]、MgO[9]、SiO[9]。但是，淀积材料的分辨率有限（阴影掩模的使用不允许特征尺寸低于几 μm，淀积的材料可能会扩散）。因此，真空掩膜淀积技术不适用于复杂的电路[31]。因为加工过程的温度限制和衬底选择的范围缩小，所以，在淀积过程中，衬底温度应保持在玻璃化转变温度之下，以避免衬底变形或降解。

2.2　转移印刷技术

真空淀积技术的应用具有上述诸多限制，因此一种新型可替代方案，即转移印刷技术，应运而生。转移印刷技术是指将加工完成、集成的材料从一种基片转移到另一种基片的技术[33]。转移印刷技术的工艺流程如图 1 所示。在 Si 衬底上加一层牺牲层（PMMA），再生长一层超薄（200 nm）聚酰亚胺（D-PI）层；采用 CVD、光刻等常规工艺，Mg 作为漏、源、栅电极的连线；将样品放于丙酮中，去除 PMMA，释放出超薄电路；将该超薄电路转移到 PDMS 平板表面；离子刻蚀，去除 D-PI 层；将剩下的超薄电路转移到可降解衬底上。最终，实现了器件从 Si 衬底转移到可降解衬底[31]。

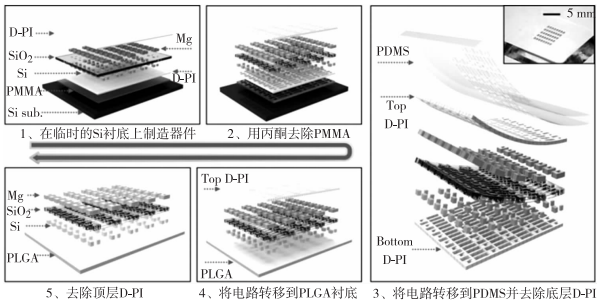


图 1　转移印刷技术流程[31]

在本方案中，器件先在标准 IC 工艺的硅晶圆等常规基板上临时制备，然后借助牺牲层和 PDMS 转移到生物可吸收基板上。它通过将 IC 制造工艺的苛刻条件（如加热和蚀刻）与目标基板隔离，扩大了可加工基板的范围。文献[31]采用一系列可降解材料作为衬底，包括聚乳酸-糖基乙酸（PLGA）、PLA 与聚糖基酸（PGA）的共聚物、PLA、聚己内酯（PCL）和宣纸。结果表明，CMOS 反相器的电源电压为 10 V，

电压增益为 50。转移印刷技术制作的 MOS 器件及 *I-V* 特性曲线如图 2 所示。可以看出，沟道长度（*L*）和宽度（*W*）分别为 5 μm 和 300 μm，MOS 管的迁移率为 70 $cm^2 \cdot V^{-1} \cdot s^{-1}$，开关比为 1×10^5。*L*、*W* 分别为 15 μm 和 100 μm 时，MOS 管的迁移率为 400 $cm^2 \cdot V^{-1} \cdot s^{-1}$，开关比为 1×10^5。以宣纸为衬底的超薄电路在 37 ℃的去离子水中 48 h 后可实现完全降解[31]。

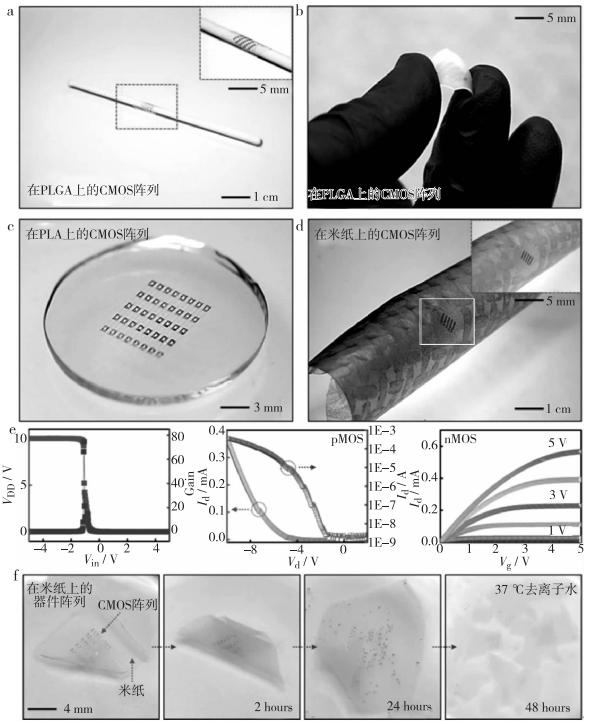


图 2　转移印刷技术制作的 MOS 器件及 *I-V* 特性曲线[31]

目前，可降解材料的研究大多以生物医疗的应用为基础，大量采用水解的方式。随着生物可吸收电子技术在环境、商用电子设备甚至军事应用方面的发展，对材料的性能将提出更高要求，需要更多的创新技术。

2.3　喷墨印刷技术

喷墨印刷技术是一种很有前景的轻型化制造技术，可在常温常压下实现印刷，大幅降低了生产成本。该技术同时适用于有机材料和无机材料，如混合油墨、玻璃、晶片、纸张和塑料等。它可作为标准真空淀积和光刻工艺的替代技术。喷墨印刷技术分为印刷和烧结两个步骤。喷墨印刷技术示意图如图 3 所示。印刷步骤为：通过现代印刷技术，将需要的图案、器件印刷在衬底上。烧结步骤为：将印刷的微/纳米颗粒紧密结合在一起，以保持电连续性，提高电导率[5]。烧结过程通常用加热来实现，在大多数情况下，对于生物可吸收电子是不可实现的。为了烧结无热损伤的印刷颗粒，可采用光子烧结、激光烧结等高能光束的超锐化和局域加热方法。室温烧结可以通过电化学方法实现，完全绕过热冲击[34]。

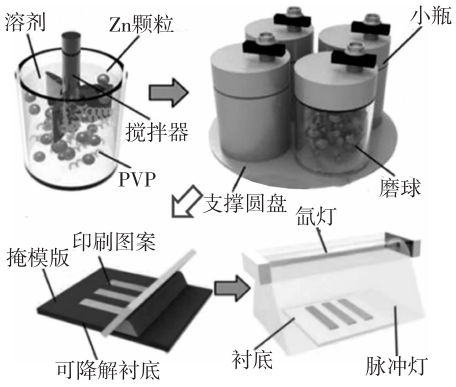


图 3　喷墨印刷技术示意图[5]

柔性印刷技术是将可溶金属（Zn 或 W）、PEO 粘结剂和甲醇的微粒混合制作的导电浆料进行丝网印刷，在常温条件下固化，使溶剂蒸发，得到固化的导电金属/聚合物复合材料，电导率仅有 5 200 S/m[35]。采用球磨法制作粒径在 100 nm 以内的锌纳米颗粒，通过 PVP 表面活性剂和有机溶剂进行分散，得到导电油墨。采用电子印刷技术和光脉冲烧结工艺，在瞬态基底上制作了高导电性瞬态金属图形[36]，电导率高达 44 643 S/m。采用激光蒸镀技术，对淀积于玻璃片上的锌纳米颗粒进行激光扫描，形成锌蒸汽，凝结于上层的可溶性基底，形成相应的图案。这种方法可有效去除锌纳米颗粒表面的少量氧化物，电导率大幅提高，达到了 1.1×10^6 S/m。采用激光蒸镀技术制作的瞬态电子图案的厚度不超过 10 μm，具有一定的弯折能力，为瞬态电子器件的制作提供了重要的加工方法。文献[34]验证了喷雾印刷和光子烧结技术具有大规模制作可降解电子器件的潜能[34]。

3　触发机制

瞬态器件的降解触发是器件降解的关键步骤。原理是利用可降解材料的可降解性，通过水、酸、光、温度等条件引导触发。瞬态技术中，最简单、最早研究的触发方式是利用湿法化学反应，溶解半导体、介质、金属和聚合物等电子元件。文献[31]采用丝绸（可溶于水和酶降解）作为衬底和包装材料，Mg 用作导体，MgO 用作电介质，单晶 Si 纳米膜用作半导

体，采用转移印刷技术制作了包括晶体管、二极管、电感器、电容和电阻等的图像。记录了关键材料的水解过程，Si 纳米薄膜在 PBS 中需 12 天才能溶解，Mg(150 nm)在去离子水中 3 h 完全水解。电路图所使用的材料都是可水解材料，整个结构在 10 min 能完成解体[7]。在直接水解的同时，还可引入机械破坏，极大提高器件的瞬态速度。文献[31]利用基质材料 PLGA 在溶解过程中会膨胀的特性，制作了 MOS 器件模型。该器件在水解过程中，基材膨胀导致支撑装置结构断裂/解体，从而加速了降解。

尽管水解触发的瞬态电子器件取得了很多成果，但是，因化学溶解的要求，材料选择非常狭窄，设备的外形和功能是有限的。这些瞬态电子器件的工作寿命在很大程度上取决于溶解过程，缺乏按需控制能力，限制了其在非生物方面的应用[37]。文献[38]介绍了一种 300 ℃时瞬态器件的机械破坏方式。SiO_2(70 nm)和 Al_2O_3(13 nm)组成栅介质层，铬/金(5/100 nm)构成 MOS 管的源极、漏极和栅电极，PAMS 用作破坏层，聚酰亚胺薄膜(12.5 μm)用作柔性衬底。引入 5 μm PI 应力缓冲层，以减小热膨胀系数失配，5 μm PDMS 用作粘合剂层。采用自下而上的标准 IC 工艺制作 MOS 管。缓冲层可以使 MOS 管满足高温电子器件的要求，器件在一定温度下稳定运行，在较高温度下触发，发生瞬态过程。多层结构 MOS 管的爆炸图及样品如图 4 所示。该器件厚度小，基材天然岩性好，具有良好的弯曲性能，能弯曲于 3 mm 半径的塑料管上。

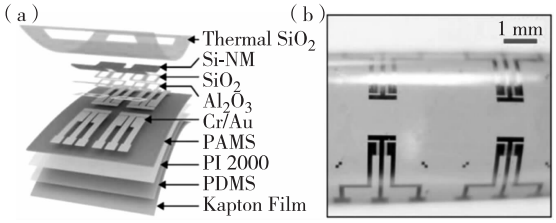


图 4　多层结构 MOS 管的爆炸图及样品[38]

文献[38]在器件衬底与电极之间引入一层 PAMS 中间层。PAMS 层是一种高性能的树脂，当加热超过一定温度时，分解成气态单体，使器件失去支撑，发生不可逆破坏。热引发的瞬态行为在很短时间内(3 min)完成。在 PAMS 降解的初始阶段，热引发聚合物链断裂，少量挥发性产物降低了 Si-NM 电阻的电子性能。当临界失效温度达到后，大量气体聚集在 Si-NM 下，伴随而来的高压导致器件击穿。器件的机械破坏示意图及 SEM 图如图 5 所示。

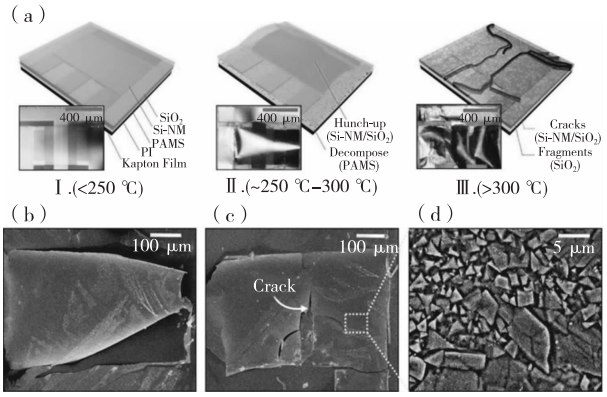


图 5　器件的机械破坏示意图及 SEM 图[38]

文献[37]采用 PCL 纳米纤维薄膜作为衬底，采用转移印刷技术在 PCL 上制作光检测阵列和 Si 薄膜。因为纳米纤维的微观聚合物链松弛，并且有空隙，在加热条件下，纳米纤维的孔隙会发生坍塌，使得 PCL 体积减少 97%，如图 6 所示。在 90 ℃的加热条件下，2 s 内可使整个器件坍塌，功能失效。通过集成一个薄电阻加热器作为焦耳加热触发器的源，实现按需自毁，如图 7 所示。

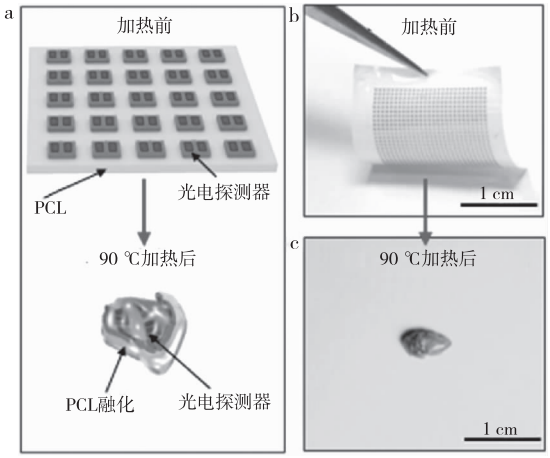


图 6　PCL 体积减小的示意图[37]

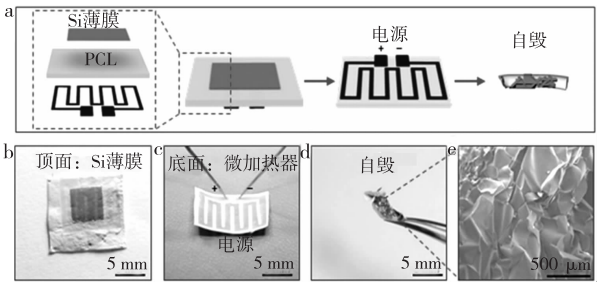


图 7　焦耳加热触发器控制器件降解的示意图[37]

有些材料需要在一些特定条件才能发生降解。文献[39]采用酸/蜡乳液熔铸法，制作了甲磺酸

(MSA)，用蜡进行固封，得到硬硅酮蜡涂层材料。将该材料涂在器件表面，当达到一定温度时，蜡熔化后，释放出酸，器件很快被破坏，如图 8 所示。在玻璃衬底上，制备 Mg(300 nm)蛇形电阻，使用甲磺酸蜡进行涂敷，55 ℃条件下加热 2 min，Mg 电阻带发生降解。采用转移印刷技术，在 cPPA 衬底上制作一组基于 Mg 电极的硅 PIN 二极管阵列。55 ℃条件下加热 20 s，衬底发生降解，1 min 后，阵列完全被破坏。

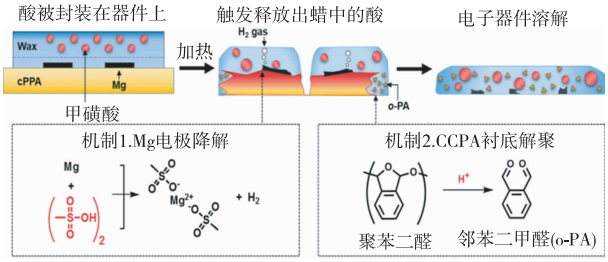


图 8　甲磺酸降解的示意图[39]

文献[40]在 70 ℃下使用二已基三氟化硼(BF_3OEt_2)作为催化剂，将领苯二醛(oPA)阳离子催化聚合而成苯丙醇胺 CPPA。把 2-(4-甲氧基苯基)-4，6-双(三氯甲基)-1，3，5-三嗪暴露在紫外线下，产生高活性 Cl，从环境中吸取氢，形成盐酸(HCl)，CPPA 聚合物快速降解。通过改变 PAG 浓度和紫外光源的辐照度来调节瞬态速率，在 1.70 mW/cm^2 紫外线强度下，7 min 内实现样本被破坏；在 0.70 mW/cm^2 紫外线强度下，15 min 内实现样本被破坏。CPPA 衬底上制作的独立式晶体管阵列在紫外线照射下，230 min 内实现阵列被破坏，如图 9 所示。

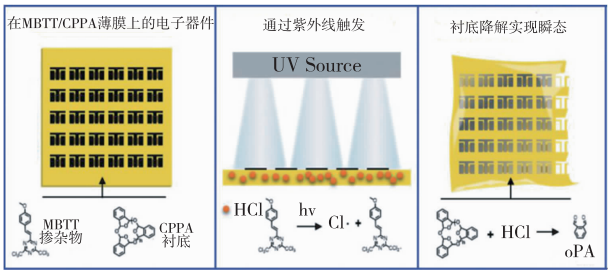


图 9　紫外线触发器件降解的示意图[40]

瞬态器件在触发机制上已取得阶段性成果，但如何实现按需的触发技术还不成熟，如何按需提供触发条件是关键技术。比如，水解的器件只能通过人为水解，还不能实现远程控制水解。触发方式的限制制约着瞬态器件的应用领域。以后的研究需具有更广阔的感知方式(如重力、冲击、范围感知等)和触发机制(电、力、复合触发等)。

4　典型器件

研究人员已对简单瞬态电路图案、电容器[41]、可降解电池[42-43]、传感器[44-46]、光电探测器[47]、存储器[48-49]等瞬态模型进行了研究。文献[6]采用垂直金属-绝缘体-金属(MIM)结构制作瞬态器件。首先，采用直流电源溅射机，在 Si/SiO_2 基片和聚对苯二甲酸乙二醇酯(PET)基片上淀积 50 nm 钨，作为底部惰性电极。然后，在钨层上涂覆丝素膜(120 nm)作为开关层，遮光罩盖住丝素，采用射频电源溅射机淀积 80 nm 的 Mg 层，形成顶部活性电极。最后，在 5.3 V 电压下进行电铸。装置整体可在 24 h 内完全降解。该装置具有稳定的开关性能、良好的柔性和良好的生物降解性，适用于医疗瞬态电子系统，在生物医学电子应用方面有巨大潜力。

文献[39]中，SiO_2(70 nm)和 Al_2O_3(13 nm)构成栅介质层，铬/金(5/100 nm)作为 MOS 管的源极、漏极和栅电极，PAMS 用作破坏层，PI 层(12.5 μm)用作柔性衬底。引入 5 μm PI 应力缓冲层，减小热膨胀系数失配。采用 5 μm PDMS 作为粘合剂层。采用自下而上的标准 IC 工艺制作 400 μm 沟道宽、20 μm 沟道长的 MOS 器件[39]，在 V_{DS} 为 0.1 V、V_G 为 0～5 V 的条件下，MOS 器件的转移特性和输出特性如图 10 所示。可以看出，阈值电压 V_T 为 0.7 V，开启电流和关断电流分别为 0.27 mA 和 140 pA，开关比为 1×10^6，载流子迁移率峰值为 340 cm^2 · V^{-1} · s^{-1}。参数与传统工艺制造的晶体管相当。器件厚度小，具有良好弯曲性能，能弯曲于 3 mm 半径的塑料管上。柔性器件在柔性高速逻辑和存储电路方面具有很大潜力。

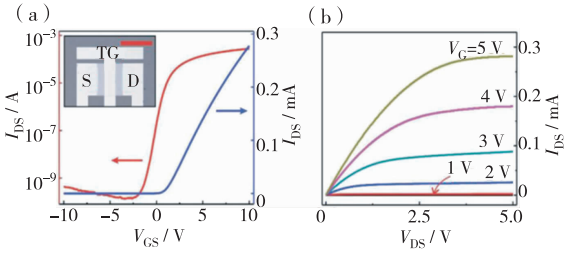


图 10　MOS 器件的转移特性和输出特性[38]

文献[22]采用水溶液处理技术，分别预先制备 Ni∶In 的摩尔比为 0%、0.5%、1%和 3%的 NiInO

溶液。在 600 μm Si 片上热生成一层 100 nm SiO_2，用丙酮、乙醇、去离子水依次超声清洗，再用 O_2 处理 10 min。将 NiInO 溶液以 4 500 r/min 的转速在 SiO_2 层上自旋涂覆，时间 30 s。在 350 ℃空气中退火 1 h，热蒸发淀积一层铝，作为 NiInO TFT 的源极和漏极。沟道宽度和长度分别为 1 500 μm 和 100 μm。NiInO TFT 的结构示意图如图 11 所示。加 Ni 的比例分别为 0%、0.5%、1%、3%的 NiInO 薄膜的电阻率分别为 0.47 Ω·cm、0.94 Ω·cm、7.71 Ω·cm 和 148.75 Ω·cm。实验结果表明，当掺杂 0.5% Ni 时，器件性能最优，迁移率为 17.71 $cm^2 \cdot V^{-1} \cdot s^{-1}$，电流开关比为 4.38×10^6，阈值电压为 4.21 V。水溶液基 NiInO 在未来显示器、大面积电子器件中有较大的应用潜力。

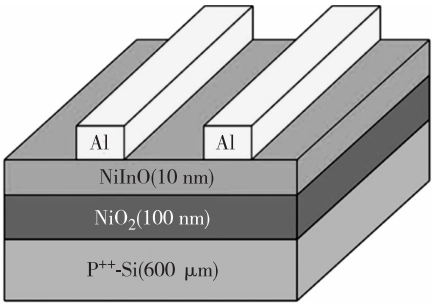


图 11　NiInO TFT 的结构示意图[22]

文献[50]在 Si 薄片上淀积一层 SiO_2，刻蚀后，PECVD 生长一层 SiN_x(700 nm)，用作钝化层。通过电感耦合等离子体进行反应离子刻蚀，释放出需要的部分，使用 PDMS 稳定形状，再将其转移到可降解衬底 PLGA(>50 μm)薄片上。在上层旋转涂膜一层 PLGA 层，重复以上工艺步骤，制作一层新的器件层。层与层之间用钨连接。

采用该方法制作了一个双层器件。第一层为一对 NMOS 管和一对 PMOS 管，组成逻辑非门电路。第二层为一个 CMOS 反相器，充当与非逻辑转换作用。双层器件实现的与非门及转换曲线如图 12 所示。PMOS 管的开关率大于 1×10^7，阈值电压为 1.1 V；NMOS 管的开关率大于 1×10^8，阈值电压为 1 V。CMOS 反相器的电流增益在 V_{dd} 为 3 V 时达到最大值，为 25。将器件放入 70 ℃的 PBS 中，上层的反相器、介电层、互连线开始溶解，1 h 后，金属钨互连线溶解完成。24 h 后，介电层溶解完成，上下层器件分离。最后，剩下残余的底层逻辑非电路，实现了从与门到非门的转换。

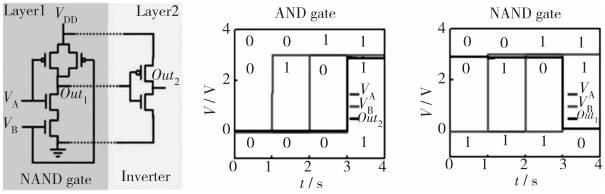


图 12　双层器件实现的与非门及转移曲线[50]

5　结　论

瞬态电子器件技术在生物可降解材料、加工工艺、降解机制等方面均取得长足进展，推动了瞬态电子技术的发展，完善了理论体系。在现有材料、技术的基础上，瞬态电子技术以其独特的降解能力和适应性，有望应用于消费电子器件、植入式可降解医疗设备等，实现零电子废弃物的排放，减少环境污染，大大降低植入性医用设备对病人造成的痛苦和风险。瞬态电子技术仍处于发展初级阶段，材料的降解速率、触发机制、制作工艺、器件性能等还需改进，应用领域还不广泛。

随着新型材料、加工工艺的不断完善，瞬态电子器件除应用于环境、医疗等领域，还在高端设备方面有广阔的应用前景。瞬态电子技术将朝着材料多样化、触发方式简单化、制作经济化和器件高集成化方向发展。

参 考 文 献：

[1]　PRAMILA S, FULEKAR M H, BHAWANA P. E-waste — a challenge for tomorrow [J]. Res J Recent Sci, 2012, 1(3): 86-93.

[2]　KUMAR U, SINGH D N. Electronic waste: concerns & hazardous threats [J]. Int J Current Engineer Technol, 2014, 4(2): 802-811.

[3]　李天枢. 可降解材料的应用特点及发展趋势 [J]. 中国新通信, 2019, 21(1): 200-201.

[4]　伍李云, 张美庭, 张晓珊, 等. 生物可降解材料及其在生物医学上的应用 [J]. 轻工科技, 2018, 35 (7): 36-37.

[5]　YU X W, SHOU W, MAHAJAN B K, et al. Materials, processes, and facile manufacturing for bioresorbable electronics: a review [J]. Advan Mater, 2018, 30(28): 1707624-1707650.

[6]　JI X L, SONG L, ZHONG S, et al. Biodegradable and flexible resistive memory for transient electronics [J]. J Phys Chem C, 2018, 122(29): 16909-16915.

[7]　GAO Y, HOU M, YANG R, et al. Highly porous silk fibroin scaffold packed in PEGDA/sucrose

microneedles for controllable transdermal drug delivery [J]. Biomacro- molecules, 2019, 20(3): 1334-1345.

[8] IRIMIA-VLADU M, GTOWACKI E D, VOSS G, et al. Green and biodegradable electronics [J]. Mater Today, 2012, 15(7-8): 340-346.

[9] HWANG S W, TAO H, KIM D H, et al. A physically transient form of silicon electronics [J]. Sci, 2012, 337(6102): 1640-1644.

[10] TAO H, HWANG S W, MARELLI B, et al. Silk-basedresorbable electronic devices for remotely controlled therapy and in vivo infection abatement [J]. Proceed National Academy Sci USA, 2014, 111(49): 17385-17389.

[11] WANG C Y, WALLACE G G. Dissolvable batteries made of silk [J]. Chem Engineer News, 2017, 95 (16): 8-9.

[12] LOVELL C S, WALKER A, DAMION R A, et al. Influence of cellulose on ion diffusivity in 1-ethyl-3-methyl- imidazolium acetate cellulose solutions [J]. Biomacro- Molecules, 2010, 11(11): 2927-2935.

[13] ZHANG H, SUN X, HUBBE M A, et al. Flexible and pressure-responsive sensors from cellulose fibers coated with multi-walled carbon nanotubes [J]. ACS Appl Elec Mater, 2019, 1(7): 1179-1188.

[14] VEERALINGAM S, SAHATIYA P, KADU A, et al. Direct, one step growth of $NiSe_2$ on cellulose paper: a low cost, flexible, wearable with smartphone enabled multifunctional sensing platform for customized non-invasive personal healthcare monitoring [J]. ACS Appl Elec Mater, 2019, 1(4): 558-568.

[15] RASEL S, BHATKAR O, SMITH D, et al. Self-assembled functionally graded graphene films with tunable compositions and their applications in transient electronics and actuation [J]. ACS Appl Mater Interf, 2019, 11(26): 23463-23473.

[16] KANG S K, KOO J, LEE Y K, et al. Advanced materials and devices for bioresorbable electronics [J]. Account Chem Res, 2018, 51(5): 988-998.

[17] SEUNG K K, GAYOUNG P, KYUNGMIN K, et al. Dissolution chemistry and biocompatibility of silicon- and germanium-based semiconductors for transient electronics [J]. ACS Appl Mater Interf, 2015, 7(17): 9297-9305.

[18] DAGDEVIREN C, HWANG S W, SU Y, et al. Transient, biocompatible electronics and energy harvesters based on ZnO [J]. Small, 2013, 9(20): 3398-3404.

[19] HWANG S W, KANG S K, HUANG X, et al. Materials for programmed, functional transformation in transient electronic systems [J]. Advan Mater, 2015, 27(1): 47-52.

[20] KANG S K, HWANG S W, CHENG H, et al. Dissolution behaviors and applications of silicon oxides and nitrides in transient electronics [J]. Advan Funct Mater, 2014, 24(28): 4427-4434.

[21] CORBET C M, MCCLELLAN C, KIM K, et al. Oxidized titanium as a gate dielectric for graphene field effect transistors and its tunneling mechanisms [J]. ACS Nano, 2014, 8(10): 10480-10485.

[22] LI Y J, XU W Y, LIU W J, et al. High performance thin-film transistors with aqueous solution-processed NiInO channel layer [J]. ACS Appl Elec Mater, 2019, 1(9): 1842-1851.

[23] ZHUANG J, SUN Q J, ZHOU Y, et al. Solution-processed rare-earth oxide thin films for alternative gate dielectric application [J]. ACS Appl Mater Interf, 2016, 8(45): 31128-31135.

[24] TANG H, ZHOU Z, SODANO H A, et al. Relationship between $BaTiO_3$ Nanowire aspect ratio and the dielectric permittivity of nanocomposites [J]. ACS Appl Mater Interf, 2014, 6(8): 5450-5455.

[25] YIN L, CHENG H, MAO S, et al. Dissolvable metals for transient electronics [J]. Advan Funct Mater, 2014, 24(5): 645-658.

[26] KANG S K, PARK G, KIM K, et al. Dissolution chemistry and biocompatibility of silicon- and germanium-based semiconductors for transient electronics [J]. ACS Appl Mater Interf, 2015, 7(17): 9297-9305.

[27] TENG L, YE S, HANDSCHUH-WANG S, et al. Liquid metal-based transient circuits for flexible and recyclable electronics [J]. Advan Funct Mater, 2019, 29(11): 8739-8748.

[28] ZHANG X, BELLAN L M. Composites formed from thermoresponsive polymers and conductive nanowires for transient electronic systems [J]. ACS Appl Mater Interf, 2017, 9(26): 21991-21997.

[29] SONG M K, NAMGUNG S D, SUNG T, et al. Physically transient field-effect transistors based on black phosphorus [J]. ACS Appl Mater Interf, 2018, 10(49): 42630-42636.

[30] WON S M, KOO J, CRAWFORD K E, Natural wax for transient electronics [J]. Advan Funct Mater, 2018, 28(32): 1819-1828.

[31] HWANG S W, SONG J K, HUANG X, et al. High-performance biodegradable/transient electronics on

biodegradable polymers [J]. Advan Mater, 2014, 26 (23): 3905-3911.

[32] DAGDEVIREN C, HWANG S W, SU Y, et al. Transient, biocompatible electronics and energy harvesters based on ZnO [J]. Small, 2013, 9(20): 3398-3404.

[33] YU X, MAHAJAN B, SHOU W, et al. Materials, mechanics, and patterning techniques for elastomer-based stretchable conductors [J]. Micromachines, 2016, 8(1): 7-12.

[34] MAHAJAN B K, LUDWIG B, SHOU W, et al. Aerosol printing and photonic sintering of bioresorbable zinc nanoparticle ink for transient electronics manufacturing [J]. Sci China Inform Sci, 2018, 61(6): 40-49.

[35] HUANG X, LIU Y, HWANG S W, et al. Biodegradable materials for multilayer transient printed circuit boards [J]. Advan Mater, 2014, 26(43): 7371-7377.

[36] MAHAJAN B K, YU X, WAN S, et al. Mechanically milled irregular zincnanoparticles for printable bioresorbable electronics [J]. Small, 2017, 13(17): 65-72.

[37] GAO Y, SIM K, YAN X, et al. Thermally triggered mechanically destructive electronics based on electrospun poly(ε-caprolactone) nanofibrous polymer films [J]. Sci Rep, 2017, 7(1): 947-954.

[38] LI G, SONG E, HUANG G, et al. High-temperature-triggered thermally degradable electronics based on flexible silicon nanomembranes [J]. Advan Funct Mater, 2018, 28(45): 1448-1454.

[39] PARK C W, KANG S K, HERNANDEZ H L, et al. Thermally triggered degradation of transient electronic devices [J]. Advan Mater, 2015, 27(25): 3783-3788.

[40] HERNANDEZ H L, SEUN Y K, LEE O P, et al. Triggered transience ofmetastable poly (phthalaldehyde) for transient electronics [J]. Advan Mater, 2014, 26(45): 7637-7642.

[41] LEE G, KANG S K, SANG M W, et al. Fully biodegradable microsupercapacitor for power storage in transient electronics [J]. Advan Energy Mater, 2017, 7(18): 157-168.

[42] JIA X, WANG C, RANGANATHAN V, et al. A biodegradable thin-film magnesium primary battery using silk fibroin-Ionic liquid polymer electrolyte [J]. ACS Energy Lett, 2017, 2(4):831-836.

[43] WANG Z, FU KK, LIU Z, et al. Design of high capacity dissoluble electrodes for all transient batteries [J]. Advan Funct Mater, 2017, 27(11): 5724-5730.

[44] SALVATORE G A, SULZLE J, VALLE F D, et al. Biodegradable and highly deformable temperature sensors for the internet of things [J]. Advan Funct Mater, 2017, 27(35): 2390-2399.

[45] KANG S K, MURPHY R K J, HWANG S W, et al. Bioresorbable silicon electronic sensors for the brain [J]. Nature, 2016, 530: 71-76.

[46] YU K J, KUZUM D, HWANG S W, et al. Bioresorbable silicon electronics for transient spatiotemporal mapping of electrical activity from the cerebral cortex [J]. Nature Mater, 2016, 15(7): 782-791.

[47] LIN S Y, HAIDER G, LIAO Y M, et al. Transient and flexible photodetectors [J]. ACS Appl Nano Mater, 2018, 1(9): 5092-5100

[48] WANG H, ZHU B, MA X, et al. Physically transient resistive switching memory based on silk protein [J]. Small, 2016, 12(20): 2715-2719.

[49] PARK S P, TAK Y J, KIM H J, et al. Analysis of the bipolar resistive switching behavior of a biocompatible glucose film for resistive random access memory [J]. Advan Mater, 2018, 30(26): 722-729.

[50] CHANG J K, CHANG H P, GUO Q L, et al. Biodegradable electronic systems in 3D, heterogeneously integrated formats [J]. Advan Mater, 2018, 30(11): 4955-4964.

·半导体器件与工艺·

高 k HfLaO 栅介质 MoS_2 晶体管的性能研究

邹霁玥[1]，汪礼胜[2]
（1. 武汉理工大学 信息工程学院，武汉 430070；2. 武汉理工大学 理学院，武汉 430070）

摘　要： 比较研究了 HfO_2 与 HfLaO 栅介质多层 MoS_2 场效应晶体管。实验结果表明，与 HfO_2 栅介质 MoS_2 晶体管相比，HfLaO 栅介质 MoS_2 晶体管表现出更优的电性能。电流开关比高达 1×10^8，亚阈斜率低至 76 mV/dec，界面态密度低至 1.1×10^{12} $cm^{-2}\cdot eV^{-1}$，载流子场效应迁移率高达 1×10^9 $cm^2\cdot V^{-1}\cdot s^{-1}$。性能改善的原因在于镧(La)对 HfO_2 的掺杂形成 HfLaO 化合物，减小栅介质薄膜的表面粗糙度，降低缺陷电荷密度，改善了栅介质/沟道界面特性，从而减小了界面态密度，抑制了库仑散射和界面粗糙散射。最终，提高了多层 MoS_2 晶体管的场效应迁移率，改善了晶体管的亚阈特性。

关键词： 多层二硫化钼；氧化镧铪；场效应晶体管；高 k 栅介质
中图分类号：TN325.3；TN386.2　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0564-05
DOI：10.13911/j.cnki.1004-3365.200004

Study on Multilayer MoS_2 Transistors with La-Doped HfO_2 High-k Gate Dielectric

ZOU Jiyue[1], WANG Lisheng[2]
(1. *School of Information Engineering, Wuhan University of Technology, Wuhan* 430070, *P. R. China*;
2. *School of Science, Wuhan University of Technology, Wuhan* 430070, *P. R. China*)

Abstract: Multilayer two-dimensional molybdenum disulfide (MoS_2) field effect transistors with pure HfO_2 or La-doped HfO_2 (HfLaO) as gate dielectrics were studied comparatively. Compared with the MoS_2 transistor with HfO_2 gate dielectric, the MoS_2 transistor with HfLaO gate dielectric exhibited much more excellent electrical characteristics, such as an on-off ratio of 1×10^8, a subthreshold swing of 76 mV/dec, a low interface-trap density of 1.1×10^{12} $cm^{-2}\cdot eV^{-1}$, and a high field effect mobility of 1×10^9 $cm^2\cdot V^{-1}\cdot s^{-1}$. All these performance enhancement should be attributed to low trap-charge density and small surface roughness of HfLaO film due to La doped into HfO_2, thus resulting in superior interface quality between the HfLaO gate dielectric and MoS_2 active channel, and suppressing the coulomb scattering and the interface roughness scattering. Ultimately, increased field effect mobility and improved subthreshold characteristics had been achieved for the multilayer MoS_2 field effect transistors with HfLaO high-k gate dielectric.

Key words: multilayer MoS_2; HfLaO; FET; high-k gate dielectric

0　引　言

二硫化钼(MoS_2)因具有层状结构、电子迁移率较高、带隙(1.2～2.6 eV)随厚度可调等特性，而成为适用于电子开关器件的优良二维半导体材料[1-2]。层状的 MoS_2 薄膜依靠范德华力结合在一起，可通过微机械分裂技术被轻易地剥离，并转移到任意衬

收稿日期：2020-01-02；**定稿日期：**2020-02-27
基金项目：国家自然科学基金资助项目(51702245)
作者简介：邹霁玥(1999—)，女(汉族)，湖北安陆人，大学生，研究方向为电子信息技术。
汪礼胜(1976—)，男(汉族)，安徽桐城人，博士，硕士生导师，研究方向低维光电子器件。

底上[3]。MoS_2 场效应晶体管(FET)能将晶体管的维度缩小至原子尺寸，达到提高器件开关速度、减小功耗的目的[4]。L. Xie 等人制备了一种单层 MoS_2 晶体管，其开关电流比为 4.5×10^7，场效应迁移率达到 30 $cm^2\cdot V^{-1}\cdot s^{-1}$[5]，且不受短沟道效应影响。文献[6]制备了一种单层 MoS_2 晶体管，其开关电流比高达 1×10^9，具有良好的长程稳定性，但单层 MoS_2 制备工艺的复杂性限制了这种器件的应用。与单层 MoS_2 晶体管相比，多层 MoS_2 晶体管表现出较高的迁移率和较大的驱动电流。原因是多层 MoS_2 提供了多个导电沟道，载流子被限制在层状 MoS_2 内，减小了载流子在层间界面处的散射[7]。Z. Yu 等人采用新型高 k 栅介质，获得较高载流子密度，增强介电屏蔽效应，提高栅电极对沟道的控制能力，从而提高了器件的性能[8]。

已有铁电材料 P(VDF-TrFE)[9]、双电层(EDL)[10]、超薄聚合物(PV3D3，PV1D1)[11]、h-BN[12]、mica[13]、Al_2O_3[14]、HfO_2[15]等高 k 栅介质成功用于 MoS_2 晶体管，取得了较好的电特性。HfO_2 因具有较高介电常数、较好介电屏蔽效应而成为研究热点[16-21]。但是，HfO_2 薄膜的缺陷密度较高，可能引起强烈的载流子散射，使得迁移率降低和阈值电压(V_{TH})漂移。有研究将 La 掺入 HfO_2 形成 HfLaO 薄膜。一方面，减少氧空位的产生[22-23]，降低薄膜缺陷密度，抑制费米能级钉扎[24]；另一方面，降低缺陷能量，减小栅极漏电流，增强栅偏压应力的稳定性[25]。目前，尚未见 HfLaO 高 k 栅介质 MoS_2 晶体管器件的报道。

本文通过磁控溅射方法，生长了 HfLaO 高 k 栅介质薄膜，制备了 MoS_2 背栅晶体管，研究了该晶体管的电特性。为了比较栅介质对器件性能的影响，同时制作了 HfO_2 栅介质 MoS_2 晶体管。实验结果表明，La 与 HfO_2 相结合后，可降低栅介质薄膜的表面粗糙度，减少缺陷电荷产生，改善栅介质/沟道界面特性，从而有效抑制载流子散射，提高晶体管的场效应迁移率，降低晶体管的亚阈斜率。

1　实　验

1.1　晶体管制备

选用 N 型重掺杂、0.01～0.05 Ω·cm 电阻率的 Si 片作为衬底。晶体管制作的工艺流程为：1)RCA清洁工艺，稀释 HF(2%)冲洗，去掉 Si 表面 SiO_2；2)采用 JGP450C3 高真空磁控溅射镀膜机，气氛条件为 $Ar+O_2$，射频功率为 65 W，预生长厚薄膜，测试生长速率，调节溅射时间，生长厚度为 20 nm 的非晶薄膜，退火(200 ℃、20 min)，得到 HfO_2、HfLaO 高 k 栅介质薄膜；3)用胶带将多层 MoS_2 薄片从 MoS_2 晶体上剥离下来，反复粘贴、撕开，直至胶带上附着的 MoS_2 在光学显微镜下呈现淡紫色，MoS_2 厚度小于 20 nm 后，将胶带粘贴到 HfO_2/Si 或 HfLaO/Si 衬底上，轻施压力，实现紧密贴合，再将胶带撕去，MoS_2 薄膜则转移到 HfO_2 或 HfLaO 表面；4)选择合适厚度(8～15 nm)的 MoS_2 薄膜，电子束曝光(EBL)制备电极图形，电子束蒸发工艺生长叠层 Cr/Cu(15/50 nm)金属薄膜，再经 Lift-off 工艺，得到漏、源电极。利用低电阻率的 Si 衬底作栅电极，因其在制备的器件底部或背面，故称之为底栅或背栅器件；5)样品在高真空腔中退火，温度 300 ℃，时长 2 小时，以改善电极接触，并去除污染物。最终制备出 MoS_2 晶体管。

1.2　测试

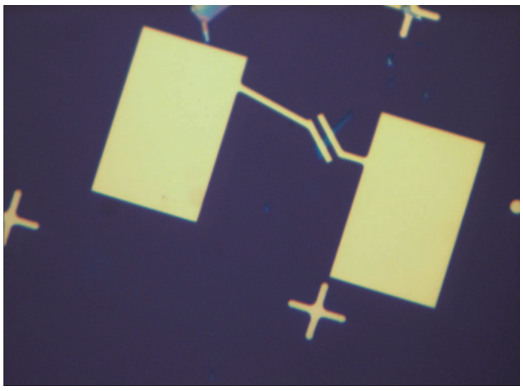
栅介质表面形貌由原子力显微镜(AFM)观测，栅介质厚度由椭偏仪(Ellipsometer)确定，X 射线光电子能谱(XPS)用于分析介质薄膜原子组份。扫描电子显微镜(SEM)用来获得晶体管的高分辨率图像。晶体管的电特性测量由 4200-SCS 完成，测量条件为室温及光电屏蔽环境。

2　结果分析与讨论

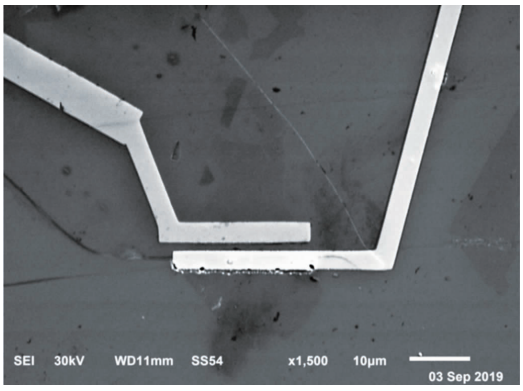
图 1(a)和(b)分别为背栅 MoS_2 晶体管的光学图像和 SEM 图像，晶体管的沟道长度约 2 μm，沟道宽度由电极图形和 MoS_2 的形状共同确定，约 3～6 μm。根据 XPS 软件分析，HfLaO 薄膜的原子比为 Hf∶La=4∶1。虽核电子并不参与化学键合，但核电子的结合能对原子所处的环境比较敏感，一旦电荷环境发生变化，结合能也会发生偏移。如图 2(a)所示，La 掺入 HfO_2 后，Hf 4f 的结合能降低，表明 La 与 HfO_2 的结合抑制了氧空位的产生[25]。而且，两个卫星峰之间的能量间距从 1.6 eV 缩小至 1.5 eV，表示 HfLaO 化合物中存在 Hf-O-La 键。La 3d 的结合能也证实 La-O 键的存在，如图 2(b)所示。

HfO_2 与 HfLaO 非晶薄膜的 AFM 图像如图 3 所示，图 3(a)、(b)分别为 HfO_2、HfLaO 的 AFM 图像。磁控溅射生长的 HfO_2 薄膜的 RMS 粗糙度约为 0.51 nm，比原子层淀积生长的 HfO_2 薄膜 RMS

粗糙度(0.44 nm)略高[16]。而 HfLaO 薄膜的 RMS 粗糙度约为 0.22 nm，明显比 HfO_2 薄膜表面光滑。HfO_2 薄膜较大的表面粗糙度是因为 HfO_2 即使在低温制备环境下也容易结晶，而 HfLaO 薄膜的表面粗糙度得到改善是由于 La 的参与阻止了 Hf 氧化物的结晶。栅介质的表面粗糙度对介质/半导体界面特性有较大的影响。

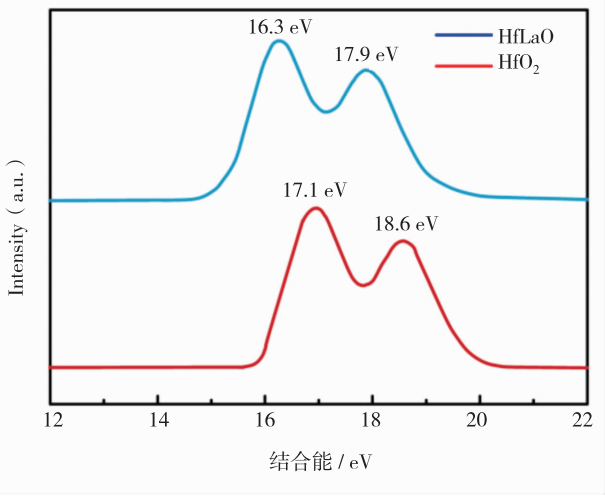


(a) 光电图像

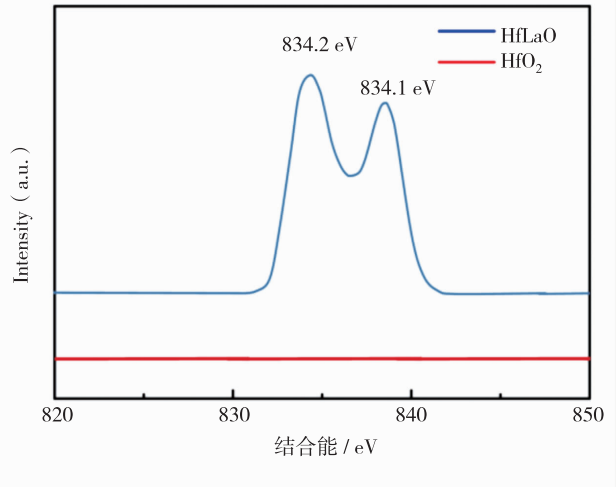


(b) SEM 图像

图 1　背栅 MoS_2 晶体管的光学图像与 SEM 图像



(a) Hf 4f



(b) La 3d

图 2　HfO_2 和 HfLaO 的核电子 XPS 能谱

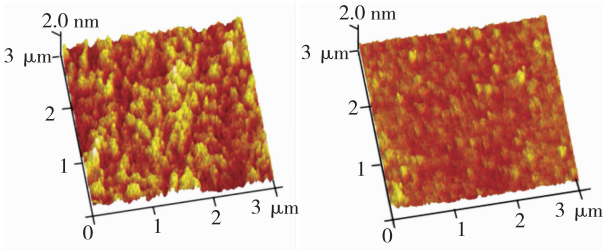


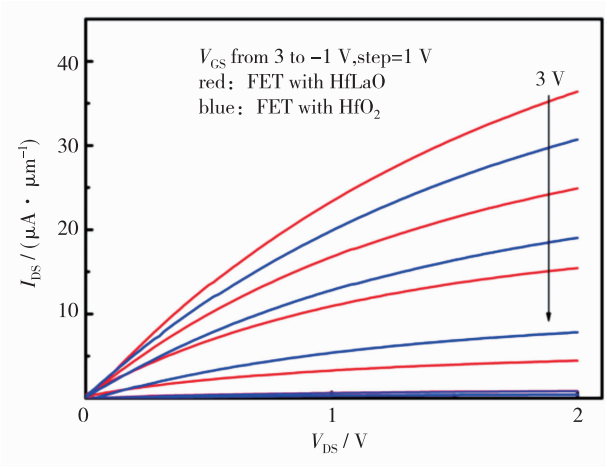
图 3　HfO_2 与 HfLaO 薄膜表面的 AFM 图像

图 4(a)是 MoS_2 FET 的输出特性曲线(I_{DS}-V_{DS})。从图 4(a)可见，在相同的栅偏压($V_{GS}=3$ V)和漏、源电压($V_{DS}=2$ V)下，HfLaO 栅介质 MoS_2 FET 的 I_{DS} 比 HfO_2 栅介质晶体管的 I_{DS} 大。晶体管的 I_{DS} 正比于栅电容和载流子迁移率。两种晶体管的栅介质厚度相同，而 HfO_2 的介电常数略高于 HfLaO，因此 HfO_2 样品的栅电容密度略高。HfLaO 栅介质 MoS_2 FET 具有较大的 I_{DS}，可初步判断该器件的场效应迁移率(μ_{FE})比较高。晶体管的栅极漏电流在 1×10^{-8} μA/μm 数量级，远低于晶体管的关态电流(1×10^{-7} μA/μm)，表明 20 nm 的 HfLaO 或 HfO_2 均能实现可靠的栅绝缘。同时，HfO_2 栅介质 MoS_2 FET 的栅极漏电流比较大，应归因于 HfO_2 较大的表面粗糙度和易结晶属性，结晶产生的晶界形成额外的漏电流通道，增大了栅极漏电流，这一点对降低器件功耗不利。图 4(b)是 MoS_2 FET 的转移特性曲线(I_{DS}-V_{GS})。对于 HfO_2 栅介质 MoS_2 FET，电流开关比和亚阈斜率(Subthreshold Swing，SS)分别为 2×10^7 和 113 mV/dec，足够满足开关电子器件的要求。场效应迁移率表达式为：

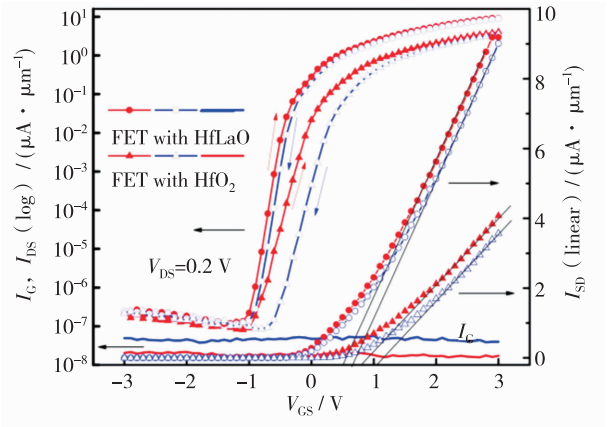
$$\mu_{FE}=\frac{\partial I_{DS}}{\partial V_{GS}}\frac{L}{W}\frac{t_{ox}}{C_{ox}}\frac{1}{V_{DS}} \tag{1}$$

$$C_{ox}=\frac{\varepsilon_0\times\varepsilon}{t_{ox}} \tag{2}$$

式中，L 和 W 分别为沟道长度和宽度，C_{ox} 为栅电容密度，ε_0 为真空介电常数，ε 为栅介质的相对介电常数，t_{ox} 为栅介质厚度。HfO_2 栅介质 MoS_2 FET 的 μ_{FE} 计算值为 73 $cm^2\cdot V^{-1}\cdot s^{-1}$。经栅压正向扫描和反向扫描，转移特性曲线之间的回滞电压约为 0.27 V。通过正向栅压扫描的转移特性曲线提取的阈值电压（V_{TH}）为 0.83 V，与反向扫描的 V_{TH} 之间出现了 0.32 V 的漂移（ΔV_{TH}），表明 HfO_2 栅介质或 HfO_2/MoS_2 界面存在着大量的陷阱电荷[26]。6 个 HfO_2 栅介质 MoS_2 FETs 表现出一致的电性能，如 μ_{FE} 在 70～80 $cm^2\cdot V^{-1}\cdot s^{-1}$ 之间，开关电流比介于 1×10^7～4×10^7 之间，SS 在 110～120 mV/dec 之间浮动。



（a）I_{DS}-V_{DS} 输出特性曲线



（b）I_{DS}-V_{GS} 转移特性曲线和 I_G 曲线

图 4　MoS_2 晶体管的电特性曲线

与 HfO_2 栅介质 MoS_2 FET 相比，HfLaO 栅介质 MoS_2 FET 的电性能得到了较大程度的改善，如输出电流密度增加至～9 μA/μm（@V_{GS}=3 V，V_{DS}=0.2 V），亚阈斜率减小为 76 mV/dec，开关电流比高达 1×10^8，阈值电压降低到 0.54 V。阈值电压降低表明栅压对导电沟道的控制能力增强，有利于降低器件功耗。而且，HfLaO 栅介质 MoS_2 FET 转移特性的回滞电压仅为 0.09 V，阈值电压漂移也降低为 0.16 V，表明 HfLaO 介质具有较低的缺陷电荷密度。HfLaO 栅介质 MoS_2 FET 陡峭的亚阈斜率表明栅介质/沟道界面特性得到较大改善。亚阈斜率和界面态密度（D_{it}）的表达式分别为：

$$SS=\ln 10\times\frac{\kappa T}{q}\times\frac{C_{ox}+C_{it}}{C_{ox}} \tag{3}$$

$$D_{it}=\frac{C_{it}}{q^2} \tag{4}$$

式中，κ 是 Boltzmann 常数，T 是测量温度（300 K），q 是电子电荷，C_{it} 是界面缺陷电容密度。因而可计算出 HfLaO/MoS_2 和 HfO_2/MoS_2 的 D_{it}，分别为 1.1×10^{12}、4.9×10^{12} $cm^{-2}\cdot eV^{-1}$，证实了 La 与 HfO_2 的结合改善了栅介质/MoS_2 界面特性，从而降低了界面态密度。La 的引入降低了 HfLaO 的陷阱电荷密度，削弱了库仑散射，而且 HfLaO 较小的表面粗糙度抑制了界面粗糙散射，从而使 HfLaO 栅介质 MoS_2 FET 的 μ_{FE} 增加到 109 $cm^2\cdot V^{-1}\cdot s^{-1}$，比 HfO_2 栅介质 MoS_2 FET 提高了 43%，与文献[16]、[18]的 μ_{FE} 数值接近。因此，沟道载流子迁移率的提高是 HfLaO 栅介质 MoS_2 FET 输出电流增大的主要原因，证实了此前的初步判断。5 个 HfLaO 栅介质 MoS_2 FETs 的电特性高度一致，开关比约为 1×10^8，亚阈斜率在 70～85 mV/dec 之间，场效应迁移率均高于 90 $cm^2\cdot V^{-1}\cdot s^{-1}$，表明 La 与 HfO_2 的结合能有效增强 MoS_2 场效应晶体管的电性能。

3　结　论

本文研究了 Hf 基氧化物栅介质多层 MoS_2 晶体管的电特性。HfO_2 栅介质介电常数较高，易于制备，但其缺陷密度较大，而且表面粗糙度较高，与半导体沟道接触特性较差。HfO_2 掺 La 能够抑制缺陷电荷的产生，并降低薄膜表面粗糙度，对改善 MoS_2/栅介质界面特性有利。实验结果表明，与 HfO_2 栅介质 MoS_2 晶体管相比，HfLaO 栅介质 MoS_2 晶体管的电流开关比增加约 5 倍，亚阈斜率降低 32%，界面缺陷密度降低约 80%，载流子场效应迁移率提高 49%。因此，HfLaO 高 k 栅介质对制备高性能的 MoS_2 晶体管有极大的应用价值。

参 考 文 献：

[1]　MAK K F, LEE C, HONE J, et al. Atomically thin

MoS_2：a new direct-gap semiconductor [J]. Phys Rev Lett, 2010, 105(13): 136805-1 - 136805-4.

[2] RASMUSSEN F A, THYGESEN K S. Computational 2D materials database: electronic structure of transition-metal dichalcogenides and oxides [J]. J Phys Chem C, 2015, 119(23): 13169-13183.

[3] CASTELLANOS-GOMEZ A, BUSCEMA M, MOLENAAR R, et al. Deterministic transfer of two - dimensional materials by all-dry viscoelastic stamping [J]. 2D Materials, 2014, 1(1): 011002-1 - 011002-8.

[4] RADISAVLJEVIC B, KIS A. Mobility engineering and a metal-insulator transition in monolayer MoS_2 [J]. Nat Mater, 2013, 12(9): 815-820.

[5] XIE L, LIAO M, WANG S, et al. Graphene-contacted ultrashort channel monolayer MoS_2 transistors [J]. Advan Mater, 2017, 29(37): 1702522-1 - 1702522-7.

[6] ILLARIONOV Y Y, SMITHE K K H, WALTL M, et al. Improved hysteresis and reliability of MoS_2 transistors with high-quality CVD growth and Al_2O_3 encapsulation [J]. IEEE Elec Dev Lett, 2017, 38(12): 1763-1766.

[7] ZHENG J, YAN X, LU Z, et al. High-mobility multilayered MoS_2 flakes with low contact resistance grown by chemical vapor deposition [J]. Advan Mater, 2017, 29(13): 1604540-1 - 1604540-6.

[8] YU Z, ONG Z Y, LI S, et al. Analyzing the carrier mobility in transition-metal dichalcogenide MoS_2 field-effect transistors [J]. Advan Funct Mater, 2017, 27 (19): 1604093-1 - 1604093-17.

[9] LIU X, LIANG R, GAO G, et al. MoS_2 negative - capacitance field - effect transistors with subthreshold swing below the physics limit [J]. Advan Mater, 2018, 30: 1800932-1 - 1800932-8.

[10] GAO G, YU J, YANG X, et al. Triboiontronic transistor of MoS_2 [J]. Advan Mater, 2018, 30: 1806905-1 - 1806905-10.

[11] YANG S C, CHOI J, JANG B C, et al. Large-scale, low-power nonvolatile memory based on few-layer MoS_2 and ultrathin polymer dielectrics [J] Advan Elec Mater, 2019, 5: 1800688-1 - 1800688-8.

[12] AN V Q, FAN S D, LEE S H, et al. Near-zero hysteresis and near-ideal subthreshold swing in h-BN encapsulated single-layer MoS_2 field-effect transistors [J]. 2D Mater, 2018, 5(3): 031001-1 - 031001-8.

[13] ZOU X, XU J, LIU L, et al. Damage-free mica/MoS_2 interface for high-performance multilayer MoS_2 field-effect transistors [J]. Nanotechnol, 2019, 30(34): 345204-1 - 345204-8.

[14] CHENG R, JIANG S, CHEN Y, et al. Few-layer molybdenum disulfide transistors and circuits for high-speed flexible electronics [J]. Nat Commun, 2014, 5: 5143-1 - 5143-9.

[15] GANAPATHI K L, BHATTACHARJEE S, MOHAN S, et al. High performance HfO_2 back gated multilayer MoS_2 transistors [J]. IEEE Elec Dev Lett, 2016, 37(6): 797-800.

[16] ZOU J, WANG L, CHEN F. Improved performance of top-gated multilayer MoS_2 transistors with channel fully encapsulated by Al_2O_3 dielectric [J]. AIP Advan, 2019, 9(9): 095061-1 - 095061-5.

[17] BOLSHAKOV P, ZHAO P, AZCATL A, et al. Improvement in top-gate MoS_2 transistor performance due to high quality backside Al_2O_3 layer [J]. Appl Phys Lett, 2017, 111(3): 032110-1 - 032110-4.

[18] ZOU X, XU J, HUANG H, et al. A comparative study on top-gated and bottom-gated multilayer MoS_2 transistors with gate stacked dielectric of Al_2O_3/HfO_2 [J]. Nanotechnol, 2018, 29(24): 245201-1 - 245201-7.

[19] ZHAO P, AZCATL A, BOLSHAKOV P, et al. Effects of annealing on top-gated MoS_2 transistors with HfO_2 dielectric [J]. J Vacuum Sci & Technol B, 2017, 35(1): 01A118-1 - 01A118-6.

[20] ZOU X, WANG J, CHIU C H, et al. Interface engineering for high-performance top-gated MoS_2 field-effect transistors [J]. Advan Mater, 2014, 26(36): 6255-6261.

[21] LI X, XIONG X, LI T, et al. Effect of dielectric interface on the performance of MoS_2 transistors [J]. ACS Appl Mater Interfaces, 2017, 9(51): 44602-44608.

[22] UMEZAWA N, SHIRAISHI K, SUGINO S, et al. Suppression of oxygen vacancy formation in Hf based high-κ dielectrics by lanthanum incorporation [J]. Appl Phys Lett, 2007, 91(13):132904-1 - 132904-3.

[23] LIU D, ROBERTSON J. Passivation of oxygen vacancy states and suppression of Fermi pinning in HfO_2 by La addition [J]. Appl Phys Lett, 2009, 94 (4): 042904-1 - 042904-3.

[24] WANG X, YU H, LI M F, et al. Wide V_{fb} and V_{th} tunability for metal-gated MOS devices with HfLaO gate dielectrics [J]. IEEE Elec Dev lett, 2007, 28(4): 258-260.

[25] AN C H, LEE M S, CHOI J Y, et al. Change of the trap energy levels of the atomic layer deposited HfLaOx films with different La concentration [J]. Appl Phys Lett, 2009, 94(26): 262901-1 - 262901-3.

[26] HAN C Y, SONG J Q, TANG W M, et al. High-performance organic thin-film transistor by using LaNbO as gate dielectric [J]. Appl Phys Lett, 2015, 107(3): 033503-1 - 033503-5.

单界面陷阱对 7 nm P 型 GAAFET 性能影响研究

张珀菁，李小进，禚　越，孙亚宾，石艳玲
（华东师范大学 电子工程系 上海多维信息处理重点实验室，上海 200241）

摘　要： 采用 3D TCAD 软件仿真分析了单界面陷阱对 7 nm P 型全环栅场效应晶体管 DC 和 AC 性能的影响。研究结果表明：单个陷阱能使转移特性曲线发生严重偏移；当单界面陷阱位于沟道中心附近且陷阱能级靠近导带时，对关态电流和阈值电压的影响最大；陷阱使栅电容的相对变化量小于 1%；环栅晶体管沟道长度和纳米线直径的缩小会加重陷阱对器件性能的影响，高介电常数材料的 Spacer 可减小陷阱引起的沟道能带弯曲程度，从而缓解陷阱对器件性能的影响。在调节器件结构参数使器件性能最大化的同时，应使陷阱对器件性能的影响最小化。

关键词： 7 nm 节点；全环栅场效应晶体管；单界面陷阱；阈值电压
中图分类号：TN432；TN386　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0569-05
DOI：10.13911/j.cnki.1004-3365.190494

Study on the Effect of Single Interface Trap on Performance of 7 nm P-Type GAAFET

ZHANG Pojing, LI Xiaojin, ZHUO Yue, SUN Yabin, SHI Yanling
(*Shanghai Key Laboratory of Multidimensional Information Processing, Department of Electrical Engineering, East China Normal University, Shanghai* 200241, *P. R. China*)

Abstract: The DC and AC performance of P-type gate-all-around field effect transistor (GAAFET) at 7-nm node affected by single interface trap were investigated by 3D TCAD simulation. It was found that the transfer characteristic curve suffered significant shift due to single trap. When single interface trap located at the middle of channel and trap energy level was closed to conduction band, the largest variation of off-state current and threshold voltage was observed. The gate capacitance variation induced by trap was less than one percent. The impact of trap on device performance was aggravated by the reduction of channel length or nanowire diameter of GAAFET. The channel energy band bending caused by trap was decreased by spacer with high dielectric constant, so the effect of trap on device performance was reduced. Both maximizing device performance and minimizing the variations caused by interface trap should be considered when modulating device structure parameter.

Key words: 7-nm node; gate-all-around nanowire FET; single interface trap; threshold voltage

0　引　言

随着 MOS 器件特征尺寸的不断缩小，短沟道效应(SCE)变得越来越严重。在 10 nm CMOS 工艺节点以下，全环栅场效应晶体管(GAAFET)因栅控能力强、对短沟道效应抑制能力强而将成为未来 CMOS 技术的主流器件[1]。但是，GAAFET 的性能易受工艺过程的影响。如，刻蚀 SiGe 会在 Si 纳米线表面留下大量悬挂键，使得 GAAFET 的界面

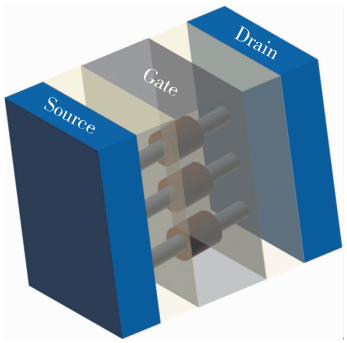
收稿日期：2019-09-20；**定稿日期：**2019-11-08
基金项目：国家科技重大专项资助项目(2016ZX02301003)；国家科学自然基金资助项目(61574056，61704056)；上海扬帆计划资助项目(YF1404700)；上海市科学技术委员会资助项目(14DZ2260800)
作者简介：张珀菁(1995—)，女(汉族)，重庆人，硕士研究生，研究方向为集成电路及器件。

陷阱密度(D_{it})比平面 MOSFET 高得多[2-3]。在 10 nm 工艺节点下的 GAAFET 中，纳米线与栅介质层界面处存在的界面陷阱使器件之间的性能差异增加。CMOS 电路老化的主要因素，即负栅压温度不稳定性(NBTI)，与器件沟道与栅氧界面间的陷阱密切相关。因此，迫切需要研究陷阱对于 GAAFET 的影响。

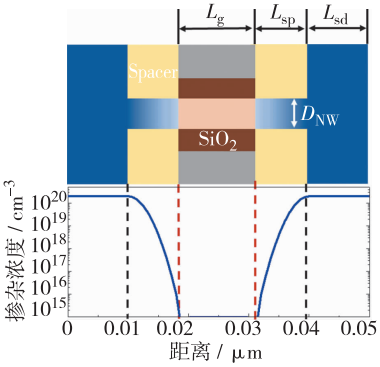
本文采用 Sentaurus TCAD 软件，仿真分析了单界面陷阱的能级和位置对 7 nm P 型 GAAFET DC、AC 性能的影响。分析了器件结构参数，如纳米线直径、沟道长度、Spacer 材料等，对陷阱的影响。

1　器件结构与仿真方法

在电路设计中，GAAFET 采用多根纳米线，可提高器件的驱动电流。垂直堆叠的纳米线具有节约面积的优势。本文提出了一种 3 根纳米线垂直堆叠的全环栅场效应晶体管，这种 7 nm P 型 GAAFET 的结构如图 1 所示。



(a) 三维图



(b) 二维中心截面示意图

图 1　7 nm P 型 GAAFET 的结构图

图中，栅长 L_g、Spacer 长度 L_{sp}、源/漏端长度 L_{sd}、纳米线直径 D_{NW} 分别为 14 nm、8 nm、10 nm、6 nm。器件的有效栅氧厚度(EOT)为 0.6 nm，源/漏极的掺杂浓度为 2E20 cm^{-3}，沟道掺杂浓度为 1E15 cm^{-3}。仿真使用的物理模型包括密度梯度模型、电子/空穴漂移扩散模型、飞利浦统一迁移率模型、速度饱和模型和 SRH 模型。阈值电压 V_{th} 采用恒定电流法提取，I_{Vth} 为 $(W/L)\times$1E−8 A。本文所有器件仿真均在 300 K 下进行。初始线性区的阈值电压为 0.24 V，导通电流 I_{on} 为 11.16 μA/μm，关态电流 I_{off} 为 0.11 nA/μm。

2　仿真结果与分析

对于 P 型 GAAFET，单个施主型陷阱放在纳米线和栅氧化层界面处。单界面陷阱对 GAAFET 线性区的转移特性曲线的影响如图 2 所示。可以看出，单个界面陷阱对线性区的转移特性曲线造成严重影响。界面陷阱使得源漏电流减小，特别是栅电压较小时。原因是空穴从源端流向漏端时，有一部分会被陷阱捕获[4-5]。随着栅压的增大，陷阱对漏端电流的影响逐渐减小。原因是，陷阱的引入使得界面处的导带和价带在陷阱位置处发生弯曲[6-7]。当增大的栅压使能带弯曲足够大时，继续增大栅电压，能带弯曲程度不再明显改变，陷阱对于漏端电流的影响不再明显[8-9]。

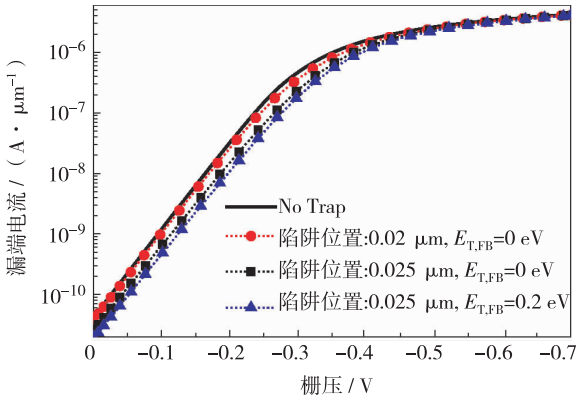


图 2　单界面陷阱对 GAAFET 线性区转移特性曲线的影响

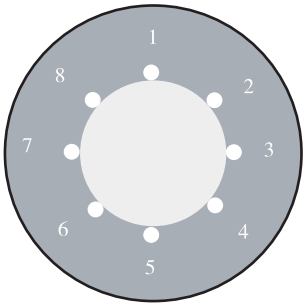
单界面陷阱对性能的影响与陷阱在器件中的位置有关。与单界面陷阱位于靠近源端(陷阱位置：0.02 μm)相比，当陷阱位于源漏距离中心位置(陷阱位置：0.025 μm)时，陷阱会引起更大的源漏电流变化。原因是沟道中心载流子浓度比沟道中靠近源/漏端附近的载流子浓度低，而陷阱捕获空穴导致的源漏电流变化量与载流子浓度成反比[10]。

单界面陷阱对性能的影响还与陷阱的能级有关。与单界面陷阱能级位于禁带中心($E_{T,FB}$ = 0 eV)相比，当陷阱能级距离禁带中心以上 0.2 eV

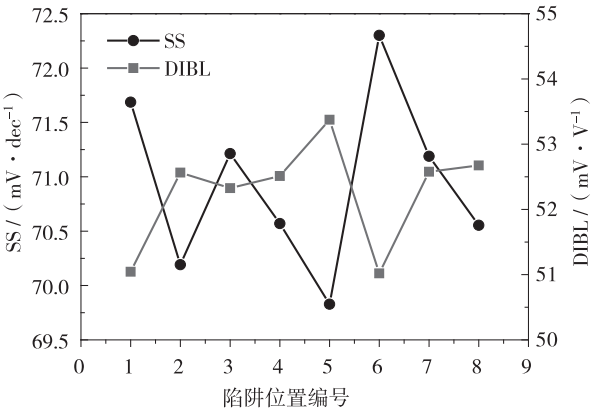
($E_{T,FB}=0.2$ eV)时，陷阱会导致更小的源漏电流。原因是，陷阱能级越靠近导带，越易从导带中捕获空穴[11]。

2.1　单界面陷阱位置对 DC 性能的影响

为了探究陷阱位置对 GAAFET 的 DC 性能影响，将单个界面陷阱($E_{T,FB}=0$)分别放置在环绕沟道的不同位置处，如图 3(a)所示。当陷阱在环绕纳米线的不同位置时，相应的亚阈值摆幅(SS)和漏致势垒降低(DIBL)的关系描述如图 3(b)所示。可以看出，SS 与 DIBL 的变化趋势相反。原因是，陷阱引起的器件阈值电压变化导致了 SS 的增加，抑制了 DIBL[12]。



(a) 陷阱环绕沟道位置编号



(b) SS/DIBL 与陷阱位置的关系

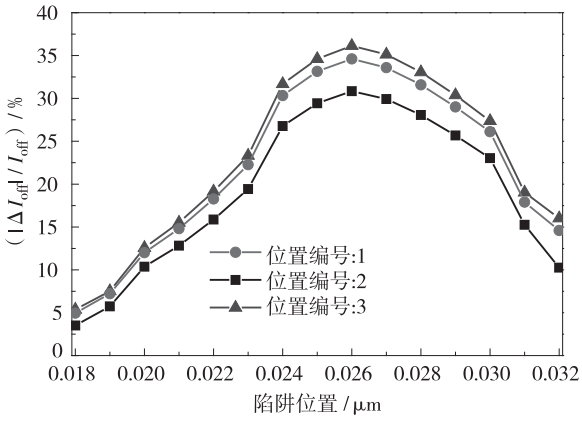
图 3　SS/DIBL 与单界面陷阱环绕纳米线位置的关系

进一步探讨陷阱位置对 DC 性能影响的关系。分别放置于环绕纳米线位置编号 1、2、3 处的单界面陷阱($E_{T,FB}=0$)从源端向漏端移动，研究陷阱沿沟道长度方向的位置对 DC 性能的影响。因为陷阱对亚阈值区的影响最大，所以采用关态电流相对变化量、阈值电压相对变化量来表征陷阱对 DC 性能的影响程度：

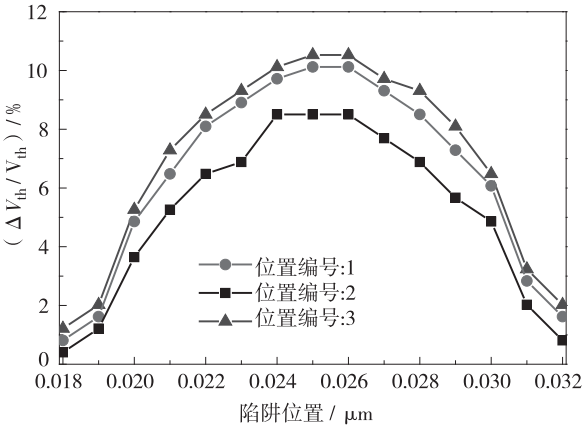
$$|\Delta I_{off}|/I_{off}=|I_{off,traped}-I_{off,initial}|/I_{off,initial} \quad (1)$$

$$\Delta V_{th}/V_{th}=(V_{th,traped}-V_{th,initial})/V_{th,initial} \quad (2)$$

沟道长度方向单界面陷阱位置与器件 I_{off}、V_{th} 相对变化量的关系如图 4 所示。可以看出，与平面 CMOS[10]器件、FinFET[13]器件相同，当单个界面陷阱位于源漏端距离中心位置附近时，陷阱对阈值电压和关态电流的影响最大；当陷阱沿着沟道长度方向向源/漏端移动时，影响逐渐减小。GAAFET 在没受陷阱影响时，沟道电流在环绕沟道位置编号 3 处的电流最大，因此陷阱位于 3 处时，对电流的影响也最大。



(a) 关态电流相对变化量与陷阱位置的关系



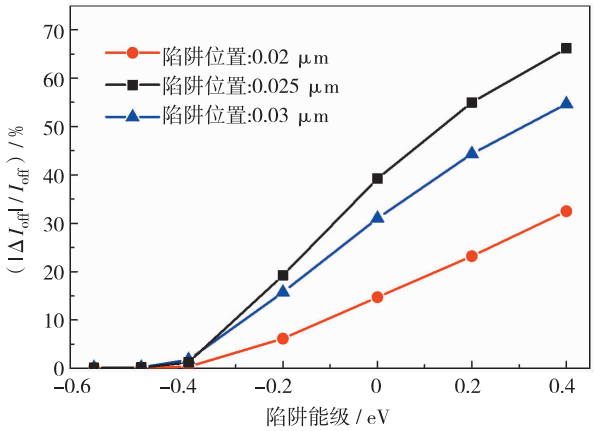
(b) 阈值电压相对变化量与陷阱位置的关系

图 4　沟道长度方向单界面陷阱位置与 I_{off}、V_{th} 相对变化量的关系

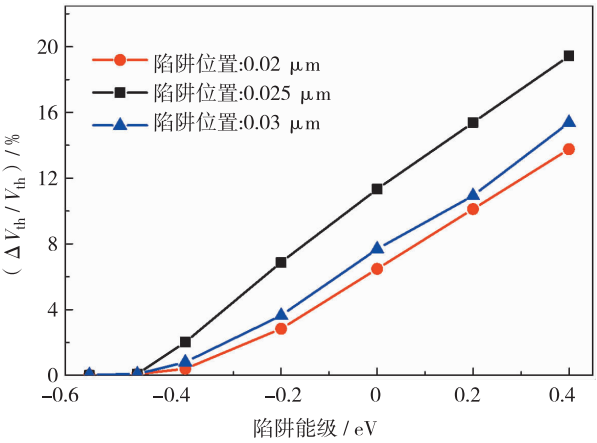
2.2　单界面陷阱能级对 DC 性能的影响

当单界面陷阱位于靠近源端(陷阱位置：0.02 μm)、源漏距离中心(陷阱位置：0.025 μm)、靠近漏端(陷阱位置：0.03 μm)时，陷阱能级与 I_{off}、V_{th} 变化量之间的关系如图 5 所示。可以看出，器件性能在陷阱位于源漏距离中心位置时最易受陷阱能级的影响，陷阱能级 $E_{T,FB}$ 越大，对性能的影响越大。$E_{T,FB}$ 为正值，代表陷阱能级位于禁带中心上方。正值越大，陷阱能级离导带越近，更易从导带中捕获空穴，

对 I_{off}、V_{th}的影响也越大[11]。



(a) 关态电流相对变化量与陷阱能级的关系

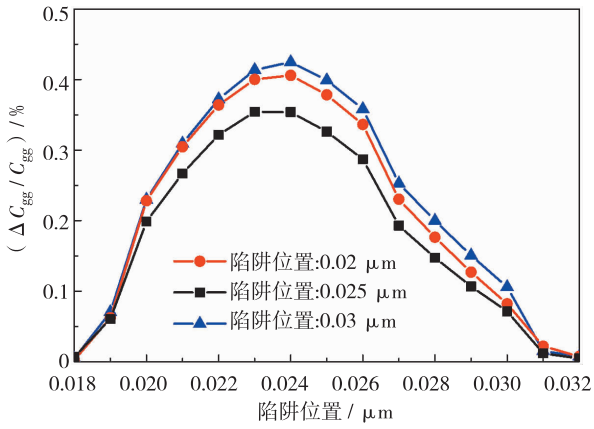


(b) 阈值电压相对变化量与陷阱能级的关系

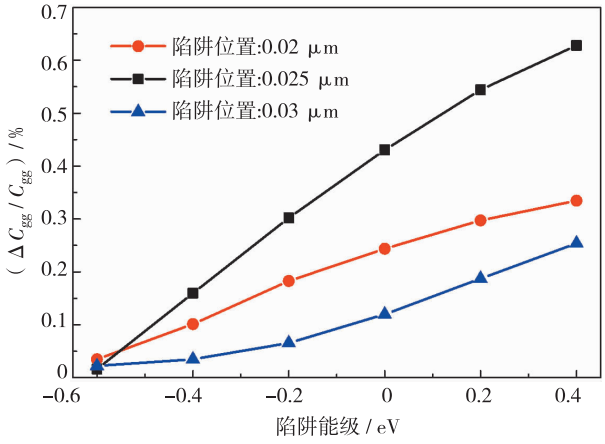
图 5 沟道不同位置单界面陷阱能级与 I_{off}/V_{th} 相对变化量的关系

2.3 单界面陷阱对 AC 性能的影响

栅电容相对变化量与单界面陷阱位置和能级的关系如图 6 所示。图 6(a)为环绕沟道位置编号 3 处的单界面陷阱沿着沟道长度方向、从源端向漏端移动时引起的栅电容 C_{gg}相对变化量。栅电容在 $V_{ds}=-0.35$ V、$V_{gs}=-0.7$ V 时取值。图 6(b)为单界面陷阱位于靠近源端(陷阱位置:0.02 μm)、源漏距离中心(陷阱位置:0.025 μm)、靠近漏端(陷阱位置:0.03 μm)时,陷阱能级与栅电容相对变化($\Delta C_{gg}/C_{gg}$)的关系。可以看出,与陷阱影响 DC 性能相同,在陷阱位于沟道中心附近、陷阱能级靠近导带时,陷阱对 AC 性能的影响最大。因为 GAAFET 栅控能力强,陷阱使栅电容的相对变化量为 1%以下,所以,陷阱影响可以忽略[14]。



(a) 栅电容相对变化量与陷阱位置的关系



(b) 栅电容相对变化量与陷阱能级的关系

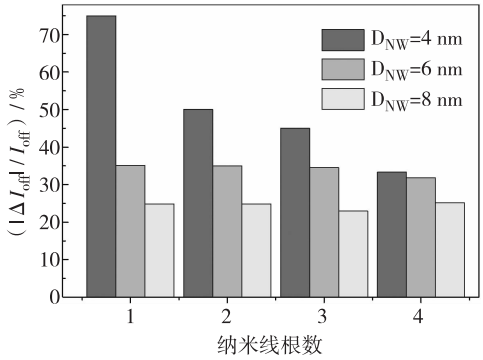
图 6 栅电容相对变化量与单界面陷阱位置和能级的关系

2.4 GAAFET 结构参数对陷阱影响的改善

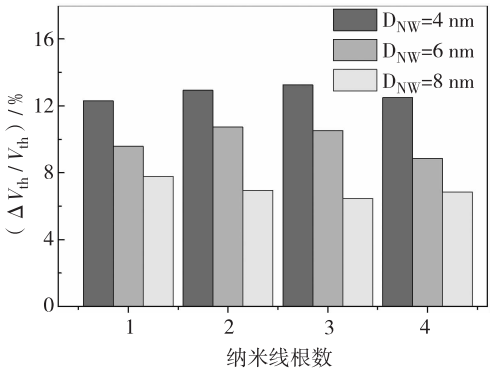
为了探究 GAAFET 结构参数与陷阱对性能的影响程度,单界面陷阱($E_{T,FB}=0$)被放置在源漏中心位置、环绕纳米线位置编号 3 处。单界面陷阱对 I_{off}、V_{th}的影响与器件结构参数的关系如图 7 所示。

从图 7(a)、图 7(b)可以看出,纳米线直径越小,I_{off}、V_{th}相对变化量越大。原因是,当纳米线直径减小,栅的控制能力增强,沟道中的电场增强,陷阱引起的沟道与栅氧层界面能带弯曲更大,使得 I_{off}、V_{th}的变化增大[11]。

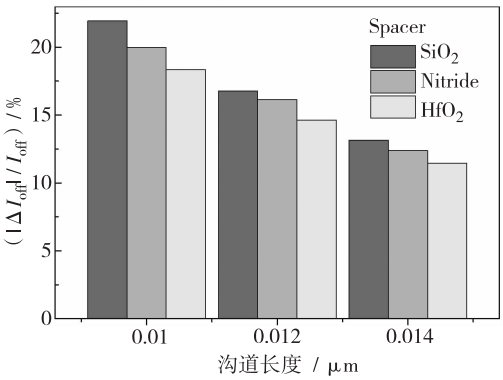
从图 7(c)、图 7(d)可以看出,当单界面陷阱($E_{T,FB}=0$)被放在靠近源端时,Spacer 介电常数越大,I_{off}、V_{th}相对变化量越小。原因是,材料的介电常数越大,越能减缓陷阱导致的能带弯曲程度,可在一定程度上减小界面陷阱的影响[12-15]。



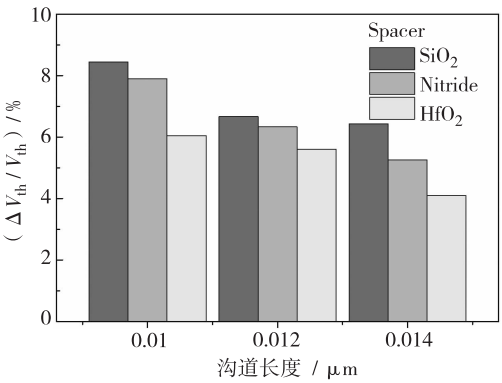
(a) I_{off} 相对变化量与纳米线根数、直径的关系



(b) V_{th} 相对变化量与纳米线根数、直径的关系



(c) I_{off} 相对变化量与沟道长度、Spacer 材料的关系



(d) V_{th} 相对变化量与沟道长度、Spacer 材料的关系

图 7　I_{off}、V_{th} 相对变化量与器件结构参数的关系

3　结　论

本文仿真分析了沟道和栅氧化层界面处单个施主型陷阱对 7 nm P 型 GAAFET 的性能影响。研究结果表明，单个陷阱能严重影响转移特性曲线，特别是在栅电压较小时。当陷阱位于沟道中心附近，陷阱能级靠近导带时，陷阱对器件性能的影响最严重。器件的沟道长度或纳米线直径减小，会加重陷阱对器件性能的影响。Spacer 区域采用高介电常数的材料会减小陷阱对性能的影响。GAAFET 的栅控能力强，因此陷阱导致的栅电容变化可以忽略。

参 考 文 献：

[1] MARIA T, ROBIN D, PHILIPPE J. Fast ramped voltage characterization of single trap bias and temperature impact on time-dependent V_{th} variability [J]. IEEE Trans Elec Dev, 2014, 61(9): 3139-3144.

[2] MERTENS H, RITZENTHALER R, CHASIN A, et al. Vertically stacked gate-all-around Si nanowire CMOS transistors with dual work function metal gates [C] // IEDM. San Francisco, CA, USA. 2016: 524-527.

[3] YEO K H, SUK S D, LI M. Gate-All-Around (GAA) twin silicon nanowire MOSFET with 15 nm length gate and 4 nm radius nanowires [C] // IEDM. San Francisco, CA, USA. 2006: 1-4.

[4] CHETTI A, BONANO M, COMPA C, et al. Physical modeling of single-trap RTS statistical distribution in flash memories [C] // IEEE Int Reliab Phys Symp. Phoenix, AZ, USA. 2008: 610-615.

[5] MULLER H, SCHULZ M. Conductance modulation of submicrometer metal-oxide-semiconductor field-effect transistors by single-electron trapping [J]. J Appl Phys, 1996, 79(8): 4178-4186.

[6] CASE M, TACHI K, THIELE S, et al. Spectroscopic charge pumping in Si nanowire transistors with a high-*k*/metal gate [J]. Appl Phys Lett, 2010, 96: 123506-1 - 123506-3.

[7] PARK J, SHIN C. Impact of interface traps and surface roughness on the device performance of stacked-nanowire FETs [J]. IEEE Trans Elec Dev, 2017, 64(10): 4025-4030.

[8] MARCO G. PALA L, DAVID E. Interface traps in InAs nanowire tunnel-FETs and MOSFETs—part I: model description and single trap analysis in tunnel-FETs [J]. IEEE Trans Elec Dev, 2013, 60(9): 2795-2801.

（下转第 578 页）

湿法刻蚀调节分裂栅存储器的浮栅层形貌研究

巩　晨[1,2]，王新泽[1,2]，张荣跻[2]，刘　敏[2]，马一楠[2]，刘　轩[2]，阎海涛[2]，毛海央[1]
（1. 中国科学院大学，北京 100029；2. 中芯国际集成电路制造有限公司，北京 100176）

摘　要： 随着分裂栅存储器器件尺寸的不断减小，理想浮栅层形貌的获得越来越具有技术挑战性。在实际生产过程中，经常会发生浮栅层存在空洞缺陷的问题。结合第三代分裂栅存储器 40 nm 浮栅层制造工艺，分析了浮栅层出现空洞的原因。在分步刻蚀的工艺流程下，对磷酸使用两次小换酸的方式，解决了浮栅层存在空洞缺陷的问题。通过工艺优化，得到理想浮栅层形貌所需要的湿法刻蚀工艺中磷酸和氢氟酸的使用量。

关键词： 分裂栅存储器；湿法刻蚀；分步刻蚀；磷酸换酸方式
中图分类号：TN432　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0574-05
DOI：10.13911/j.cnki.1004-3365.190483

Adjusting Profile of Floating Gate Layer in Split Gate Memory by Wet Etching

GONG Chen[1,2], WANG Xinze[1,2], ZHANG Rongji[2], LIU Min[2], MA Yinan[2], LIU Xuan[2], YAN Haitao[2], MAO Haiyang[1]
(1. *University of Chinese Academy of Sciences*, *Beijing* 100029, *P. R. China*;
2. *Semiconductor Manufacturing International Corporation*, *Beijing* 100176, *P. R. China*)

Abstract: With the size of split gate memory device decreasing, the floating gate layer morphology is more and more uncontrollable. In the actual production process, the void defects in the floating gate layer have been found. The reasons for the void in the floating gate layer in the fabrication process of 40 nm third-generation split-gate memory was analyzed in this paper. It was proposed that the voids had been solved by step-by-step etching with twice partly exchange phosphoric acid. Then, the usage of phosphoric acid and hydrofluoric acid which was required to obtain the ideal floating gate layer morphology was discussed.

Key words: split-gate flash memory; wet etching; step-by-step etching; phosphoric acid exchange method

0　引　言

从 1990 年代起，分裂栅存储器因具有高编程速度、能克服过擦除效应等优异性能而被广泛应用于低功耗嵌入式系统中[1-3]。其中，第三代分裂栅存储器的结构图如图 1 所示（存储器单元 y 方向截面图）。可以看出，这种结构有效减小了器件尺寸，降低了制造工艺复杂度，提高了存储密度以及产品成品率[4-5]。

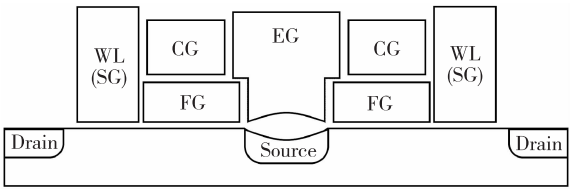


图 1　分裂栅存储器结构图（y 方向）

结合分裂栅制造工艺，有研究发现，浮栅形貌是影响存储单元反向擦除电压分布域的主要因素。若要使擦除电压均匀，应提高存储单元浮栅形貌的均

收稿日期：2019-08-14；**定稿日期：**2019-10-08
基金项目：国家自然科学基金资助项目(61771467)；中国科学院青年创新促进会资助项目(2018153)
作者简介：巩　晨(1996—)，女，陕西人，硕士研究生，研究方向为半导体工艺。

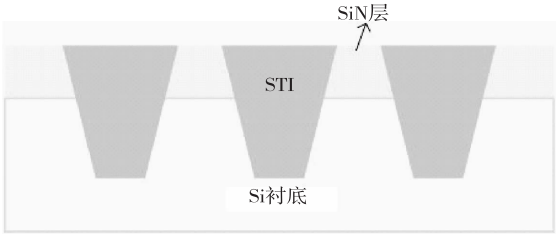
匀性[6-8]。也有研究表明，对隧穿沟道氧化层进行热退火处理或者降低浮栅与源端之间的氧化层中氯含量，均能提高存储器的数据保持能力[9]。鳍式分裂栅存储器以及与 HKMG 工艺结合的分裂栅存储器已经被研制成功，它们具有良好的亚阈值特性以及数据存储能力[10-13]。但是，就平面结构分裂栅存储器而言，少有文献提及湿法刻蚀工艺在分裂栅存储器浮栅制作工艺过程中所起的作用。

浮栅形貌主要受浮栅生长前处理及浮栅生长这两个工艺流程的影响。本文主要研究浮栅生长前的处理过程中湿法蚀刻工艺对浮栅层形貌的影响，以期通过调节工艺方法及工艺参数，解决浮栅层空洞缺陷的问题，得到理想的浮栅形貌。

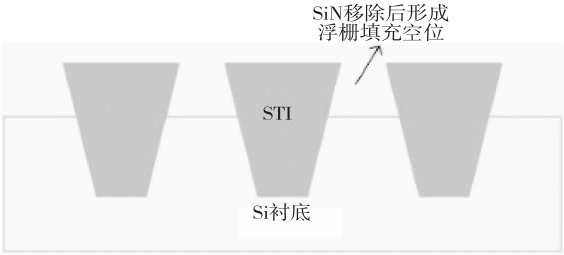
1　浮栅层工艺与实验方案

文献[14]报道了分裂栅存储器的浮栅制作方法。首先对硅片进行浅槽隔离(STI)，再进行化学机械抛光(CMP)，抛至 SiN 硬掩模层，如图 2(a)所示。接着，使用磷酸去除相邻 STI 结构中的 SiN，并在移除 SiN 之后的空位处填充多晶硅浮栅，如图 2(b)所示(存储单元 x 方向截面图)。图 2(c)所示为沉积浮栅层(FG)、ONO 层(Oxide-Nitride-Oxide)以及控制栅层(CG)之后沿浮栅的 y 方向截面图。最后在此方向上形成控制栅、擦除栅、源漏端(SD)，如图 1 所示。

STI 结构不是理想中的直角形貌，而是一个梯形形貌，造成了多晶硅浮栅的填充空位深宽比比较大、开口比较小，浮栅层淀积时容易生成空洞。空洞的存在将会使数据存储、读写性能变差。



(a) STI 隔离后 CMP 停至 SiN 硬掩模层

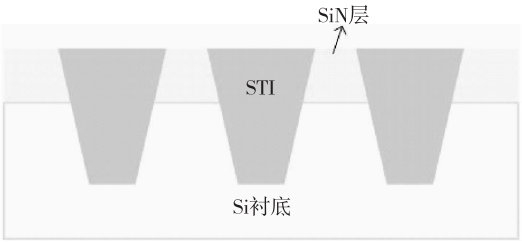


(b) 移除 STI 结构间的 SiN 后形成浮栅填充空位

(c) 填充浮栅层后的 y 方向截面图

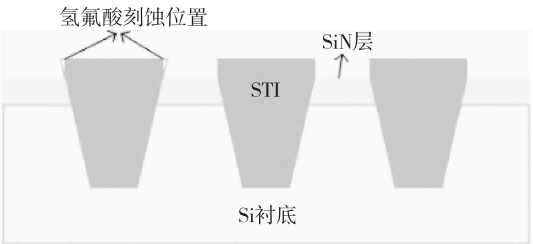
图 2　浮栅工艺流程示意图

常用的湿法刻蚀工艺是使用磷酸来一次性移除 SiN，但存在出现浮栅空洞的风险。因此，本文提出两种优化方案。第一种方案是使用分步刻蚀，其工艺流程如图 3 所示。与原有工艺步骤不同的是，分步刻蚀先使用磷酸刻蚀部分 SiN，再使用氢氟酸刻蚀上一步中暴露出的侧边尖角 SiO_2，最后再次使用磷酸去除剩余 SiN，达到调节浮栅层形貌的目的。



(a) STI 隔离后 CMP 停至 SiN 硬掩模层

(b) 第一次使用磷酸刻蚀部分 SiN



(c) 第二次使用氢氟酸刻蚀尖角位置 SiO_2

(d) 第二次使用磷酸刻蚀剩余 SiN 层

图 3　分步刻蚀流程图

第一种方案中使用了两次磷酸，第二种方案是调节磷酸的使用方式。在实际生产中，磷酸换酸方式分为两种。一种是使用一定时间后，将磷酸全部换掉的大换酸方式。另一种是根据磷酸溶液中化学品流失比例，按需补充少量磷酸和水的小换酸方式。研究发现，两种换酸方式的磷酸对于 SiN 有着同样的刻蚀速率，而对 SiO_2 的刻蚀速率存在很大差异。原因在于溶液中硅饱和度不同，大换酸方式的磷酸对于 SiO_2 的刻蚀速率高，换酸前后刻蚀速率差异大，而小换酸方式的磷酸对于 SiO_2 的刻蚀速率几乎为零，如图 4 所示。因此，使用磷酸大换酸，可实现在刻蚀 SiN 的同时刻蚀侧边 SiO_2，减小深宽比。

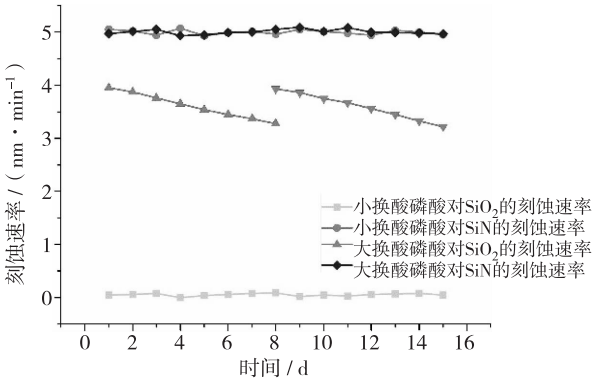


图 4　不同换酸方式的磷酸对 SiO_2、SiN 刻蚀速率的差异

2　实　验

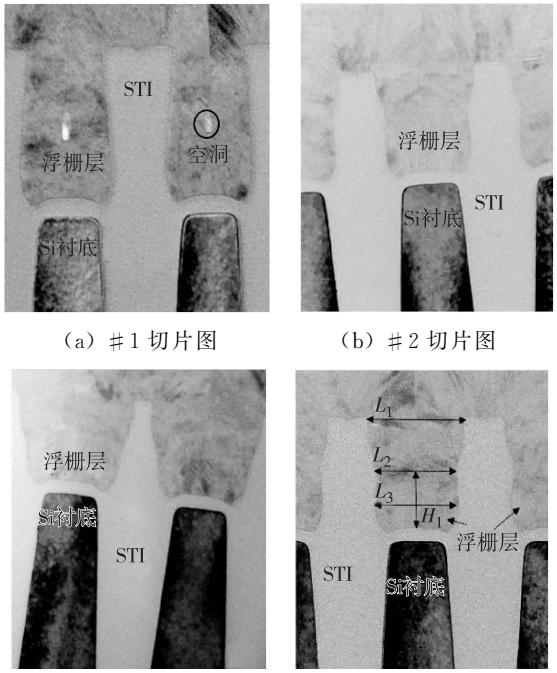
2.1　分步刻蚀以及磷酸换酸方式的影响

本文实验主要探究单步大换酸、分步刻蚀与不同磷酸换酸相结合的方式对浮栅层形貌的影响，具体实验分组如表 1 所示。

表 1　实验安排表

实验分组	磷酸换酸方式
#1	单步大换酸
#2	第一次磷酸大换酸，第二次磷酸小换酸
#3	第一次磷酸大换酸，第二次磷酸大换酸
#4	第一次磷酸小换酸，第二次磷酸小换酸

使用表 1 的实验设置，对经过多晶硅淀积还未经过浮栅 CMP 的硅片作透射电子显微镜(TEM)切片，如图 5 所示。从图 5(a)所示的 #1 片 TEM 图可以看出，采用单步大换酸方式时，可起到在刻蚀 SiN 的同时刻蚀侧边 SiO_2 的作用，但效果不理想，浮栅层中仍会产生空洞。图 5(b)所示的 #2 片 TEM 图中，浮栅开口扩大，形貌趋于理想。图 5(c)所示的 #3 片 TEM 图中，浮栅间距过小。图 5(d)所示的 #4 片 TEM 图中，浮栅具有良好的形貌结构。也就是说，采用 #2、#4 组实验方式均可调节到理想的浮栅层形貌。但是，使用大换酸方式时，在换酸前后，磷酸对于 SiO_2 的刻蚀速率存在较大差异，在实际生产中可控性较差。因此，在后面的实验中，采用两次小换酸的分步刻蚀方式。



(a) #1 切片图　　(b) #2 切片图

(c) #3 切片图　　(d) #4 切片图

图 5　不同实验设置条件下浮栅 TEM 切片图

接下来，将在两次小换酸的分步刻蚀实验条件下，进一步探究第一次磷酸使用量和氢氟酸使用量对于浮栅形貌的影响，进而选择出良好的使用量搭配。第二次磷酸使用量影响的是最终 SiN 的残余程度，并不影响整体形貌，本文暂不探究。后续实验结果测量位置如图 5(d)中 #4 切片图所示。L_1 用来衡量浮栅层填充能力；L_3 与 L_2 的差值用来衡量形貌规则度；H_1 用来衡量可为后续 CMP 留下的窗口裕度。

2.2　第一次磷酸使用量的影响

首先探究第一次磷酸使用量的影响，实验分组如表 2 所示。表中，a 为理论上可将原有 SiN 厚度减小一半的磷酸使用量。

表 2 所示条件下，对应的切片图数据分析如图 6 所示。图中，H_1 的相对值为实际 H_1 值与 a 的差值。可以看出，在 H_1 斜率变化不大的情况下，L_3 与 L_2 之差值减小速度为先快后慢。因此，本文选择第一步磷酸使用量为 a，同时保证 H_1 与浮栅形貌的

规则度。

表 2　第一次磷酸使用量实验安排表

实验分组	第一次磷酸使用量	第二次氢氟酸使用量
#5	$a-150$	-
#6	a	-
#7	$a+200$	-

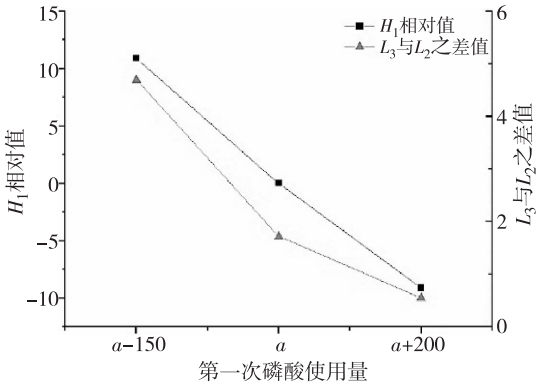


图 6　第一次磷酸使用量的结果图

2.3　第二次氢氟酸使用量的影响

再来探究第二次氢氟酸使用量的影响，实验分组如表 2 所示。

表 3　第二次氢氟酸使用量的影响

实验分组	第一次磷酸使用量	第二次氢氟酸使用量
#8	a	$b-35$
#9	a	$b-20$
#10	a	b
#11	a	$b+20$
#12	a	$b+50$

第二次氢氟酸使用量的实验结果如图 7 所示。L_1 相对值反映的是 L_1 随氢氟酸使用量的变化趋势。可以看出，L_1 相对值先随着氢氟酸使用量增加而增加，但增加到 b 之后，L_1 基本维持不变。同时，L_3 与 L_2 之差值随着氢氟酸使用量的增加而减小，当氢氟酸使用量为 $b+50$ 时，其差值为 -0.37。为保持 L_1 为较大值，且 L_3 与 L_2 之差值较小，第二步氢酸的最优使用量为 $b+50$。

2.3　验证

采用上述实验方案，在浮栅经过 CMP 之后，TEM 切片如图 8 所示。可以看出，浮栅形貌规则且均匀，未出现浮栅空洞问题。

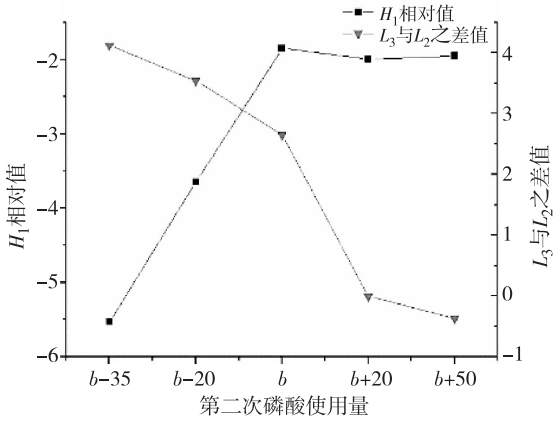


图 7　第二次氢氟酸使用量结果图

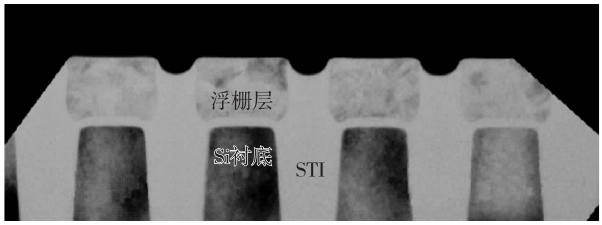


图 8　CMP 后浮栅 TEM 切片图

3　总　结

浮栅形貌是影响存储单元反向擦除电压分布域的主要因素，空洞出现在浮栅当中时，将会导致器件存储以及读写性能变差。本文首先分析了浮栅层出现空洞的原因，探究了分步刻蚀以及磷酸换酸方式对于浮栅层形貌的影响。研究发现，采用两次磷酸小换酸的分步刻蚀工艺，即可解决浮栅空洞的问题，还可简化此工艺在实际生产中的操作流程。对工艺参数进行优化，得出第一步磷酸量为 a、第二步氢氟酸使用量为 $b+50$ 时，浮栅层形貌最为理想。最后，通过 TEM 切片分析，进一步验证了最优条件下所得浮栅形貌均匀良好，无空洞问题出现。

参 考 文 献：

[1]　HIDAKA H. Evolution of embedded flash memory technology for MCU [C] // IEEE Int Conf IC Des & Technol. Kaohsiung, China. 2011: 1-4.

[2]　MA X, THANT Z T, JIANG H, et al. Integration of split-gate flash memory in 130 nm BCD technology for automotive applications [C] // Elec Dev Technol & Manufac Conf. Singapore. 2019: 318-320.

[3]　CHU Y S, WANG Y H, WANG C Y, et al. Split-gate flash memory for automotive embedded

applications [C] // Int Reliab Phys Symp. Monterey, CA, USA, 2011: 6B. 1.1-6B. 1.5.

[4] LUO L Q, TEO Z Q, KONG Y J, et al. Functionality demonstration of a high-density 2.5 V self-aligned split-gate NVM cell embedded into 40 nm CMOS logic process for automotive microcontrollers [C] // IEEE 8th IMW. Paris, France. 2016: 1-4.

[5] LEE Y K, MIN H, JEON C, et al. Highly scalable 2nd-generation 45-nm split-gate embedded flash with 10-ns access time and 1M-cycling endurance [C] // IEEE 8th IMW. Paris, France. 2016: 1-4.

[6] TKACHEV Y, WALLS J A. The sources of erase voltage variability in split-gate flash memory cell arrays [C] // IEEE IIRW. South Lake Tahoe, CA, USA. 2016: 8-12.

[7] TKACHEV Y, YOO J W, KOTOV A, et al. The analysis of erase voltage variability in 70-nm split-gate flash memory arrays [C] // IEEE IMW. Kyoto, Japan. 2018: 1-4.

[8] TKACHEV Y, WALLS J A. Silicon dioxide degradation in strongly non-uniform electric field [C] // IEEE IIRW. Fallen Leaf Lake, CA, USA. 2017: 1-4.

[9] CAO Z, ZHANG L, SUN Y, et al. Investigation on the leakage of triple split-gate flash device and its improve solution [C] // CSTIC. Shanghai, China. 2018: 1-4.

[10] TSUDA S, KAWASHIMA Y, SONODA K, et al. First demonstration of FinFET split-gate MONOS for high-speed and highly-reliable embedded flash in 16/14 nm-node and beyond [C] // IEEE IEDM. San Francisco, CA, USA. 2016: 11.1. 1-11.1. 4.

[11] TSUDA S, SAITO T, NAGASE H, et al. Reliability and scalability of FinFET split-gate MONOS array with tight V_{th} distribution for 16/14 nm-node embedded flash [C] // IEEE IEDM. San Francisco, CA, USA. 2017: 19.3. 1-19.3. 4.

[12] JAN C H, BHATTACHARYA U, BRAIN R, et al. A 22 nm SoC platform technology featuring 3-D tri-gate and high-*k*/metal gate, optimized for ultra low power, high performance and high density SoC applications [C] // IEEE IEDM. San Francisco, CA, USA. 2012: 3.1. 1-3.1. 4.

[13] YONG K L, JEON C, MIN H, et al. High-speed and logic-compatible split-gate embedded flash on 28-nm low-power HKMG logic process [C] // Symp VLSI Technol. Kyoto, Japan. 2017: 202-203.

[14] 何其旸. 制造分离栅极存储器浮栅的方法 [P]. 中国：200910046775, 2012-03-21.

（上接第 573 页）

[9] DAVID E, MARCO G. PALA L. Interface traps in InAs nanowire tunnel FETs and MOSFETs—part II: comparative analysis and trap-induced variability [J]. IEEE Trans Elec Dev, 2013, 60(9): 2802-2807.

[10] ASEN A, RAMESH B, ANDREW R. RTS amplitudes in decananometer MOSFETs: 3-D simulation study [J]. IEEE Trans Elec Dev, 2003, 50(3): 839-845.

[11] YOON J S, KIM K, RIM T. Performance and variations induced by single interface trap of nanowire FETs at 7-nm node [J]. IEEE Trans Elec Dev, 2017, 64(2): 339-345.

[12] DAS S, KUNDU S. Simulation to study the effect of oxide thickness and high-dielectric on drain-induced barrier lowering in n-type MOSFET [J]. IEEE Trans Nanotechnol, 2013, 12(6): 945-947.

[13] FAN M, HU V P, CHEN Y N, et al. Analysis of single-trap-induced random telegraph noise on FinFET devices, 6T SRAM cell, and logic circuits [J]. IEEE Trans Elec Dev, 2012, 59(8): 2227-2234.

[14] SUNG W L, LI Y. DC/AC/RF characteristic fluctuations induced by various random discrete dopants of gate-all-around silicon nanowire n-MOSFET [J]. IEEE Trans Elec Dev, 2018, 65(6): 2638-2646.

[15] YADAV N, ABKUR B, SANTOSH K. Analysis of single-trap-induced random telegraph noise on asymmetric high *k* spacer FinFET [C] // IEEE INIS. Gwalior, India. 2016: 264-267.

降低有源区颗粒状缺陷密度的晶圆倒角优化工艺

邓 森[1]，乔树山[1,2]，翟冬梅[3]，李 希[3]
（1. 中国科学院大学 微电子学院，北京 100029；2. 中国科学院 微电子研究所，北京 100029；
3. 中芯国际集成电路制造有限公司，北京 100176）

摘 要： 基于 28 nm 先进工艺平台，研究了有源区工艺中大颗粒状缺陷（LPD）的产生机理及优化方案。研究结果表明，LPD 的产生与晶圆边缘倒角形状相关，较短的倒角导致晶圆在 CVD 工艺中产生背面划伤。划伤产生的颗粒在气体作用下浮到晶圆表面，经过后续工艺步骤后，在有源区硬掩膜氧化层表面形成 LPD。提出了改善晶圆边缘倒角形状和嵌入 NANO 喷洒工艺步骤的优化方案，消除了 LPD，提高了产品的合格率。

关键词： 晶圆倒角；颗粒状缺陷；有源区；NANO 喷洒
中图分类号：TN405 **文献标识码：**A **文章编号：**1004-3365(2020)04-0579-05
DOI：10.13911/j.cnki.1004-3365.190495

Optimization of Wafer Bevel Shape for Reducing Particle Defect Density in Active Area

DENG Sen[1], QIAO Shushan[1,2], ZHAI Dongmei[3], LI Xi[3]
(1. *School of Microelectronics, University of Chinese Academy of Sciences, Beijing* 100029, *P. R. China*;
2. *Institute of Microelectronics, Chinese Academy of Sciences, Beijing* 100029, *P. R. China*,
3. *Semiconductor Manufacturing International Corporation, Beijing* 100176, *P. R. China*)

Abstract: Based on 28 nm advanced technology platform, mechanism of large particle defect (LPD) formation in active area loop and its optimization methodologies was presented. The results indicated that the defect was associated with wafer edge bevel shape, and shorter bevel shape caused scratch on wafer backside during CVD process. The particle produced by scratching would float to the surface of the wafer by air flow during CVD process. After oxide layer, SiN layer and active area hard mask oxide layer was deposited, and LPD was formed on the surface of the active area hard mask oxide layer. Bevel shape optimization and NANO spray method were presented to reduce LPD and enhance product yield.

Key words: bevel shape; particle defect; active area; NANO spray

0 引 言

在 IC 制造工艺中，缺陷密度是影响产品合格率的重要因素之一。如何在工艺中降低缺陷密度，是 IC 制造面临的主要挑战之一。在标准 CMOS 工艺中，晶圆制备主要包括以下步骤：晶体生长、晶体滚磨、线切割、倒角、刻蚀、双面抛光、边缘抛光、晶圆清洗、颗粒检查和封装。晶圆边缘倒角区域的位置较特殊，制作工艺的稳定性较差。因此，在 CMP、CVD、刻蚀等工步骤中，晶圆边缘倒角区域易产生一些严重缺陷，从而影响合格率。如，在有源区淀积

收稿日期：2019-08-20；**定稿日期：**2019-10-11
基金项目：航空科学基金资助项目（201743X2002）
作者简介：邓 森（1994—），男（汉族），安徽亳州人，硕士，研究方向为半导体工艺技术、器件可靠性技术。

接触孔工艺步骤中，坞(W)淀积时，薄膜的均匀性和粘附性较差，会产生边缘翘起的缺陷。在光刻工艺步骤中，显影不充分，会产生桥连的缺陷[1-2]。对晶圆边缘倒角区域的检测方法以及相应缺陷的去除方法有许多文献报道[3-10]。

本文基于 28 nm 先进工艺平台，研究了有源区工艺流程中有源区硬掩膜氧化层(AAHMOX)产生大颗粒状缺陷(LPD)的原因，提出了相应的优化方案，去除了 LPD，提高了产品的合格率。

文章第 1 节描述了 28 nm 工艺中三类 AAHMOX 中 LPD 的分布情况和特征分析。第 2 节通过光学显微镜(OM)和电子扫描显微镜(SEM)，对 LPD 进行分析，探究缺陷产生的根本原因。第 3 节提出了优化晶圆边缘倒角工艺和嵌入 NANO 喷洒工艺两种优化方案，消除了 LPD。

1　LPD 分析

在 28 nm 工艺中，有源区是制造的重要组成部分。有源区制作的工艺步骤有：晶圆表面预清洗、垫氧化层淀积、氮化硅层淀积、硬掩膜氧化层淀积，如图 1 所示。

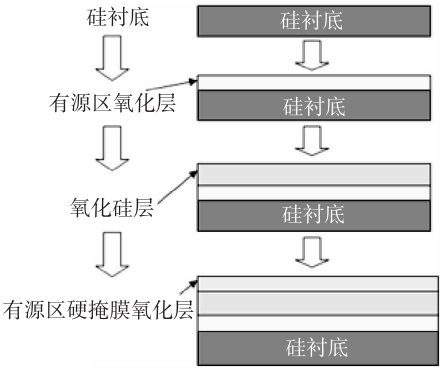


图 1　有源区制作工艺步骤

在有源区的工艺步骤过程中，因各种原因而可能产生的典型缺陷有：颗粒状缺陷、边缘翘起缺陷、图形缺失缺陷和淀积物残留缺陷。实际工艺中，在 CVD 工艺淀积 AAHMOX 后，通过颗粒检测工具 SP3 发现，颗粒状缺陷数量增多，不同类型硅衬底中的缺陷数量的差异很大。

在 AAHMOX 中，三类衬底的颗粒状缺陷数量分布如图 2 所示。可以看出，硅衬底 3 的缺陷数量明显高于硅衬底 1、硅衬底 2。三类硅衬底来自于不同的衬底供应商，三者的主要区别在于衬底边缘的倒角形状。衬底 1、衬底 2 的倒角较长，衬底 3 的倒角较短。

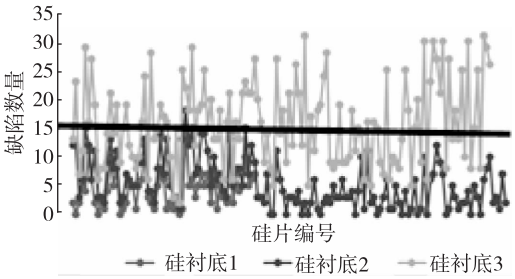


图 2　三类衬底的颗粒状缺陷数量分布图

硅衬底边缘倒角参数分布如图 3 所示。图中，A1、A2 值代表晶圆倒角的长短。

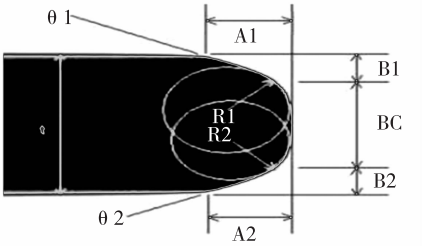
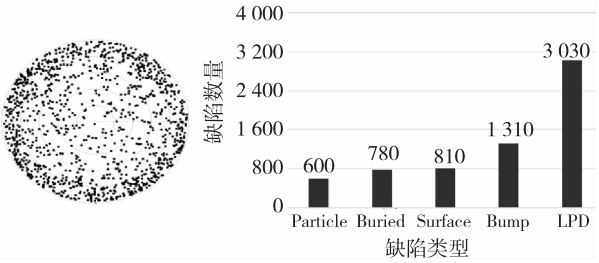


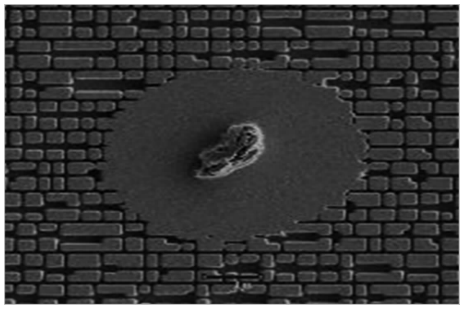
图 3　硅衬底倒角参数分布图

AAHMOX 中，颗粒状缺陷分布、LPD 缺陷、图形缺失缺陷分别如图 4(a)、图 4(b)、图 4(c)所示。

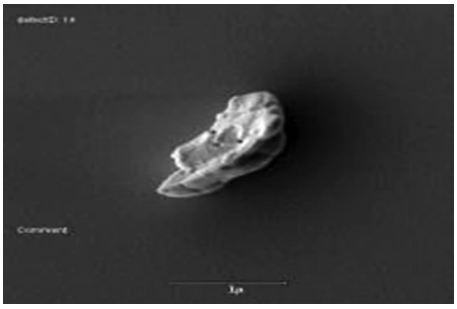
可以看出，颗粒状缺陷是随机分布在晶圆表面，在晶圆边缘处，LPD 的数量较多。LPD 的形状类似石头，尺寸大于 0.12 μm，出现在 AAHMOX 表面。在刻蚀工艺步骤后，LPD 会造成有源区浅槽隔离区域(STI)产生图形缺失缺陷，造成器件漏电，从而影响合格率。



(a) 颗粒状缺陷及分布



(b) LPD 缺陷



(c) 图形缺失缺陷

图 4　各类缺陷示意图

2　LPD 形成机理研究

2.1　实验

在 28 nm 有源区工艺中，为了研究硅衬底 3 中 LPD 数量偏高的原因，本次实验步骤为：将直径为 300 mm 的衬底 3 裸晶圆分成 Level1、Level 2 两组。Level1 为短倒角组，Level2 为长倒角组。将两组晶圆在相同工艺条件下，进行同样的工艺步骤：裸晶圆表面颗粒的数量检测；预清洗工艺；有源区氧化层淀积（AAOX）；有源区 SiN 层淀积（AA-SiN）；AAHMOX 淀积。在每道工艺步骤后，均进行表面颗粒数量检测。两组硅晶圆的具体工艺流程如表 1 所示。表 1 中的 V 表示进行相应的工艺流程。

表 1　实验流程表

工艺步骤	Level 1(短倒角)	Level 2(长倒角)
SP3 检测	V	V
预清洗	V	V
有源区氧化层	V	V
SP3 检测	V	V
SiN 层	V	V
SP3 检测	V	V
有源区硬掩膜氧化层	V	V
SP3 检测	V	V

利用 OM 和 SEM，对晶圆背面边缘倒角区域进行分析。晶圆边缘倒角区域的观察点如图 5 所示。

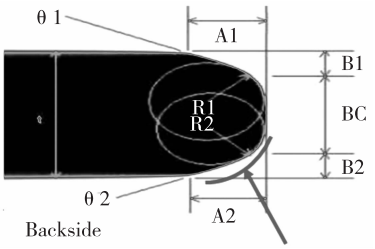


图 5　晶圆边缘倒角区域的观察点

2.2　实验数据分析

OM 结果如图 6 所示。可以看出，在 SiN 层淀积、AAHMOX 淀积后，在 Level1 组中，晶圆背面斜切面边界出现刮伤，Level2 组中则没有刮伤。

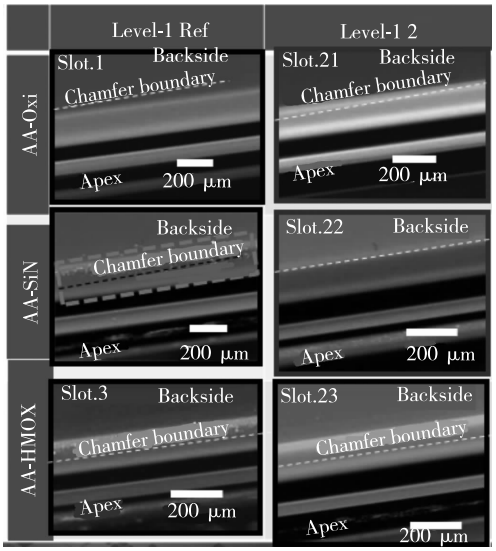


图 6　Level1 和 Level2 的 OM 结果图

利用 SEM 对两组晶圆表面进一步观察发现，Level1 在 AAHMOX 出现 LPD，而 Level2 中则没有出现 LPD。晶圆边缘倒角区域的 SEM 图如图 7 所示。利用 EDX 对 LPD 进行缺陷元素成分分析，结果表明，LPD 中并没有特殊的元素存在，只包含来自于 CVD 工艺流程中的 C、O、Si、N 成分。LPD 的 EDX 结果如图 8 所示。

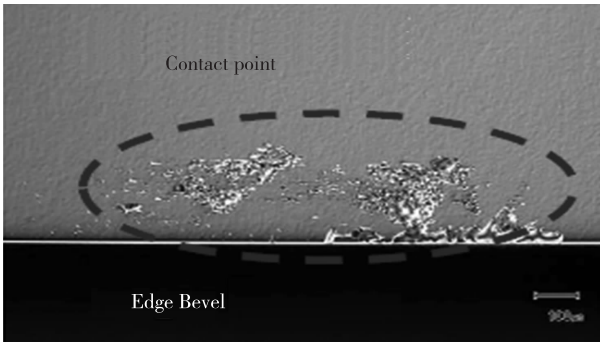
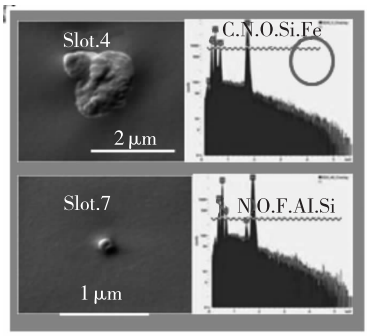


图 7　晶圆边缘倒角区域刮伤的 SEM 图

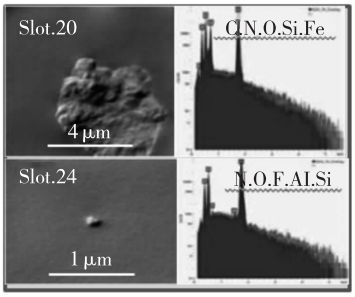
通过实验数据可知，LPD 的产生与晶圆边缘的倒角形状相关。长倒角、短倒角时晶圆与 CVD 机台的接触示意图分别如图 9(a)、图 9(b)所示，LPD 产生的机理图如图 9(c)所示。

可以看出，短倒角时，在 CVD 工艺中，晶圆背面出现了划伤。划伤产生的颗粒在气体作用下浮到晶圆表面，经过有源区垫氧化层淀积、氮化硅层淀积、AAHMOX 淀积等工艺步骤后，在 AAHMOX

表面形成了 LPD。

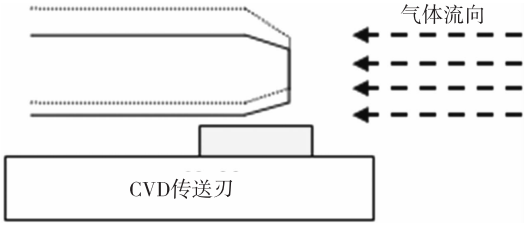


(a) Level 1

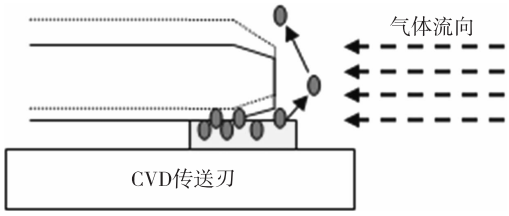


(b) Level 2

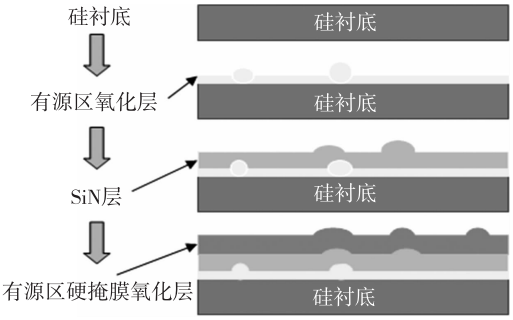
图 8　LPD 的 EDX 结果图



(a) 长倒角时硅衬底与 CVD 机台接触示意图



(b) 短倒角时硅衬底与 CVD 机台接触示意图



(c) LPD 产生机理图

图 9　LPD 产生机理分析流程图

3　缺陷优化方案

在 IC 制造工艺中，晶圆边缘斜切面的清洗、抛光磨平、超声波等工艺可消除颗粒状缺陷[10-17]。本文采用衬底倒角优化工艺和 AAHMOX 淀积后嵌入 NANO 喷洒工艺等优化方案，减少颗粒状缺陷。

3.1　衬底倒角优化工艺

为了消除衬底 3 上 AAHMOX 中的 LPD，本文进行如下操作：改善硅边缘倒角的相应工艺参数，在相同工艺条件下，对比边缘倒角改善前后 LPD 在 AAHMOX 中的存在状况。硅衬底 3 倒角优化前后的工艺参数如表 2 所示。较长的倒角改善了衬底 3 与 CVD 机台的接触情况（如图 9(a)所示），降低了晶圆背面边缘处产生的划伤，从而降低了 AAHMOX 中的颗粒状缺陷数量。

表 2　衬底 3 倒角优化前后工艺参数

参数	数值		
	范围	优化前	优化后
X_1/μm	390～300	340	341.7
X_2/μm	390～300	340	341.7
X_3/μm	540～430	480	461.1
Y_1/μm	180～120	150	158.3
Y_2/μm	180～120	150	157.7
R_1/μm	320～170	220	239.5
R_2/μm	320～170	225	226.4
θ_1/(°)	27～17	23	24.5
θ_2/(°)	27～17	23	23.6

倒角优化前后 AAHMOX 中的缺陷数量分布如图 10 所示。可以看出，适当延长衬底 3 的倒角后，LPD 数量降低了约 75%。

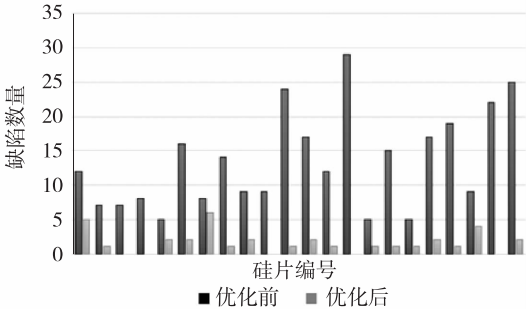


图 10　衬底 3 倒角优化前后缺陷数量分布

3.2　NANO 喷洒工艺

在工艺中嵌入喷洒工艺步骤，可减少颗粒状缺

陷。相比超声波、柔性喷洒等方法，NANO 喷洒工艺对颗粒状缺陷的移除效率更高，对晶圆表面的损伤更小，去离子水的用量更少。NANO 喷洒工艺是将去离子水(DI)和高压氮气混合后，喷射到晶圆表面，微米级小液珠撞击到晶圆表面，形成剪切力，有效去除了颗粒。

NANO 喷洒工艺原理如图 11 所示。一组晶圆不嵌入 NANO 喷洒工艺步骤，为参考组(BL)，另一组晶圆嵌入 NANAO 喷洒工艺步骤，为实验设计组(DOE of Sample)。NANO 喷洒前后颗粒状缺陷数量分布如图 12 所示。可以看出，相比 BL 组，DOE of Sample 组的 LPD 数量降低了约 35%。

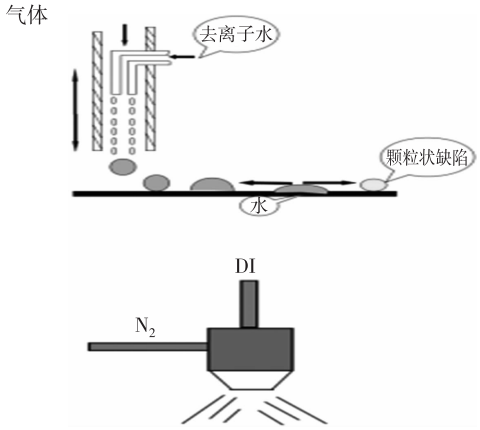


图 11　NANO 喷洒工艺原理

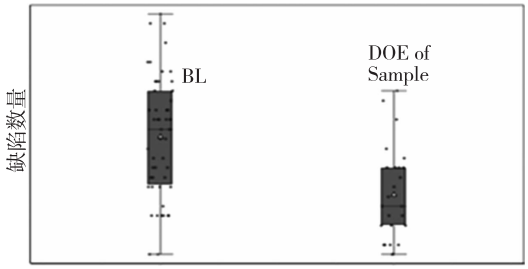


图 12　NANO 喷洒前后颗粒状缺陷数量分布

4　结　论

本文研究了如何降低有源区的颗粒状缺陷密度。研究发现，LPD 的产生与硅晶圆倒角相关，较短的倒角造成 CVD 工艺中 LPD 的密度提高。本文采用了衬底倒角优化工艺和 AAHMOX 淀积后嵌入 NANO 喷洒工艺两种优化方案，降低了颗粒状缺陷密度。结果表明，相对于嵌入 NANO 喷洒工艺，衬底倒角优化工艺的生产成本较低。因此，为了提升产品的合格率，提升产品利润，可对硅衬底的倒角形状进行优化。

参 考 文 献：

[1] YUAN X F, ZHANG Q, HAO J A. Wafer edge treatment in lithographic process for peeling defect reduction [C] // CSTIC. Shanghai, China. 2017: 1-4.

[2] JAMI K, VEDULA S, BLUMENSTOCK G. Optimization of edge die yield through defectivity reduction [J]. Sol Sta Technol, 2009, 52(10): 10-15.

[3] MORILLO J D, HOUGHTON T, BAUE J M, et al. Edge and bevel automated defect inspection for 300 mm production wafers in manufacturing [C] // IEEE/SEMI ASMC. Munich, Germany. 2005: 49-52.

[4] PORAT R, DOTAN K, HEMAR S, et al. SEM-based methodology for root cause analysis of wafer edge and bevel defects [C] // IEEE/SEMI ASMC. Cambridge, MA, USA . 2008: 11-14.

[5] TOMLINSON W, HALLIDAY B, FARRINGTON D, et al. In-line SEM based ADC for advanced process control [C] // IEEE/SEMI ASMC. Boston, MA, USA. 2000:131-137.

[6] CHARBOIS V, LEBRETON J, SAVOYE M, et al. Defect reduction for 20 nm high-*k* metal gate technology [C] // 26th Annu SEMI ASMC. Saratoga Springs, NY, USA. 2015: 14-18.

[7] LIANG H, LIU J L, LIU H X, et al. Optimization of 28 nm HK/MG single wafer cleaning process [C] // CSTIC. Shanghai, China. 2016: 1-3.

[8] ZHANG C, HE Q, ZHANG H C. Bevel etch methods for BEOL peeling defect reduction [C] // CSTIC. Shanghai, China. 2015: 7-9.

[9] HE Z B, JING X B, CAO J, et al. 40 nm contact related process optimization for defect reduction [C] // CSTIC. Shanghai, China. 2015: 15-17.

[10] CHANG S Y, LUNG C Y, WEI A C, et al. Methods of removing solvent-like residues from wafer backside bevel [C] // IEEE/SEMI ASMC. Saratoga Springs, NY, USA. 2013: 291-294.

[11] NAGASHIMAO Y, YOSHIMIZU H, TOMITA Y, et al. Fine edge and bevel film stripping process by novel wet cleaning tool beyond 45 nm node [C] // IEEE ISSM. Santa Clara, CA, USA. 2007: 1-4.

[12] OKAZAKI M, MAAS R, KO S H, et al. Wafer edge polishing process for defect reduction during immersion lithography [C] // Proceed SPIE Int Soc Opt Engineer. San Francisco, CA, USA. 2008: 6922-6923.

（下转第 588 页）

一种利用高介电常数薄膜改进的快速关断 SOI-LIGBT

林靖杰，陈为真，程骏骥，陈星弼
（电子科技大学 电子薄膜与集成器件国家重点实验室，成都 610054）

摘　要： 介绍了一种利用高介电常数薄膜改进的、制作于绝缘衬底上的横向绝缘栅双极型晶体管(SOI-LIGBT)。一方面，覆盖在硅表面的高介电常数薄膜具有引导电通量的作用，可优化器件漂移区的表面电场分布，在器件耐压等级不变的情况下，节约芯片面积，提高导电能力。另一方面，采用高介电常数薄膜有利于减少漂移区中存储的非平衡载流子，可缩短器件的关断时间，降低器件的关断损耗。仿真结果表明，相比于传统 500 V 等级的 SOI-LIGBT，利用高介电常数薄膜改进的新器件可使器件长度缩短 15%，导通压降降低 10%，关断时间缩短 42%，关断损耗减小 61%。

关键词： LIGBT；高介电常数；关断损耗；功率半导体器件
中图分类号：TN322^{+}.8；TN323^{+}.4　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0584-05
DOI：10.13911/j.cnki.1004-3365.190537

A Fast Turn-off SOI-LIGBT Improved by High-*k* Film

LIN Jingjie, CHEN Weizhen, CHENG Junji, CHEN Xingbi
(*State Key Lab. of Elec. Thin Films and Integr. Dev., Univ. of Elec. Sci. and Technol. of China, Chengdu* 610054, *P. R. China*)

Abstract: A fast turn-off silicon-on-insulator lateral insulated gate bipolar transistor (SOI-LIGBT) improved by high-*k* film was proposed. Due to the high-*k* film's attraction effect on the electric displacement lines, the lateral electric field on the surface of the drift region could be optimized. Therefore, under the same breakdown voltage, the chip area of the proposed device was reduced and its conductive ability was enhanced compared with that of the conventional one. In addition, the stored nonequilibrium carriers in the drift region were decreased by using the high-*k* film, so the turn-off time as well as the turn-off loss was reduced. Simulation results showed that, compared with the conventional 500 V class SOI-LIGBT, the improved device with high-*k* film presented the device's length shortened by 15%, the on-state voltage drop reduced by 10%, the turn-off time decreased by 42% and the turn-off loss reduced by 61%.

Key words: LIGBT; high-*k*; turn-off loss; power semiconductor device

0　引　言

制作于绝缘衬底上的 SOI-LIGBT 具有比导通电阻低、漏电流低、可单片集成等优点，因此获得广泛关注[1-2]。相比于只利用少子导电的场效应晶体管(MOSFET)，SOI-LIGBT 导通时，其阳极和阴极会向漂移区中注入大量非平衡载流子，形成电导调

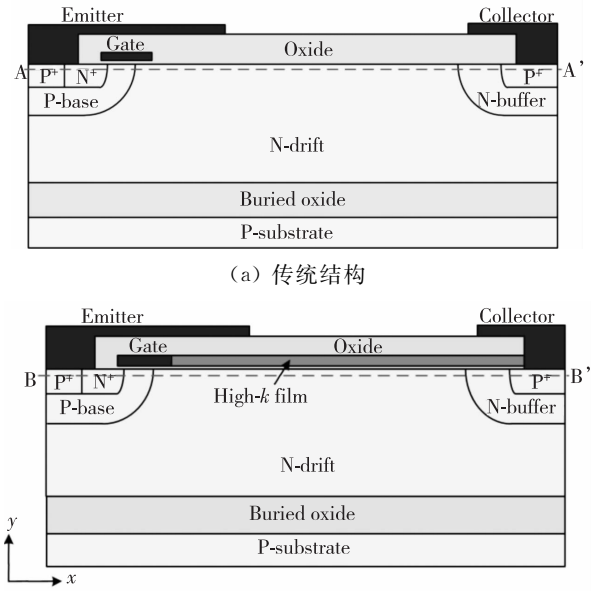
收稿日期：2019-09-10；**定稿日期：**2019-10-14
基金项目：国家自然科学基金青年基金资助项目(61604030)
作者简介：林靖杰(1989—)，男(汉族)，四川成都人，博士生，从事功率半导体器件研究工作。
陈为真(1994—)，男(汉族)，湖北武汉人，博士生，从事功率半导体器件研究工作。
程骏骥(1985—)，男(汉族)，江西景德镇人，讲师，从事功率半导体器件研究工作。通信作者，E-mail：chengjunji2005@126.com。
陈星弼(1931—2019)，男(汉族)，上海人，教授，中科院院士，从事功率半导体器件研究工作。

制，可显著降低比导通电阻。但是，在器件关断过程中，非平衡载流子会引起电流拖尾，降低关断速度。有研究提出，在阳极增加电子抽取通道可加快 LIGBT 的关断速度（如在阳极短路 LIGBT（SA-LIGBT）[3-4] 中），但这会导致导通时发生电流折回[5]。

近期研究表明，可利用高介电常数（High-k）材料来优化 MOSFET 的表面电场分布，以获得更低的比导通电阻[6-8]。本文基于这一原理，首次提出利用 High-k 薄膜对 SOI-LIGBT 进行优化。仿真结果表明，改进后的器件在相同的耐压等级下，可有效缩短漂移区长度，具有更好的导电能力。漂移区中存储的非平衡载流子有效减少，因此有效降低了器件的关断时间及关断损耗。

1　器件结构与参数

耐压等级 500 V 的传统 SOI-LIGBT 器件结构如图 1(a)所示。SOI-LIGBT 结构的关键参数如表 1 所示。埋氧化层厚度为 3 μm，外延硅层厚度为 18 μm，这参考了被实验验证过的设计[9-10]。在传统器件的基础上，本文提出在漂移区的表面增加 High-k 薄膜层，用于改进器件的性能，具有相同耐压等级的器件结构如图 1(b)所示。



(a) 传统结构

(b) High-k 薄膜改进结构

图 1　500 V SOI-LIGBT 器件结构

对钛酸锶（$SrTiO_3$）薄膜进行磁控溅射和湿法刻蚀，得到实验结果：High-k 薄膜厚度为 400 nm，High-k 薄膜相对介电常数（ε）为 214，其电学性能和刻蚀精度满足本文器件设计要求[11]。本文使用 MEDICI 软件对器件进行仿真，载流子寿命设置为 10 μs，温度设置为 300 K。

表 1　传统 SOI-LIGBT 结构的关键参数

参数	数值
埋氧化层厚度/μm	3
外延硅层厚度/μm	18
漂移区（N-drift）浓度/cm^{-3}	6.5×10^{14}
传统、改进漂移区长度/μm	45，37
传统、改进器件长度/μm	55，47
栅氧化层厚度/nm	50
N 缓冲层（N-buffer）浓度/cm^{-3}	3×10^{16}
N^+、P^+ 浓度/cm^{-3}	1×10^{19}
High-k 薄膜厚度/nm	400
High-k 薄膜相对介电常数	214

2　仿真结果与讨论

2.1　High-k 薄膜对器件耐压时表面电场的优化

当 SOI-LIGBT 在关断状态耐压时，$V_G=0$，$V_{CE}>0$，$V_{sub}=0$，器件的击穿可分为纵向电场击穿和横向电场击穿，器件击穿电压由两者中的最小值决定。纵向电场击穿发生在集电极一侧的埋氧层上表面附近，击穿电压大小由外延层厚度和浓度、埋氧层厚度决定，即由 SOI 工艺条件决定；横向电场击穿发生在器件的漂移区表面，与表面电场分布有关。在相同的击穿电压（525 V）下，传统器件和 High-k 薄膜改进器件的表面电场强度在漂移区表面上沿图 1 中 A～A'和 B～B'的分布示意图如图 2 所示。可以看到，改进后的器件电场强度分布更均匀，在相同 SOI 工艺条件下，器件的漂移区长度可缩短 8 μm，芯片面积节约了 15%。High-k 薄膜的介电常数比硅大，对硅中漂移区的电通量具有引导作用，硅中漂移区的峰值电场强度减小，因此产生了良好的改进效果。这一原理类似于 HK-LDMOS 的研究[6-7]。

High-k 薄膜改进器件占用面积更小，因此导通能力更强。传统 SOI-LIGBT 和 High-k 薄膜改进器件导通时（$V_G=5$ V）的 I-V 特性曲线如图 3 所示。可以看出，当导通电流密度同为 50 A/cm^2 时，传统器件和改进器件导通压降（$V_{CE(SAT)}$）分别为 1.33 V 和 1.20 V，改进器件的 $V_{CE(SAT)}$ 降低了约 10%。

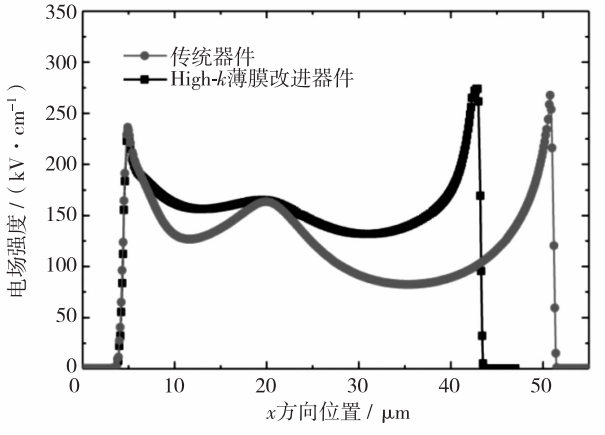


图 2　器件耐压时的表面电场强度分布

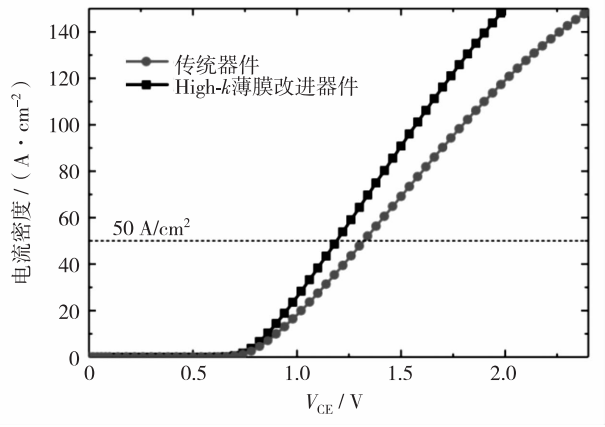


图 3　器件导通时的 *I-V* 特性曲线

2.2　High-*k* 薄膜对器件关断过程的改进

传统 SOI-LIGBT 和 High-*k* 薄膜改进器件在关断过程中的电压 V_{CE} 和流过器件的电流密度的变化波形示意图如图 4 所示。导通时的电流密度为 50 A/cm²，工作电压为 280 V，负载电感为 5 mH。可以看出，相比于传统 SOI-LIGBT，改进器件关断时间减小了 473 ns(42 %)，关断损耗降低了 61%。

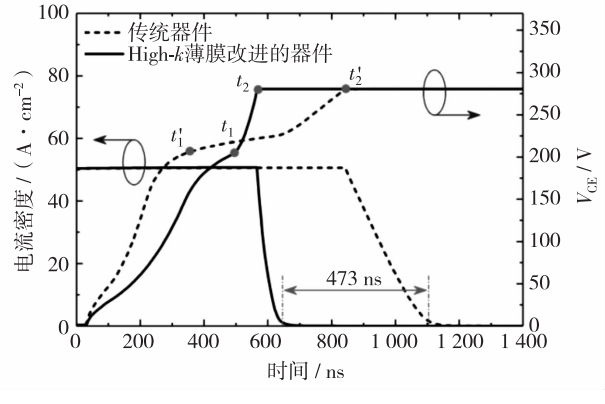
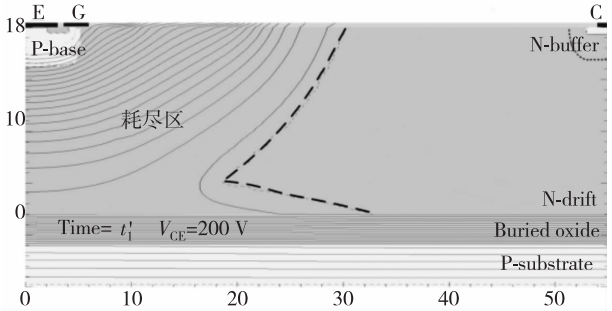
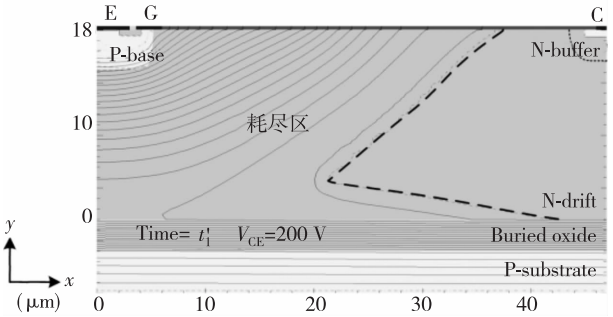


图 4　器件关断过程中电压 V_{CE} 和电流密度变化波形

器件从开始关断到 t_1 (t_1') 时刻以前，电压从导通压降值($V_{CE(SAT)}$)上升到 200 V。改进器件增加了一层 High-*k* 薄膜，因此介电常数值比原本的氧化层高，器件集电极与发射极之间的电容上升，导致 V_{CE} 上升速度变慢。在器件关断过程中的 t_1 (t_1') 时刻，器件漂移区中耗尽区边界与等势线示意图如图 5 所示，图中等势线间隔为 10 V。可以看到，在漂移区表面增加一层 High-*k* 薄膜后，在相同 V_{CE} 下，表面电场分布得到了优化，耗尽区在表面 *x* 方向上的宽度更大。



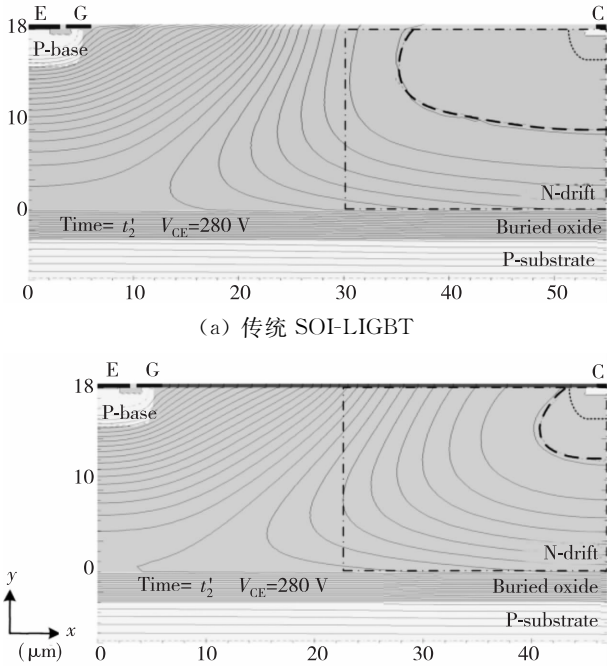
(a) 传统 SOI-LIGBT



(b) High-*k* 薄膜改进器件

图 5　器件关断过程中的 t_1 (t_1') 时刻漂移区中耗尽区边界与等势线分布

当 V_{CE} 从 200 V 上升到 280 V 时，器件漂移区内的耗尽区宽度继续扩展，在器件关断过程中的 t_2 (t_2') 时刻，漂移区中耗尽区边界与等势线示意图如图 6 所示，图中等势线间隔为 10 V。在关断时，器件承受的电压约只有最大耐压值的一半，耗尽区边界无法扩展到 N-buff 区。High-*k* 薄膜对漂移区中正电荷发出的电通量起到吸引作用，促使耗尽区更快扩展，改进器件的 V_{CE} 上升速度更快。在相同的 V_{CE} 下，在改进器件漂移区中，耗尽区外存储大量载流子的准中性区更窄，剩余的非平衡载流子更少，在图 4 中，t_2 (t_2') 时刻后，电流拖尾时间更短。在 t_2 (t_2') 时刻，器件集电极一侧的电子浓度分布如图 7 所示。可以看出，改进后的器件载流子浓度更小，可有效减小电流拖尾时间。这说明利用 High-*k* 薄膜改进的 SOI-LIGBT 关断更快，可工作于更高频率。



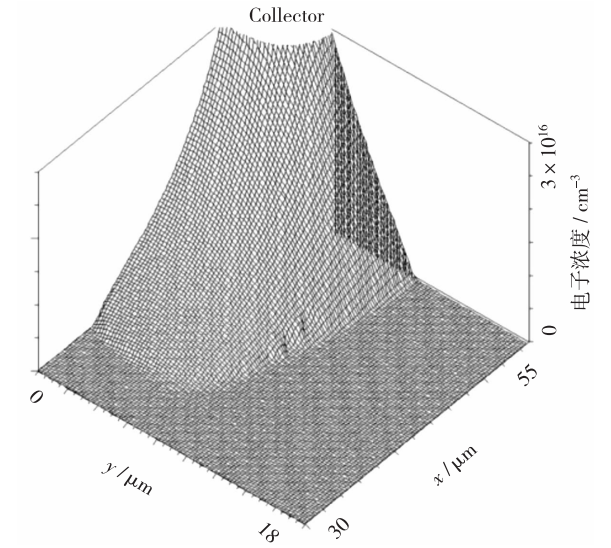
(a) 传统 SOI-LIGBT

(b) High-k 薄膜改进器件

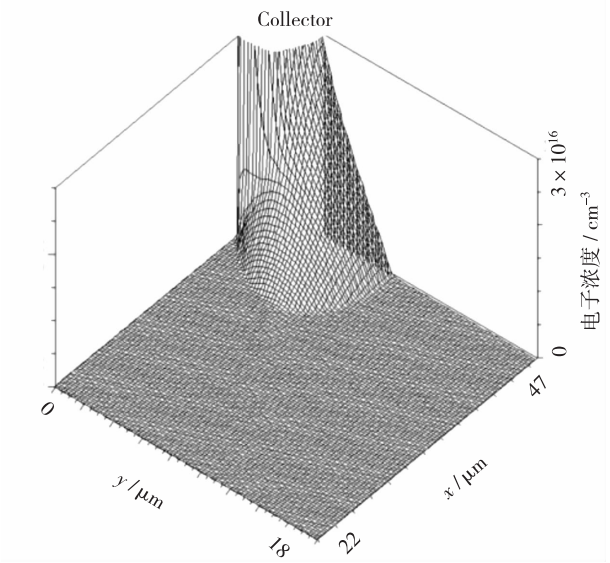
图 6　器件关断过程中的 t_2(t_2')时刻漂移区中耗尽区边界与等势线分布

2.3　器件 $V_{CE(SAT)}$ 与导通损耗(E_{off})的折中关系

$V_{CE(SAT)}$ 与 E_{off} 的折中关系是 IGBT 器件的重要衡量指标。通过改变传统 SOI-LIGBT 和 High-k 薄膜改进器件的集电极区 P^+ 的掺杂浓度(N_p)，可调整导通时 P^+/N 结的注入效率，从而得到 $V_{CE(SAT)}$ 和 E_{off} 的折中关系曲线。在导通电流密度为 50 A/cm^2 时，传统器件与改进器件的 $V_{CE(SAT)}$ 与 E_{off} 折中关系的比较如图 8 所示。可以看到，改进器件的曲线更靠近坐标图左下方，器件性能更好。在 $V_{CE(SAT)}$ 为 1.33 V、ε 为 214 时，改进器件可使 E_{off} 降低约 81%，极大降低了器件在关断时的能量损耗。



(a) 传统 SOI-LIGBT



(b) High-k 薄膜改进器件

图 7　在 t_2(t_2')时刻集电极一侧(图 6 方框中区域)电子浓度分布比较

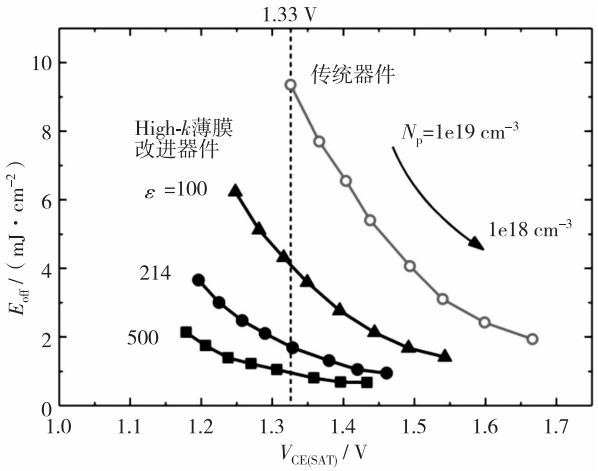


图 8　在导通电流密度为 50 A/cm^2 时，传统器件与改进器件的 $V_{CE(SAT)}$ 与 E_{off} 折中关系的比较

在不同薄膜制备条件下(如不同的制备工艺、退火条件等)，钛酸锶的介电常数会在 100 到 500 之间变动[11]，这会对改进器件的性能造成影响。从图 8 可以看到，在 High-k 薄膜改进器件中，ε 越大，$V_{CE(SAT)}$ 与 E_{off} 折中关系的改进效果越明显。原因是 ε 更大时，表面 High-k 薄膜对电通量的引导作用更强，漂移区电场的优化效果更好。在器件关断时，漂移区中存储的非平衡载流子数量更少，关断速度更快。在 $V_{CE(SAT)}$ 为 1.33 V 时，当 ε 从 100 增加至 500，High-k 薄膜改进器件相比于传统器件，其 E_{off} 降低的百分比从 56%增加到 90%。

3　结　论

本文介绍了一种利用 High-k 薄膜改进的 SOI-

LIGBT。利用高介电常数材料对电通量的吸引作用，在传统器件表面溅射 400 nm $SrTiO_3$ 薄膜，用于优化器件漂移区的横向表面电场。在器件耐压等级不变的情况下，可缩短漂移区长度，节约芯片面积，提高电流导通能力。High-*k* 薄膜可以减少漂移区中存储的非平衡载流子，降低器件的关断时间和关断损耗。仿真结果表明，在相同的 525 V 耐压等级下，相比于传统 SOI-LIGBT，High-*k* 薄膜改进器件可以使器件长度缩短 15%，导通压降降低 10%，关断时间降低 42%，关断损耗减小 61%。

参 考 文 献：

[1] NAKAGAWA A, FUNAKI H, YAMAGUCHI Y, et al. Improvement in lateral IGBT design for 500 V 3 A one chip inverter ICs [C] // Int Symp Power Semicond Dev & ICs. Toronto, Canada. 1999: 321-324

[2] 邓菁，陈星弼. 一种具有载流子存储层的 500 V 高速 SOI-LIGBT [J]. 微电子学，2018，48(5)：686-689.

[3] PARK J M, WAGNER S, GRASSER T, et al. New SOI lateral power devices with trench oxide [J]. Sol Sta Elec, 2004, 48(6): 1007-1015.

[4] BYEON D S, CHUN J H, LEE B H, et al. The separated shorted-anode insulated gate bipolar transistor with the suppressed negative differential resistance regime [J]. Microelec J, 1999, 30(6): 571-575.

[5] SIMPSON M R. Analysis of negative differential resistance in the *I-V* characteristics of shorted-anode LIGBT's [J]. IEEE Trans Elec Dev, 1991, 38(7): 1633-1640.

[6] CHEN X B. Lateral high-voltage semiconductor devices with surface covered by thin film of dielectric material with high permittivity [P]. USA: 6936907B2, 2005-08-30.

[7] LI J H, LI P, HUO W R, et al. Analysis and fabrication of an LDMOS with high-permittivity dielectric [J]. IEEE Elec Dev Lett, 2011, 32(9): 1266-1268.

[8] 李欢，陈星弼. 一种带埋层的超低比导通电阻槽型 LDMOS [J]. 微电子学，2019，49(1)：128-134.

[9] SUN W F, ZHU J, ZHANG L, et al. A novel silicon-on-insulator lateral insulated-gate bipolar transistor with dual trenches for three-phase single chip inverter ICs [J]. IEEE Elec Dev Lett, 2015, 36(7): 693-695.

[10] ZHU J, ZHANG L, SUN W F, et al. Electrical characteristic study of an SOI-LIGBT with segmented trenches in the anode region [J]. IEEE Trans Elec Dev, 2016, 63(5): 2003-2008.

[11] LIN J J, CHENG J J, LI P, et al. Study on $SrTiO_3$ film for the application of power devices [J]. Superlattices and Microstructures, 2019, 130(7): 168-174.

（上接第 583 页）

[13] OKAZAKI M, SHARON N, NIONS A, et al. VOC induced particle generation during wafer transportation and its solution [C] // IEEE/SEMI ASMC. San Francisco, CA, USA. 2010: 196-199.

[14] BEARDA T, MERTENS P W, HOLSTEYNS F, et al. The impact of backside particles on the limits of optical lithography [J]. Sol Sta Phenom, 2005, 103-104: 129-132.

[15] PARK C G, SOHN H S. Simultaneous removal of particles from front and back sides by a single wafer backside megasonic system [J]. Sol Sta Phenom, 2012, 187: 167-170.

[16] SILVESTRE M C, RAMANATHAN E, HILDRETH S, et al. Bevel rinse optimization for reduced edge defectivity and improved edge yield [C] // 27th Annu SEMI ASMC. Saratoga Springs, NY, USA. 2016: 124-128.

[17] DELAHAYE B, CHANTEPIE S, COSTAGANNA P, et al. Edge and extreme edge wafer manufacturing on 200 mm wafer: methodology, yield challenges, cost effective solutions, limitations [C] // IEEE/SEMI ASMC. Berlin, Germany. 2009: 100-105.

多晶硅发射极晶体管电流增益工艺稳定性研究

阚　玲[1]，刘　建[2]
（1. 中国电子科技集团公司 第二十四研究所，重庆 400060；2. 重庆中科渝芯有限公司，重庆 401332）

摘　要： 针对多晶硅发射极晶体管实际工艺中出现的电流增益异常波动问题，首先从原理上进行了分析，其次通过与正常批次 PCM 数据进行对比，发现基极电流 I_b 存在一个量级的差异。设计了较为完整的 DOE 工艺试验，进行了对比和验证。结果表明，多晶硅/硅界面氧化层厚度一致性差、波动大是电流增益异常波动的主要原因。该研究结果为解决类似问题提供了有价值的参考。

关键词： 多晶硅发射极晶体管；电流增益；界面氧化层；自然氧化层
中图分类号：TN322$^+$.8　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0589-04
DOI：10.13911/j.cnki.1004-3365.200035

Study on Process Stability of Current Gain for Polysilicon Emitter Transistor

KAN Ling[1], LIU Jian[2]
(1. *The 24th Research Institute of China Electronics Technology Group Corp.*, *Chongqing* 400060, *P. R. China*
2. *Chongqing SEMI-Chip Electronics Co. Ltd.*, *Chongqing* 401332, *P. R. China*)

Abstract: The reason of abnormal current gain fluctuation of polysilicon emitter transistor was analyzed theoretically. Through the comparison with the correct PCM data, the obvious difference of I_b (base current) was found. A complete DOE (Design of Experiment) was designed, compared and verified. The results showed that the poor consistency of interfacial oxide layer was the main reason for the abnormal fluctuation of current gain. The research result provided a valuable reference for solving the similar problems.

Key words: polysilicon emitter transistor; current gain; interface oxide; native oxide

0　引　言

随着半导体工艺的发展，先进的互补型双多晶硅发射极工艺已经发展成熟，被广泛应用于射频 IC、高速放大器、高速比较器和驱动器等领域。这种采用深槽隔离、自对准结构的 0.6 μm 双极工艺制作的多晶硅发射极晶体管（PET）具有 8.5 GHz（NPN 管）、8 GHz（VPNP 管）的特征频率（f_T）、极低的寄生电容和基极电阻（R_{bb}）等特性。

在这种 PET 制造工艺中，常出现 PET 电流增益（β）异常波动的问题。本文从 PET 的工作原理展开分析，通过试验进行了对比和验证。结果表明，PET 的 β 值的一致性、稳定性受多晶硅/硅界面氧化层质量的影响最大。在界面氧化层工艺中，自然氧化层的去除、界面氧化层的生长控制等因素是关键影响因素。

1　PET 的制作流程与工作原理

PET 是以重掺杂多晶硅为扩散源、多晶硅作为发射极的一部分的晶体管。掺杂杂质在单晶硅中的扩散深度通常远小于少子在多晶硅发射极中的扩散长度。

以 NPN 型 PET 为例，PET 的工艺流程为：有源区曝光/刻蚀→多晶硅层 1 淀积→集电极 N^+ 区曝光/注入→多晶硅层 1 曝光/刻蚀→TEOS 淀积→曝光/刻蚀氧化物＋多晶硅层 1→基区曝光/注入→

收稿日期：2020-01-12；**定稿日期：**2020-03-03
作者简介：阚　玲（1976—），女（汉族），重庆人，工程师，从事半导体工艺与设计技术。

Si_3N_4 淀积→多晶硅层 2 淀积→SPA 干法刻蚀→干法刻蚀 Si_3N_4→湿法刻蚀多晶硅层 2→多晶硅层 3 淀积→发射区曝光/注入→曝光/刻蚀多晶硅层 3→接触孔曝光/刻蚀→快速退火→金属溅射→曝光/刻蚀金属层。制作完成后的 NPN 管 PET 的剖面如图 1 所示[1]。

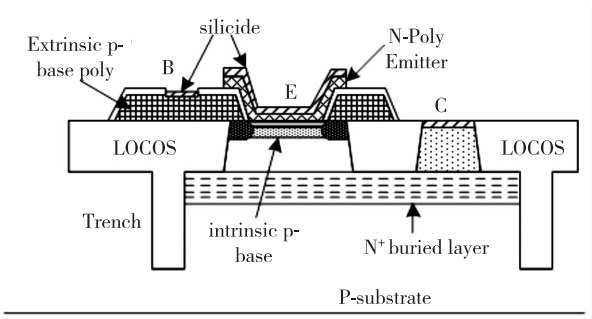


图 1　NPN 管 PET 的剖面图

PET 具有非常高的发射效率，电流增益（H_{FE}），即 β 值，高于一般双极晶体管（BJT）。

1.1　界面氧化层

图 2 所示为隧道发射区的能带图[2]。从图 2 可以看出，由于多晶硅/单晶硅界面氧化层（等效为绝缘层）的存在，PET 发射区的禁带宽度远大于硅，对电子和空穴而言都形成一个势垒。这个势垒远高于几个 kT，即在室温下热电子发射电流可以忽略不计，因此，多晶硅和单晶硅能带在氧化层界面处向下弯曲，界面势垒近似成一个方形势垒。

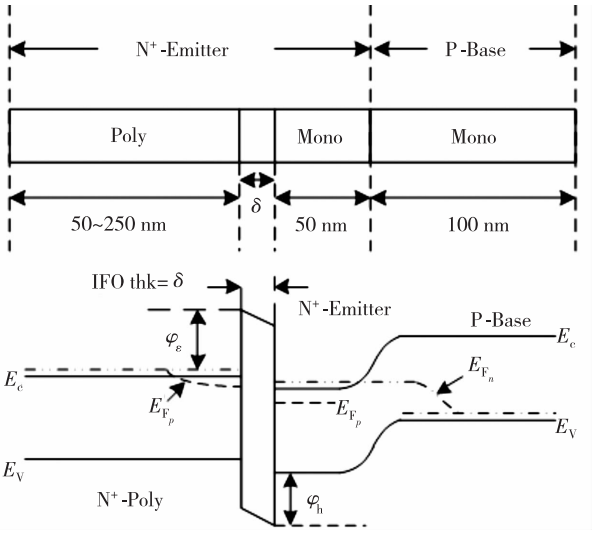


图 2　多晶硅发射区的一维结构和能带图

基于上述结构，电子、隧道电流分别表示为[3]：

$$j_n=\frac{Ae^{-b_e}}{(c_eK)^2}\frac{\pi c_e kT}{\sin(\pi c_e kT)}(1-e^{-c_e qV}) \tag{1}$$

$$j_p=q\sqrt{\frac{kT}{2\pi m_p^*}}\frac{e^{-b_h}}{1-c_h kT}(P_{II}-P_I e^{-qV/kT}) \tag{2}$$

式中，A 为电子理查德森常数，P_{II} 和 P_I 分别为单晶硅、多晶硅区的空穴浓度。其他系数均与图 2 的能带结构有关。

简化式(1)、式(2)，可得：

$$j_n=\sigma_A V \tag{3}$$

$$j_p=q\sqrt{\frac{kT}{2\pi m_p^*}}P_h(P_{II}-P_I) \tag{4}$$

从式(3)可知，界面势垒对于多子电流 j_n 的影响相当于一个电阻。式(4)中，P_h 为空穴越过界面氧化层势垒的隧穿几率，为：

$$P_h=\exp(-\Delta\sqrt{\chi_h}) \tag{5}$$

式(5)中，Δ 为界面氧化层的厚度。由式(5)、式(4)可知，J_p 正比于 P_h，P_h 为 Δ 的 e 指数函数。当 Δ 增大时，J_p 会大幅下降[4]。

从上述结果可知，PET 的界面氧化层可使载流子以隧道效应方式通过，界面氧化层对电子、空穴的势垒高度不同。因此，电子、空穴的隧穿几率不同，从而阻挡空穴向多晶硅中扩散，加速电子向基区扩散，提高了 NPN 管的发射效率和 β 值[5]。同理，置换式(1)、式(2)中的电子与空穴参数，这个结论同样适用于 PNP 管。

需要注意，当 Δ 超过一定值（约 2.5 nm）时，PET 的 β 就紊乱或检测不到了。原因是 Δ 过大时，势垒高度过大，基极电流 I_b 基本为零。因此，PET 的界面氧化层厚度对 PET 的电学性能有显著影响。

1.2　多晶硅薄膜

多晶硅由多个晶粒堆叠形成，界面高度无序存在，因界面散射等因素导致多晶硅中的载流子迁移率（2 $cm^2 \cdot V^{-1} \cdot s^{-1}$）比单晶硅（49 $cm^2 \cdot V^{-1} \cdot s^{-1}$）小得多[6]。少子在多晶硅中存在明显的输运障碍，对发射效率有益。因此，多晶硅薄膜的淀积也是 PET 加工中的重要一环，其工艺质量会影响 β 值。

2　PET 的 β 值异常实例分析

2.1 异常现象

互补双多晶工艺平台的某一产品在某一时间段出现了 PET 的 β 值严重偏高的异常现象。进行 PCM 测试发现，NPN 管与 PNP 管的 β 值均超规范要求。β 值异常偏高批次的 PCM 数据分别如图 3、4 所示。可以看出，异常批次中，$\beta \geqslant 350$，远超正常批次的 β 值。

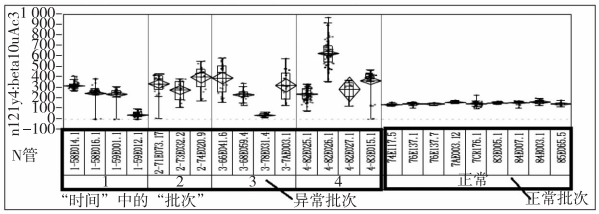


图 3　NPN 管 PET 的 β 异常偏高批次 PCM 数据

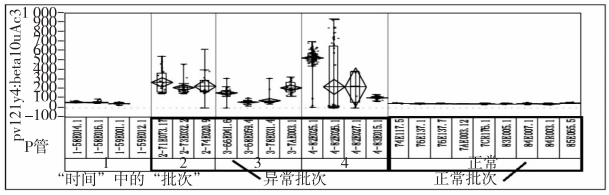


图 4　VPNP 管 PET 的 β 异常偏高批次 PCM 数据

2.2　测试分析

针对批次中 β 偏高的异常，首先提取并对比了 NPN 管 β 异常批次与正常批次的 G-P 曲线，如图 5 所示。可以看出，β 异常批次的基极电流 I_b(ibHuge)远小于正常批次 I_b(ibM)，相差一个数量级。

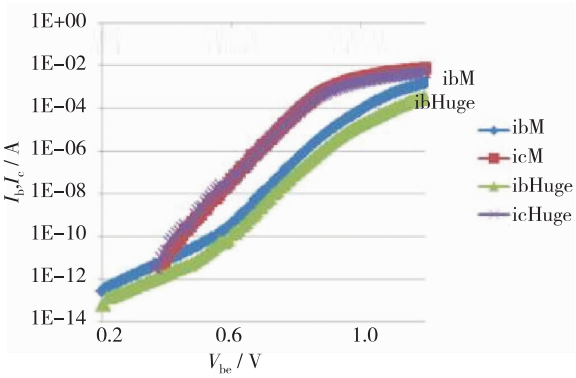


图 5　NPN 管 β 正常批次与 β 异常批次的 G-P 曲线

根据前文所述 PET 的工作原理，NPN 基极电流 I_b(即 J_p)与界面氧化层厚度紧密相关，异常批次测得的 I_b(ibHuge)确实远小于正常批次 I_b(ibM)。因此，针对 β 参数异常偏高的分析，以界面氧化层为目标，进一步测得正常批次与异常批次的 β 曲线图(NPN 型)，分别如图 6、图 7。图中，个别散点为探针台串扰引起的测试信号毛刺，可忽略。

选取图 6、7 的理想段[7]，拟合可得图 8、图 9 的 G-P 曲线的理想 I_b 趋势图。

将图 8、图 9 的 I_b 理想段数据代入式(4)、式(5)，计算可得图 8 所示的 PET 界面氧化层厚度 Δ_1 与图 9 所示的 PET 界面氧化层厚度 Δ_2。两者厚度之差 $\Delta_2-\Delta_1\approx0.5\sim0.8$ nm。

测试与拟合计算的结果表明，PET 电流增益异常偏大，与界面氧化层厚度出现波动有关，即 β 异常 PET 与 β 正常 PET 的界面氧化层厚度之差为0.5～0.8 nm。

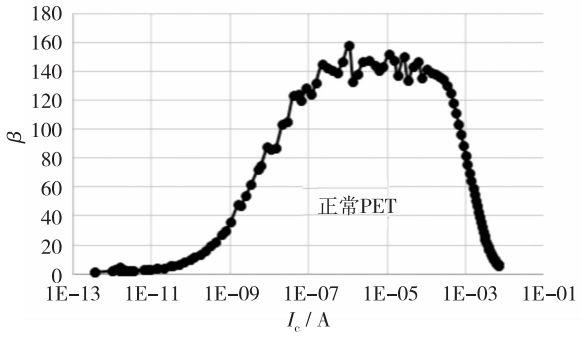


图 6　NPN 管 PET 的正常批次 β 曲线

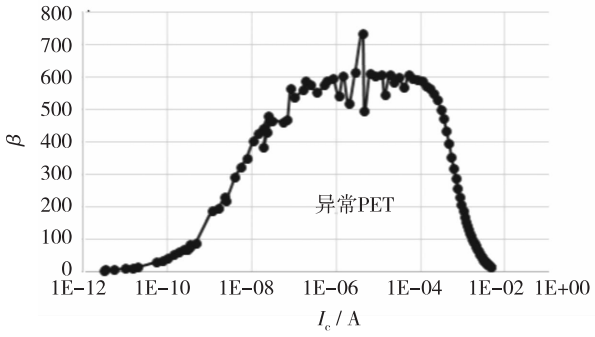


图 7　NPN 管 PET 的异常批次 β 曲线

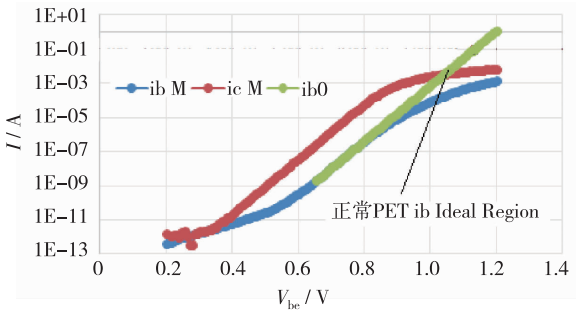


图 8　β 正常批次 G-P 曲线的理想 I_b 分布

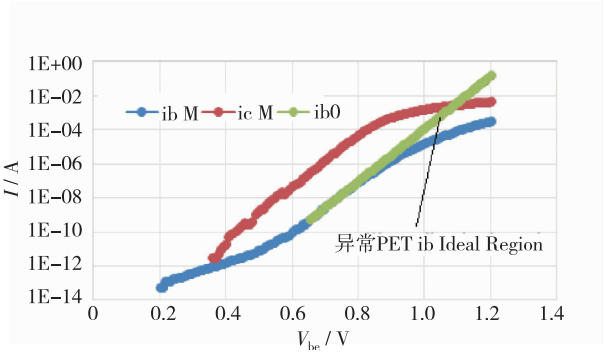


图 9　β 异常批次 G-P 曲线的理想 I_b 分布

3　验证试验

在 PET 的制作工艺中，单晶硅与多晶硅薄膜之间会有一层超薄的自然氧化层。经过多晶淀积前的 RCA（稀 HF 腐蚀）处理，界面自然氧化层不是理想 SiO_2，而是 SiO_x（$x \approx 1.7$）[8]，因此，需获得一层适宜厚度的氧化层，以改善 PET 的界面氧化层质量。

自然氧化层的厚度很薄，属自然生长，膜厚无法人为精确控制。如果对该自然氧化层的处理工艺出现波动，则可能造成整个界面氧化层的厚度偏离。为查验此项可能性，特开展了试验进行验证。多晶淀积前，对自然氧化层的 RCA 处理工艺条件如表 1 所示。

表 1　RCA 处理工艺条件

片号	界面处理液配比	温度
1#	无 HF	标准温度
2#	标准配比	室温
3#	HF 占比减少 50%	标准温度
4#	HF 占比减少 30%	标准温度
6#～9#	标准配比	标准温度递次降低 5 ℃

根据表 1 工艺条件得到的试验结果如图 10 所示。可以看出，对于 1#～3# 片，β 严重超标，且 3 片的 β 值与产品异常批次 β 值的所在范围一致；对于 4#、6#、7# 片，β 值则处于正常水平。试验结果表明，β 异常的根源在于 PET 多晶淀积前的自然氧化层处理工艺，具体工艺因素就是 RCA 化学试剂腐蚀速率的变化。此时，可排除多晶异常因素。

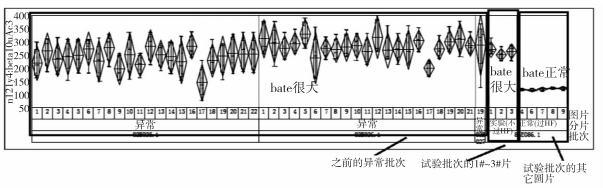


图 10　表 1 工艺条件得到的试验结果

试验方案中，无论是调整 RCA 溶液的 HF 配比，还是调整漂洗温度，最后均是通过腐蚀速率的变化进行表征。当腐蚀速率低于某一值或者与此值临界时，自然氧化层腐蚀不充足，最终 PET 界面氧化层厚度超标，β 值急剧增加。

对每种方案测量出的腐蚀速率进行对比，发现 1#～3# 片 PET 界面氧化层厚度与其他片的界面氧化层厚度之差约为 0.5～1.3 nm。这与前面 $\Delta_2 - \Delta_1 \approx 0.5 \sim 0.8$ nm 的分析结果基本吻合。

4　结　论

PET 的 β 值与多晶硅/硅界面氧化层的质量控制有很大关联，即界面氧化层厚度是影响 β 值的主要因素。为了获得具有稳定、理想电学特性的 PET，界面氧化层的控制工艺是关键技术。在 PET 批量加工工艺中，需要注重多晶生成前自然氧化层的界面处理工艺。自然氧化层的处理工艺对 β 值的影响较大。

对于 PET 产品工艺的稳定控制，可从加强 QC 监控维护的站点与周期管理、对界面氧化层厚度作更细化的工艺拉偏、查找界面氧化层厚度对 β 值影响的安全窗口等方面入手，注重 PET 的界面氧化层工艺的细节问题，为 PET 产品的稳定加工提供技术保障。

致　谢

本研究得到了模拟集成电路国家重点实验室张培健博士在理论分析和数据提取方面的帮助，在此表示衷心感谢！

参 考 文 献：

[1]　SHIBA T, KONDO M, UCHINO T, et al. Effect of rapid epitaxy in in situ phosphorus-doped polysilicon emitter on current-gain of bipolar transistors [J]. IEEE Trans Elec Dev, 1996, 43(8): 1281-1285.

[2]　SANDEN M, KARLIN T E, MA P, et al. The effect of hydrogen passivation on electrical characteristics of double-polysilicon self-aligned bipolar transistors [J]. Sol Sta Elec, 1999, 43(3): 615-620.

[3]　DE GRAACFF H C, DE GROOT J G. The SIS tunnel emitter: a theory for emitters with thin interface layers [J]. IEEE Trans Elec Dev, 1979, 26(11): 1771-1776.

[4]　陈星弼，张庆中. 晶体管原理与设计 [M]. 北京：电子工业出版社，2011：93-95.

[5]　范建超. 多晶硅发射极晶体管界面氧化层生成的研究 [J]. 微电子技术，1998，26(1)：36-39.

[6]　TARUI Y, HAYASHI Y. Diffusion self-aligned enhance-depletion MOS-IC [C] // Proceed 2nd Conf Sol Sta Dev. Tokyo, Japan. 1970: 193-198.

[7]　ZHANG P J, ZHU K F, CHEN W S, et al. Impact of electrical stress on γ ray irradiated double polysilicon self-aligned (DPSA) PNP bipolar transistors [J]. IEEE Trans Dev Mater Reliab, 2019, 19(3): 494-499.

[8]　QUIRK M, SERDA J. 半导体制造技术 [M]. 韩郑生，译. 北京：电子工业出版社，2009：431-432.

次表面横向 PNP 管制作及辐射效应研究

赵　杰，王清波，孙有民，温富刚
（西安微电子技术研究所，西安 710065）

摘　要： 依据总剂量辐射对横向 PNP(LPNP)管的损伤机理，设计了一种辐射加固的次表面 LPNP 管。开发了通过高能离子注入工艺实现 LPNP 管的工艺方法，该工艺与常规双极工艺兼容。总剂量辐射试验结果表明，采用次表面 LPNP 管制作的 LW5101 线性稳压器的抗辐射能力显著提高。

关键词： 横向 PNP 管；抗辐射；高能离子注入
中图分类号：TN431；TN406　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0593-04
DOI：10.13911/j.cnki.1004-3365.200186

Fabrication and Radiation Effect on Subsurface Lateral PNP Transistor

ZHAO Jie, WANG Qingbo, SUN Youmin, WEN Fugang
(*Xi'an Microelectronic Technology Institute*, *Xi'an* 710065, *P. R. China*)

Abstract: A radiation hardened subsurface lateral PNP (LPNP) transistor was designed according to the damage mechanism of LPNP during total dose radiation. The manufacture process of subsurface LPNP by using high energy ion implant which was compatible with the normal bipolar process was described in detail. Total dose radiation experimental results demonstrated that the radiation resistant level of linear regulator LW5101 with this subsurface LPNP was increased markedly compared with that of conventional LPNPs.

Key words: lateral PNP transistor; radiation hardened; high energy ion implant

0　引　言

双极型晶体管具有噪声低、线性度好、电流驱动能力强等特点，在航天、国防等领域得到广泛应用。横向 PNP(LPNP)管是双极集成电路中经常使用的晶体管。传统 LPNP 管属于表面器件，集电区、发射区的 p 型杂质浓度峰值位于外延层上表面之下的 0.2 μm 内，此处集电区和发射区的间距即为有效基区宽度(W_b)。LPNP 管对电离辐射较敏感，主要表现为电流增益(H_{FE})下降[1-3]。

国内外已发表了大量关于双极器件在不同剂量率条件下辐射损伤效应及损伤机理的文献[4-10]，但关于 LPNP 管的工艺加固措施及加固后的抗辐射效果的文献较少[9]。为了解决传统 LPNP 管抗总剂量辐射能力不足的问题，本文提出了一种新型次表面 LPNP 管，介绍了这种次表面结构 LPNP 管的设计、工艺实现和总剂量辐射试验结果。研究结果表明，与传统 LPNP 管相比，该次表面 LPNP 管具有较强的抗总剂量辐射能力，采用次表面 LPNP 管制作的 LW5101 线性稳压器的抗总剂量辐射能力显著提高。

1　次表面 LPNP 管的设计

1.1　总剂量辐射对 LPNP 管的影响机理

总剂量辐射会导致晶体管表面覆盖的二氧化硅层诱生正电荷并积累，使晶体管表面感应负电荷。传统 LPNP 管的剖面如图 1 所示。辐射后，LPNP 管的 p 型集电区/发射区表面耗尽，甚至反型。在 p 型集电区/发射区的横向边缘区域(边缘区域杂质浓度较低)，更易出现反型情况，造成表

收稿日期：2020-01-20；**定稿日期：**2020-03-20
作者简介：赵　杰（1979—），男(汉族)，山西临汾人，博士，高级工程师，从事抗辐射模拟 IC 研制和辐射效应技术研究。

面 LPNP 管的 W_b 增大。同时，n 型外延层表面感应负电荷会造成基区杂质浓度上升，发射效率降低，导致增益下降。

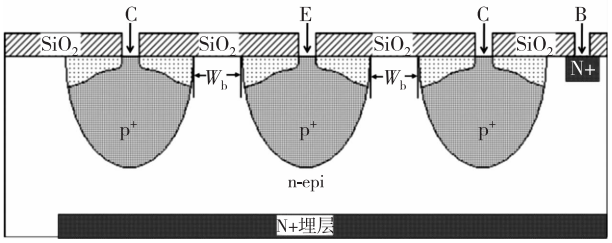


图 1　传统 LPNP 管的剖面结构

1.2　次表面 LPNP 管的结构设计

针对总剂量辐射对 LPNP 管的影响机理，提出了一种新型次表面 LPNP 管，剖面如图 2 所示。该 LPNP 管的集电区/发射区的 p 型杂质浓度峰值距离外延层之上大于 1.0 μm 处。当总剂量辐射导致 p 型集电区/发射区表面耗尽/反型时，发射效率和 W_b 不受影响，从而具有较高的抗总剂量辐射能力。

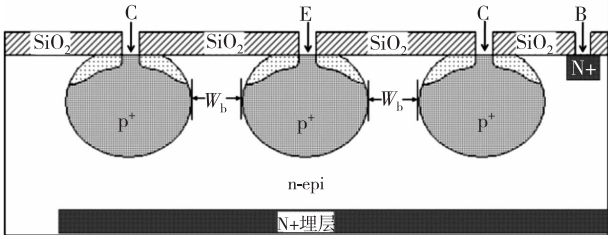


图 2　新型次表面 LPNP 管的剖面结构

1.3　工艺模拟结果

次表面 LPNP 管形成的关键在于，使集电区和发射区的 p 型杂质浓度峰值距离外延层表面大于 1.0 μm 以上，且使该工艺与现有双极工艺兼容。在获得次表面结构 LPNP 管的同时，不会对 NPN 和纵向衬底 PNP(SPNP)的性能产生影响。

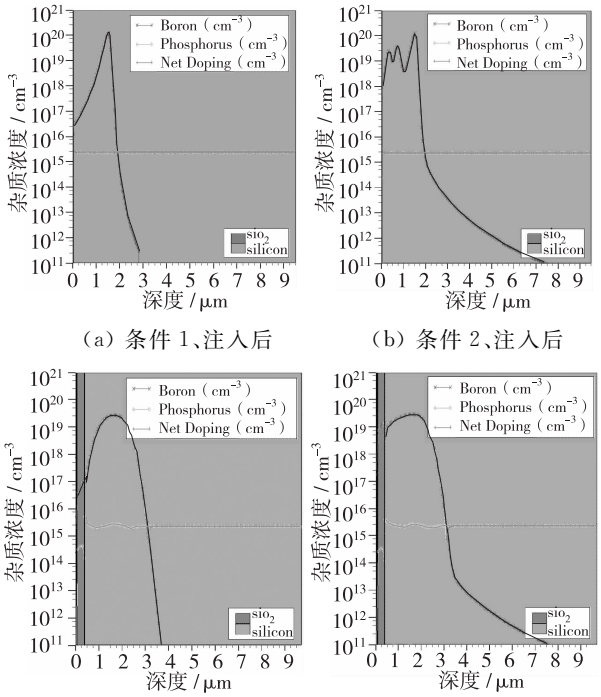
为实现次表面 LPNP 结构，采用高能离子注入工艺，使用 SUPREM3 工艺仿真软件对注入条件、结深进行了工艺仿真。注入元素为 B，最大离子能量为 700 keV。工艺模拟曲线如图 3 所示。两种注入条件下推结前后的工艺参数如表 1 所示。可以看出，推结后，硼杂质浓度峰值位于外延层表面之下 1.7 μm 处，说明选用的工艺条件达到了次表面 LPNP 管的制作工艺要求。

2　总剂量辐射试验

采用建模芯片(Testchip)版图设计进行次表面 LPNP 器件工艺流片，分别制作了传统 LPNP 管和新型次表面 LPNP 管。通过微调注入剂量，使得两种结构的 LPNP 管有相近的电参数。辐射前，两种结构的 LPNP 管的电参数测试结果如表 2 所示。可以看出，两种 LPNP 管的 H_{FE} 和 CE 结击穿电压(BV_{CEO})基本相同。选取 LW5101 线性稳压器，以研究次表面 LPNP 管对电路抗辐射性能的影响。

表 1　两种注入条件下推结前后的工艺参数

参数	条件 1	条件 2
注入功率/ keV	650	700，300，100
注入浓度/cm^{-2}	4E15	3E15，1E15，5E14
注入后结深/μm	1.9	2.0
注入后方阻/(Ω·□$^{-1}$)	2 128	2 128
推结温度/℃	1 100	1 100
推结时间/min	50	50
推结后结深/μm	3.1	3.1
推结后方阻(Ω·□$^{-1}$)	25.6	21.7



(a) 条件 1、注入后　　(b) 条件 2、注入后

(c) 条件 1、注入推结后　　(d) 条件 2、注入推结后

图 3　新型次表面 LPNP 管的工艺模拟曲线

辐射试验采用西北核物理研究所 ^{60}Co-γ射线源。试验采用的剂量率为 0.5 Gy(Si)/s；总剂量为 1 kGy(Si)。单个器件的电参数采用 Keithley 4200 型半导体参数测试仪进行测试，电路参数采用 FLEX 混合信号测试仪进行测试。辐射结束后 1 小

时内，测试电参数，辐射后 2 小时内完成测试。

表 2　两种结构的 LPNP 管的电参数测试结果

参数	传统 LPNP 管		次表面 LPNP 管	
	H_{FE}	BV_{CEO}/V	H_{FE}	BV_{CEO}/V
指标值	>20	<−40	>20	<−40
测试值 1	25.16	−71.53	24.54	−70.00
测试值 2	26.34	−66.55	25.30	−69.09
测试值 3	26.66	−70.01	25.43	−69.09
测试值 4	27.49	−70.38	24.04	−69.09
测试值 5	26.68	−75.29	23.67	−70.00

3　结果与讨论

3.1　单管辐射结果

传统 LPNP 管和次表面 LPNP 管辐射前后 H_{FE}随集电极电流(I_C)的变化曲线如图 4 所示。可以看出，两种 LPNP 管的 H_{FE}在小电流下均衰减严重。随着 I_C增大，H_{FE}的衰减程度逐渐减小。

传统 LPNP 管和次表面 LPNP 管辐射前后 H_{FE}变化率如图 5 所示。可以看出，I_C在 10 μA 以下时，辐射后，传统 LPNP 管的 H_{FE}的衰减率为 30%，次表面 LPNP 管的 H_{FE}的衰减率下降为 21%。这表明次表面 LPNP 管的抗总剂量辐射能力显著改善。

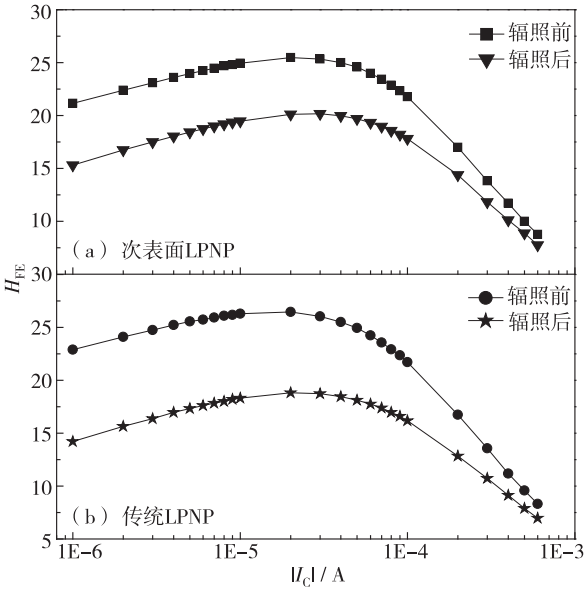


图 4　传统 LPNP 管和次表面 LPNP 管辐射前后 H_{FE}随 Ic 的变化曲线

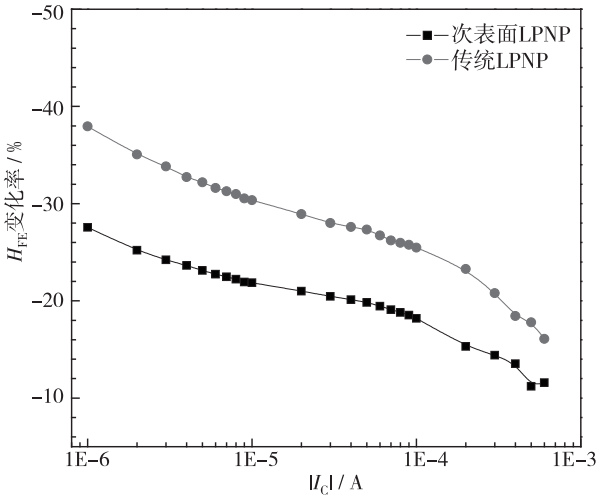


图 5　传统 LPNP 管和次表面 LPNP 管辐射前后 H_{FE}变化率

传统 LPNP 管和次表面 LPNP 管辐射前后 CE 结漏电流(I_{CE})随 V_{CE}的变化曲线如图 6 所示。可以看出，对于这两种结构，辐射前后 I_{CE}和 BV_{CEO}的变化量无明显差异。这表明这两项参数对辐射不敏感，试验结果与文献报道一致[2-3]。

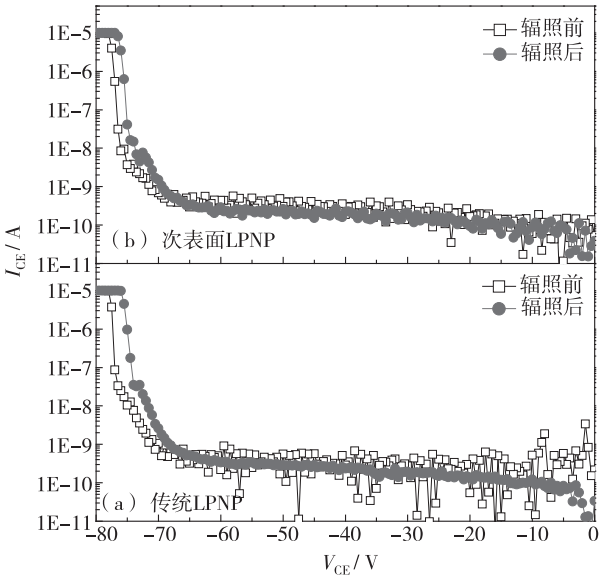


图 6　传统 LPNP 管和次表面 LPNP 管辐射前后的 I_{CE}随 V_{CE}的变化曲线

3.2　电路验证结果

将次表面 LPNP 管应用于 LW5101 线性稳压器。LW5101 的电路框图如图 7 所示。采用 LPNP 管作为功率输出。电路辐射前后的输出电流限制参数和静态功耗的变化量与输出级 LPNP 管的放大倍数变化量直接相关，具体分析如下。

过流保护单元在输出 LPNP 管的基极取样，取

样点的过流保护点为定值。LPNP 管辐射前后的放大倍数变化量越大，电路的输出电流限制变化量越大。

电路的静态功耗为电源 V_{cc} 端电流减去输出电流，输出 LPNP 管的基极电流计入了静态功耗。在重负载条件下，输出 LPNP 管的基极电流是静态功耗的主要来源。当输出电流一定时，辐射前后 LPNP 管放大倍数变化量越大，基极电流变化量越大，则电路的静态功耗变化量越大。

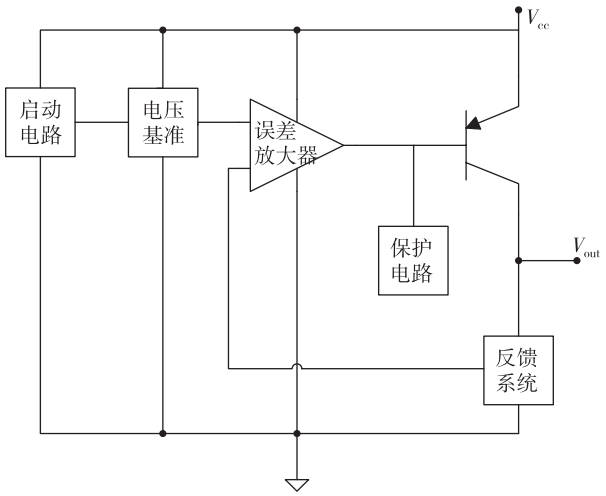


图 7　LW5101 的电路框图

应用传统 LPNP 管和次表面 LPNP 管的 LW5101 辐射前后的参数变化分别如表 3、表 4 所示。

表 3　应用传统 LPNP 管的 LW5101 辐射前后的参数变化

参数	指标	电路编号	辐射前	辐射后	变化率
输出电流	≤3.5	10#	2.92	2.19	−24.9%
限制/A		12#	2.94	2.18	−25.9%
静态电流/	≤20	10#	4.66	7.13	53.1%
mA		12#	4.62	7.23	56.5%

表 4　应用次表面 LPNP 管的 LW5101 辐射前后的参数变化

参数	指标	电路编号	辐射前	辐射后	变化率
输出电流	≤3.5	1#	2.74	2.4	−12.4%
限制/A		2#	2.76	2.37	−14.1%
静态电	≤20	1#	5.06	6.15	21.5%
流/mA		2#	4.91	6.29	28.1%

从表 3、表 4 的数据可知，应用传统 LPNP 管的电路辐射后，输出电流限制下降了 25%，静态功耗增加了 55%。应用次表面 LPNP 管的电路辐射后，极限输出电流下降了 12%～14%，静态功耗增加了 21%～28%。与传统 LPNP 管相比，应用次表面 LPNP 管后，电路的抗总剂量辐射能力更强。

4　结　论

本文设计了一种新型次表面 LPNP 管，开发了通过高能离子注入工艺实现该晶体管的工艺方法，并与常规双极工艺兼容。辐射试验结果表明，采用该次表面 LPNP 管的电路在 10 kGy(Si)总剂量辐射后，集电极电流在 10 μA 下的电流增益衰减率由原来的 30%降低为 21%，抗辐射能力显著提升。验证结果表明，应用次表面 LPNP 管的电路的抗总剂量辐射能力明显强于采用传统 LPNP 管的电路。

参 考 文 献：

[1]　RASHKEEV S N, CIRBA C R, FLEETWOOD D M, et al. Physical model for enhanced interface-trap formation at low dose rates [J]. IEEE Trans Nucl Sci, 2002, 49 (6): 2650-2655.

[2]　HJALAMARSON H P, PEASE R L, WITCZA K S C, et al. Mechanisms for radiation dose rate sensitivity of bipolar transistors [J]. IEEE Trans Nucl Sci, 2003, 50 (6): 1901-1909.

[3]　翟亚红，李平，张国俊，等. 抗辐射双极 n-p-n 晶体管的研究 [J]. 物理学报，2011，60(8)：088501-1-0885011-5.

[4]　ENLOW E W, PEASE R L, COMBS W E, et al. Response of advance bipolar processes to ionizing radiation [J]. IEEE Trans Nucl Sci, 1991, 38 (6): 1342-1351.

[5]　SCHMIDT D M, FLEETWOOD D M, SCHRIMPF R D, et al. Comparison of ionizing radiation induced gain degradation in lateral substrate and vertical PNP BJTs [J]. IEEE Trans Nucl Sci, 1995, 42 (6): 1541-1549.

[6]　申志辉，罗木昌，叶嗣荣，等. 日盲紫外焦平面探测器的抗辐射加固设计 [J]. 半导体光电，2019，40(2)：157-160，165.

[7]　王步冉，李珍，谭欣，等. SOI 铁电负电容晶体管亚阈值特性研究 [J]. 压电与声光，2019，41(5)：756-759.

[8]　SCHMIDT D M, WU A, SCHRIMPF R D, et al. Modeling ionizing radiation induced gain degradation of the lateral PNP bipolar junction tran-sistor [J]. IEEE Trans Nucl Sci, 1996, 43 (6): 3032-3039.

[9]　陆妩，郑玉展，任迪远，等. 工艺条件对双极晶体管低剂量率辐射损伤增强效应的影响 [J]. 原子能科学技术，2010，44 (1)：114-120.

[10]　胡天乐，陆妩，席善斌，等. PNP 输入双极运算放大器在不同辐射环境下的辐射效应和退火特性 [J]. 物理学报，2013，62(7)：076105-1-076105-6.

·产品与可靠性·

38 nm NAND 闪存可靠性评估关键问题研究

郑 勋[1]，何文文[2]，郭桂良[1,3]，丁育林[2]，邹春梅[2]，邵玲玲[2]
（1. 中国科学院大学 微电子学院，北京 100049；2. 中芯国际集成电路制造有限公司，上海 201203；
3. 中国科学院 微电子研究所，北京 100029）

摘 要： 通过提取阈值电压变化，研究了温度、连续读操作和 α 粒子辐射三种应力因子对 38 nm SLC NAND 闪存产品的可靠性影响。结果表明，温度和 α 粒子引起阈值电压的退化呈幂数规律，连续读操作则仅造成随机波动；低温（75 ℃）时，数据保持时间偏离激活能曲线的原因可能源于隧穿氧化层中的氟离子；单个存储单元晶体管级别的读噪声相比芯片整体更大。α 粒子辐射可以诱发低水平的软错误几率。该研究结果为产品可靠性计划的制定和改善提供了重要依据。

关键词： NAND 闪存；阈值电压分布；寿命；读噪声；软错误；产品可靠性
中图分类号：TN406 **文献标识码：**A **文章编号：**1004-3365(2020)04-0597-05
DOI：10.13911/j.cnki.1004-3365.190488

Reliability Evaluation Emerging Problems Research on 38 nm NAND Flash

ZHENG Xun[1], HE Wenwen[2], GUO Guiliang[1,3], DING Yulin[2], ZOU Chunmei[2], SHAO Lingling[2]
(1. *School of Microelectronics, University of Chinese Academy of Sciences, Beijing* 100049, *P. R. China*;
2. *Semiconductor Manufacturing International Corp., Shanghai* 201203, *P. R. China*;
3. *Institute of Microelectronics, Chinese Academy of Sciences, Beijing* 100029, *P. R. China*)

Abstract: Through extracting the threshold voltage shift, the effect of temperature, continuous read operation and alpha particle radiation on the reliability of 38 nm SLC NAND flash memory products was studied. Results revealed that the degradation of threshold voltage caused by temperature and alpha particle showed a power law, while the continuous read operation only caused random fluctuation. The roll-off of activation energy plot in low temperature (75 ℃) was derived from the fluorine ions on the tunneling oxide, and the read noise at bit cell transistor level was greater than that of the chip as a whole. The alpha particle could induce a low level of soft error rate. The research results provided an important basis for the formulation and improvement of product reliability plan.

Key words: NAND flash; threshold voltage distribution; lifetime; read noise; soft error; product reliability

0 引 言

NAND 闪存在半导体存储器市场一直具有举足轻重的地位。2019 年，IC Insights 在麦克林研究报告中指出，与同期其他类型产品（模拟、逻辑、处理器等）相比，半导体存储器的市场年复合增长率达 7.8%。其中，内存（DRAM）和闪存（NAND）为两大增长点，分别占据 58%和 40%的市场份额[1]。近年来，在 5G 通信、人工智能、物联网等新兴技术的推动下，NAND 闪存这种大容量、低成本、高稳定性的存储器成为各大厂商的关注焦点。

收稿日期：2019-08-17；**定稿日期：**2019-10-08
基金项目：中国科学院科技服务网络计划（STS 计划）资助项目（KFJ-STS-SCYD-213）
作者简介：郑 勋（1995—），男（汉族），湖北武汉人，硕士研究生，研究方向为 NVM 可靠性。

半导体新产品推向市场之前，必须通过可靠性评估这一关键环节。通过将温度、开关周期、连续读操作或辐射源等应力施加在产品上来评估特定性能的稳定性。在可靠性测试数据的基础上进行失效分析，制定与完善可靠性计划。NAND闪存存在3个可靠性问题。1)寿命评估方法的有效性和精确性。传统可靠性评估中，仅在高温范围选取2～3个温度点，基于Arrhenius定律外推出产品的常温寿命，其数据充分性和模型适用性不高。传统Arrhenius定律激活能曲线存在温度偏离现象[2-3]，需要仔细考虑宽温度范围下多种失效机理导致的阈值电压(V_t)退化行为规律[4-6]。2)随机电报噪声(RTN)和读性能的稳定性。存储在NAND闪存中的数据信息在多次读操作后，会发生读取错误或丢失。在单个存储单元晶体管(Bit Cell Transistor Level)级别，连续读操作使得V_t在高、低两个状态之间变换，引起位线漏端电流波动，即读噪声[7-8]。该噪声为随机电报噪声，其幅度随温度、开关周期、器件几何参数的变化而变化[9-11]。在NAND产品的实际可靠性测试中，测试块(Test Block)的容量至少为1 Mbit，RTN对Block单元甚至整个芯片的读噪声影响有待重新评估。3)α粒子辐射与器件的防护。在用于航天器件、强电离辐射环境中NAND闪存的辐射粒子敏感性的研究中，以中子、重离子、介子、质子等辐射粒子的辐射效应研究为主[12-14]，对于α粒子的辐射敏感性研究很少[15-16]。然而，无论对于封装、金属互连材料，还是太空环境中，都含有许多α粒子源，α粒子辐射是否引起NAND闪存的软错误及影响程度有待研究。

在上述研究的基础上，本文研究了温度、连续读操作和α粒子三种应力因子对NAND闪存的可靠性影响，分析了每种应力因子引起的V_t变化特性和失效机理。依据相关实验结果，针对寿命评估、读性能稳定性和α粒子辐射加固等可靠性问题和项目研制提出了建议。

1　实验实施

本文采用存储容量为1 Gbit的38 nm SLC NAND闪存进行实验。通过FT0测试挑选出读写和擦除功能均合格的样品，合格样品分成3组，进行CHKB(2组)和ALL0(1组)两种方式的编程，写入原始数据。一组CHKB样品被施加温度应力，烘烤温度分别为50 ℃，75 ℃，100℃，125 ℃和150 ℃。每种温度条件下，放入等量样品于烤箱中。当样品烘烤到第1，2，5，10，20，50，100，200 h时，取出样品，测V_t分布数据；1组CHKB样品被施加Am^{241}α粒子辐照源，辐射源活性为8.806×10^4 Bq，辐射通量为3.23×10^7 $cm^{-2}\cdot h^{-1}$。正式辐照前，按浓硫酸与硝酸1∶3的比例配酸溶液，去掉芯片正上方的封装材料，然后对芯片进行FT0测试，确保酸溶液没有破坏存储器内部数据的原始状态后，才进行后续1，2，5，10，20 h的持续辐照。每个辐照时间读点都要实时记录一次V_t分布数据。最终，对ALL0编程的样品连续进行读操作100次，记录第i次读操作时的V_t分布，即φ_i，并对两两相邻的数据进行比较。

2　结果与讨论

2.1　精确的寿命评估

38 nm NAND闪存样品分别在50 ℃，75 ℃，100 ℃，125 ℃，150 ℃下烘烤1～200 h，V_t随时间的变化曲线如图1所示。

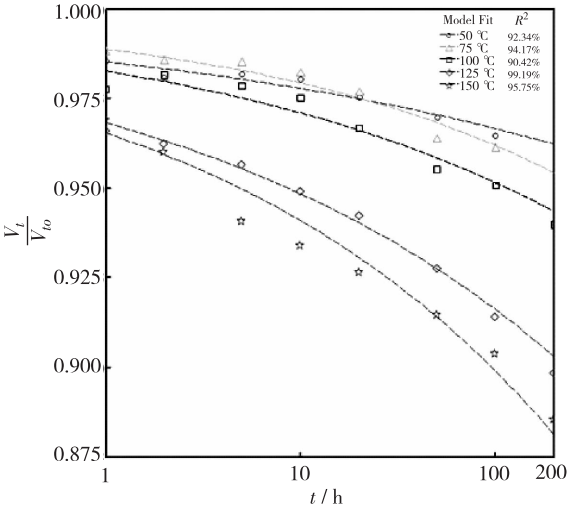


图1　不同温度下V_t随时间的变化曲线

可以看出，温度越高，V_t退化情况越严重，浮栅层中的电荷流失也越多。但是，在75 ℃时，样品未遵循这一原则。如果烘烤时间足够长，V_t将退化到超出正确读取数据信息的阈值电压裕度(RWM)，此时产品失效。可靠性评估时，评估NAND闪存寿命并不会直接测定产品失效时间。即使在高温150 ℃～200 ℃时，闪存的数据保持时间短则数千小时，长则数万小时，不具有可操作性，测试成本巨大。因此，本文在宽温度范围内(50 ℃～150 ℃)，建立了V_t在不同温度下随烘烤时间的退化模型。

图 1 所示的模型拟合效果至少可解释 90%以上的数据。与两种传统的寿命评估方法(测氧化层介质击穿时间的 E、$1/E$ 模型和测产品数据保持时间的指数模型)相比[17-18]，本文建立的基于 Power Law 的模型更能真实、全面、准确地反映产品的寿命。

NAND 闪存不同温度下的 Arrhenius 曲线和低温偏离现象如图 2 所示。

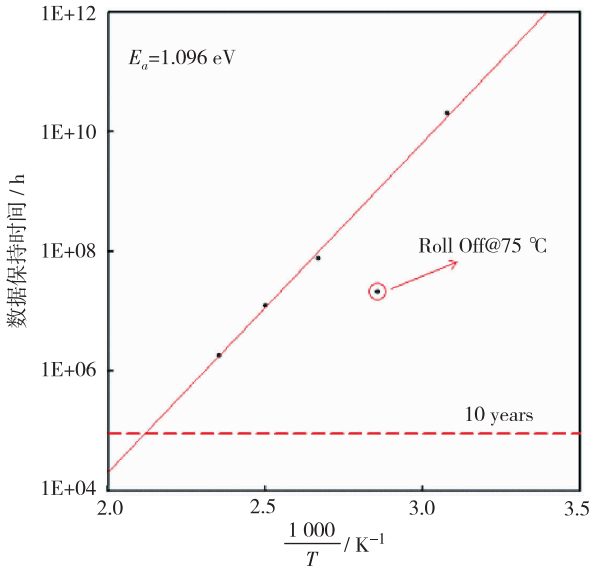


图 2　不同温度下 Arrhenius 曲线和低温偏离现象

可以看出，所有温度下 NAND 样品的本征寿命(未施加其他应力条件，如开关周期)远大于 10 年。样品的激活能值为 1.096 eV，只要该批次样品在 125 ℃下烘烤 2.286 h 不失效，就认为在室温下有 10 年寿命。宽温度范围内 V_t 退化行为建模的寿命评估方法有两个优点：1)寿命适用温度范围更广，说服力更强；2)可建立起不同批次不同类型的模型库和参数库，满足该数据库的样品可直接提取寿命，不需要做实验。

75 ℃时，数据保持时间偏离激活能曲线，可能的原因是隧穿氧化层中残留的氟离子给氧化层引入了负的陷阱电荷。这等效于在初始阶段，浮栅层中存入了更多的电荷。低温下，初始温度提供的热激活能不足以快速促进隧穿氧化层电子先释放，浮栅层中的电子流失比 50 ℃时在初始阶段 V_t 的退化更慢，如图 1 所示。当烘烤时间加长后，负的陷阱电荷逐步释放，隧穿氧化层中，氟原子替换了氧原子而形成悬挂键。这就等效于为氧化层引入正的陷阱电荷。正陷阱电荷的存在增大了隧穿氧化层内部电场(E_{ox})，降低了氧化层势垒，后续烘烤过程中，浮栅层的电荷流失加速，数据保持时间大幅降低[19-21]。

2.2　随机电报噪声

传统 RTN 噪声的研究是针对于单个存储单元晶体管级别。对芯片级别的一个 Block 单元(1 048 576 bit)在室温下连续读操作 100 次后，进行了噪声提取。单一 Block 单元的尾部失效比特单元(Tail Bit)个数和 V_t 均值波动记录如图 3 所示。

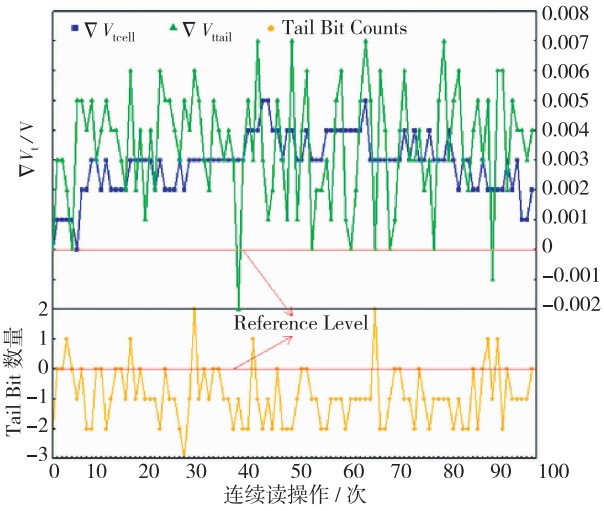


图 3　单一 Block 单元的 Tail Bit 个数和 V_t 波动记录

图 3 中，蓝色正方形部分记录每次读操作后该 Block 单元的 V_t 均值，绿色三角形记录每次读操作时 Tail Bit 单元($p \leqslant 3\times10^{-6}$)的 V_t 均值，黄色圆形记录每次读操作时的 Tail Bit 个数。理论上，读操作并不会改变存储在浮栅层中的电荷数目，存储单元晶体管的 V_t 应保持不变。

从图 3 可知，无论是 Block 单元的 V_t 均值，还是 Tail Bit 单元的 V_t 均值，在每次读操作后，均发生随机性不同程度的波动。Tail Bit 单元的波动幅度更大，且不存在某一读操作时间内 V_t 保持平稳的情况。Tail Bit 单元的读噪声幅度可以视作单个存储单元晶体管级别的 RTN[7]，即晶体管级别的随机电报噪声幅度比更大存储单元如 Block 级别或芯片整体级别更大。假设单个晶体管产生的 RTN 幅度几乎一样，有些是正噪声，有些是负噪声。当不同晶体管之间连接成整体时，一部分甚至所有晶体管之间的噪声有可能相互抵消，整体则表现为平均噪声减弱，甚至没有(假设存储单元晶体管工艺稳定性高、电路拓扑结构高度对称)，看起来好像发生了“整体屏蔽”效应。Tail Bit 通常是整个 Block 单元中 V_t 最小的晶体管。图 3 中，黄色部分数据点说明每次读操作时的 Tail Bit 个数发生变化，这证明了读操作引起的 RTN 造成 V_t 较大的晶体管变为了 Tail

Bit 晶体管。在 RWM 设计值较小且运用多值存储技术(MLC)的产品中，才会考虑 RTN 噪声的影响。对于 SLC NAND 闪存，其噪声幅度对读性能的稳定性影响有限。

2.3　α 粒子软错误

α 粒子软错误评估项目在 SRAM 存储器的研究中一直存在，通常来说错误几率水平为每兆位 300～1 000 FIT(FIT，单位时间失效率)。本文首次分析了 α 粒子辐射对 NAND 闪存的 V_t 退化的影响，提取了软错误几率水平。不同辐照时间下 V_t 分布的退化对比如图 4 所示。

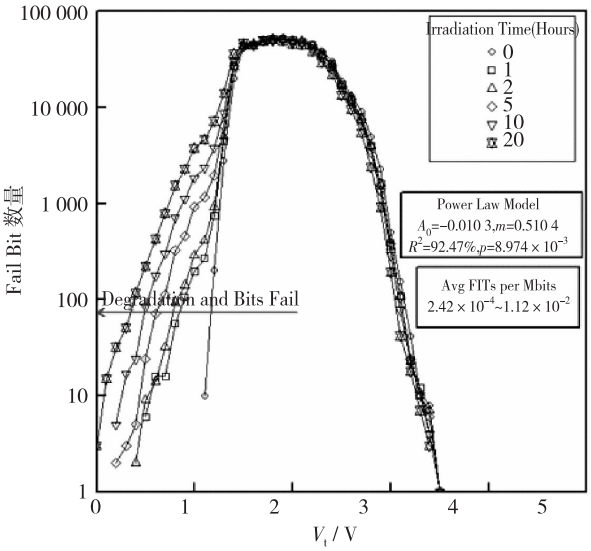


图 4　不同辐照时间下 V_t 分布的退化对比

当辐射从 1 h 持续到 20 h 时，NAND 闪存的一个 Block 单元 V_t 分布退化越来越严重，产生的 Tail Bit 失效越来越多。经过数据提取发现，Block 单元 V_t 分布均值按幂数定律随辐照时间减小。幂数模型中，两个关键参数提取值分别为 $A_0=-0.010\ 3$、$m=0.510\ 4$。该模型可解释 92.47%以上的数据，且高度可信($p=8.974\times10^{-3}$)。在 1～20 h 的持续辐射中，每 Mbit 的软错误几率水平为 2.42×10^{-4}～1.12×10^{-2}，远低于 SRAM 的软错误几率水平。当单位 FIT 大于每兆位 0.01 时，就应考虑辐射因子的作用[22]。NAND 闪存软错误几率随辐射时间的增加而增大。对于小尺寸、大容量器件，软失效比特的总个数会随存储容量的增加而急剧上升(如1 Gbit NAND 闪存中，有 2～92 个软失效)。从 Block 单元 V_t 退化模型提取的理论寿命约为 326 d。对长期工作在 α 粒子辐射环境中的 NAND 存储系统，需要制定特定的抗辐射保护方案。

3　结　论

本文研究了温度、连续读操作和 α 粒子辐射三种应力对 NAND 闪存的产品寿命、随机电报噪声、软错误等关键可靠性指标的影响。结果表明，在温度和 α 粒子应力加速过程中，V_t 分布均值均呈幂数规律级减小。读操作应力仅能造成 V_t 发生随机性波动。对于 V_t 典型退化几率，温度造成的的退化率为 10～40%，连续读操作造成的退化率为 2～8‰，α 粒子辐射造成的退化率为 1.5～6%。在温度烘烤、α 粒子应力加速过程中，Tail Bit 失效容易发生。在连续读操作中，失效的 Tail Bit 很少发生。

精确的 NAND 闪存寿命评估应该建立在宽温度范围、完备的 V_t 退化行为建模基础上。随机电报噪声对 NAND 闪存的读稳定性的影响在小尺寸 MLC 器件较易体现。当 NAND 闪存长期工作在 α 粒子辐射环境中时，需要对器件制定特定的抗辐射防护方案。

参 考 文 献：

[1]　IC Insights. The McClean report 2019 [EB/OL]. http://www.icinsights.com/services/mcclean-report, 2019.

[2]　SALVO B D, GHIBAUDO G, PANANAKAKIS G, et al. A new extrapolation law for data-retention time-to-failure of nonvolatile memories [J]. IEEE Elec Dev Lett, 1999, 20(5): 197-199.

[3]　GOVOREANU B, HOUDT J V. On the roll-off of the activation energy plot in high-temperature flash memory retention tests and its impact on the reliability assessment [J]. IEEE Elec Dev Lett, 2008, 29(2): 177-179.

[4]　LEE K, KANG M, SEO S, et al. Analysis of failure mechanisms and extraction of activation energies E_a in 21-nm NAND flash cells [J]. IEEE Elec Dev Lett, 2013, 34(1): 48-50.

[5]　LEE K, KANG M, SEO S, et al. Activation energies (E_a) of failure mechanisms in advanced NAND flash cells for different generations and cycling [J]. IEEE Trans Elec Dev, 2013, 60(3): 1099-1107.

[6]　LEE K, KANG M, HWANG Y C, et al. Accurate lifetime estimation of sub-20-nm NAND flash memory [J]. IEEE Trans Elec Dev, 2016, 63(2): 659-667.

[7]　KURATA H, OTSUGA K, KOTABE A, et al. Random telegraph signal in flash memory: its impact

on scaling of multilevel flash memory beyond the 90-nm node [J]. IEEE J Sol Sta Circ, 2007, 42(6): 1362-1369.

[8] FANTINI P, GHETTI A, MARINONI A, et al. Giant random telegraph signals in nanoscale floating-gate devices [J]. IEEE Elec Dev Lett, 2007, 28(12): 1114-1116.

[9] AMOROSO S M, GHETTI A, BROWN A R, et al. Impact of cell shape on random telegraph noise in decananometer flash memories [J]. IEEE Trans Elec Dev, 2012, 59(10): 2774-2779.

[10] RESNATI D, GODA A, NICOSIA G, et al. Temperature effects in NAND flash memories: a comparison between 2-D and 3-D arrays [J]. IEEE Elec Dev Lett, 2017, 38(4): 461-464.

[11] NICOSIA G, GODA A, SPINELLI A S, et al. Impact of cycling on random telegraph noise in 3-D NAND flash arrays [J]. IEEE Elec Dev Lett, 2018, 39(8): 1175-1178.

[12] CHEN D K, WILCOX E, LADBURY R L, et al. Heavy ion and proton-induced single event upset characteristics of a 3-D NAND flash memory [J]. IEEE Trans Nucl Sci, 2018, 65(1): 19-26.

[13] BAGATIN M, GERARDIN S, PACCAGNELLA A, et al. Atmospheric neutron soft errors in 3D NAND flash memories [J]. IEEE Trans Nucl Sci, 2019, 66(7): 1361-1367

[14] BAGATIN M, GERARDIN S, PACCAGNELLA A, et al. Muon-induced soft errors in 16-nm NAND flash memories [C] // IEEE IRPS. Pasadena, CA, USA. 2016: 5C-1-1 - 5C-1-5.

[15] BAGATIN M, GERARDIN S, PACCAGNELLA A, et al. Alpha-induced soft errors in floating gate flash memories [C] // IEEE IRPS. Anaheim, CA, USA. 2012: 33C.2.1 - 3C.2.7.

[16] GERARDIN S, BAGATIN M, PACCAGNELLA A, et al. Neutron and alpha single event upsets in advanced NAND flash memories [J]. IEEE Trans Nucl Sci, 2014, 61(4): 1799-1805.

[17] MCPHERSON J, REDDY V, BANERJEE K, et al. Comparison of E and $1/E$ TDDB models for SiO_2 under long-term/low-field test conditions [C] // IEEE IEDM. San Francisco, CA, USA. 1998: 171-174.

[18] MCPHERSON J W. Reliability physics and engineering: time-to-failure modeling [M]. 2nd ed. New York: Springer, 2013: 12-28.

[19] GHIDINI G, DRERA D, MAUGAIN F. F contamination effects on intrinsic and extrinsic gate oxide reliability [C] // IEEE Int Integr Reliab Workshop Final Rep. Lake Tahoe, CA, USA. 1995: 92-97.

[20] SHANWARE A, KHAMANKAR R B, PHERSON M W. Resolving the non-uniqueness of the activation energy associated with TDDB for SiO_2 thin films [C] // IEEE IEDM. San Francisco, CA, USA. 2000: 549-552.

[21] ARITOME S. NAND flash memories technologies [M]. Hoboken: IEEE Press, 2016: 203-204.

[22] JEDEC. JESD89A measurement and reporting of alpha particle and terrestrial cosmic ray-induced soft errors in semiconductor devices [S]. Arlington: JEDEC Solid State Technology Association, 2012.

六西格玛管理在电源模块测试中的应用研究

张小林
（重庆中科战储电子有限公司，重庆 400060）

摘　要： 六西格玛管理是一种新兴的管理思路和工具，核心思想是通过持续改进达到零缺陷，帮助企业保持改进，使企业在激烈的竞争中拥有持续的竞争力和发展动力。六西格玛管理将成为企业未来管理的趋势。文章介绍了六西格玛管理的基本含义和方法，针对研制过程中电源模块测试存在的问题，利用六西格玛管理的 DMAIC 模型，改进了电源模块的测试方法，提高了测试效率和质量，达到了预期目标。

关键词： 六西格玛管理；DMAIC 模型；电源模块测试
中图分类号：TN86；TN407　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0602-04
DOI：10.13911/j.cnki.1004-3365.200124

Application Study on Six-Sigma Management in Power Module Test

ZHANG Xiaolin
(*Chongqing Jonser Electronics Co., Ltd., Chongqing* 400060, *P. R. China*)

Abstract: Six-sigma management represented a new management concept and an effective tool, which was concentrate on the continuous improvement to get a zero-defect target. This could help the enterprises keep updating so that they could maintain continuous competitiveness and development momentum. Six-sigma management would become the trend of enterprise management in the future. This thesis introduced the basic meaning and methods of six-sigma management. Aiming at the problems existing in the power module test of development process, the DMAIC module of six-sigma management were used to improve the method of power module test, so the test efficiency and quality was improved and the expected goal was achieved.

Key words: six-sigma management; DMAIC module; power module test

0　引　言

六西格玛管理是一种能严格、集中和高效地改善企业流程管理质量的实施原则和技术，它能提升企业管理的能力、节约企业运营成本、增加客户价值和改进服务水平等[1]。

1980 年代中期，摩托罗拉公司的 Bill Smith 在基于统计学上的正态分布理论上提出了六西格玛理论。1990 年代中期，Allied Signal 和 GE 等公司通过实施六西格玛管理取得了巨大成功，将六西格玛管理上升为一种质量理念和质量文化。据统计，在全球 500 强企业中，有超过 30%的大型企业推行了六西格玛管理[2]。推行六西格玛管理可以消除企业生产管理过程中的缺陷和无价值操作[3]。

本文利用六西格玛管理工具 DMAIC 模型，分析了部门在电源模块测试中遇到的问题，提出了解决方案并实施，提高了测试效率和质量，在实践中取得了很好的效果。

1　六西格玛管理的基本涵义和方法

六西格玛管理也称 6 σ管理，西格玛是希腊字母“σ”的音译，在统计学中表示标准差。标准差能

收稿日期：2020-03-24；**定稿日期：**2020-05-29
作者简介：张小林（1963—），男（汉族），重庆长寿人，高级工程师，从事微电子学与固体电子学技术及二次集成电路产品的研发、管理工作。

反映一个数据集的离散程度，在六西格玛管理中，可用于描述各种可能结果相对于期望值的波动程度。

六西格玛水平表示每百万个产品的不合格品率(PPM)不高于 3.4。西格玛水平与缺陷率的关系如表 1 所示[4]。

表 1　西格玛水平与缺陷率的关系

西格玛水平	不合格品率/ $\times 10^{-6}$	合格品率/%
1	691 500.0	30.850 00
2	308 500.0	69.150 00
3	66 800.0	93.320 00
4	6 210.0	99.380 00
5	233.0	99.976 70
6	3.4	99.999 66

六西格玛强调理解和改进过程，因此，整个过程划分为五个过程，即 DMAIC 模型。DMAIC 是五个阶段的首字母缩写，为：

1) 定义(Define)：主要任务是明确问题、目标和流程，确定需改进的产品或过程，确定项目所需的资源；

2) 测量(Measure)：主要任务是找出影响质量的关键因素，测量和收集产品或过程当前的表现，建立改进目标；

3) 分析(Analyze)：主要任务是分析测量阶段所收集的数据，确定一组按重要程度排列的影响质量的变量，通过采用逻辑分析法、观察法、访谈法等方法，对已评估出来的问题产生原因进行进一步分析，确认原因之间是否存在因果关系；

4) 改进(Improve)：主要任务是优化解决方案，并确认该方案能够满足或超过项目质量改进目标，拟订几个可供选择的改进方案，从中挑选出最理想的改进方案付诸实施；

5) 控制(Control)：主要任务是确保过程改进一旦完成能继续保持下去，不会返回到先前的状态，在改进过程中，及时解决出现的各种问题，使改进过程不偏离预先确定的轨道，避免发生较大失误。

DMAIC 流程图如图 1 所示[5]。

2　DMAIC 模型在电源模块测试中的应用

2.1　定义阶段

部门对电源模块均采用人工手动测试和手动记录测试数据。但是，测试效率低下，计算和记录数据容易出错，无法保证测试的质量与安全性。随着测试需求量日益增加，手动测试与手动记录数据已成为测试质量的薄弱环节。因此，将改进测试方式确定为六西格玛管理的重点工作内容，并确定工作目标为测试效率至少提升 200%。

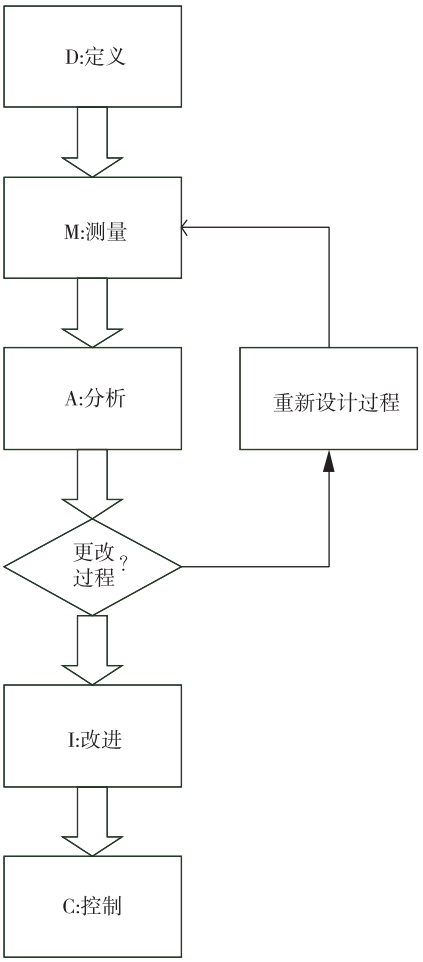


图 1　DMAIC 流程图

2.2　测量阶段

对于电源模块，通常对其输出电压、电流调整率、电压调整率、输出空载纹波电压、输出满载纹波电压和效率进行测试。通过分析和测量，可将一次典型的手动测试电源模块过程分解为如表 2 所示的步骤。

2.3　分析阶段

由表 2 可看出，一次熟练且不出错的测试操作

共需约 32 s，设置和操作仪器共需约 9 s，读取测试结果、计算和记录数据共需约 23 s。可以看出，人工读取、计算和记录数据花费时间较长，限制了测试效率的提高。针对操作仪器和读取、计算和记录数据这两个关键影响因素，确定了改进方案为采用计算机程序控制测试仪器的操作，并读取、计算和记录测试结果。整个测试过程由计算机控制完成，可极大缩短测试时间、提升测试稳定性和准确性。

表 2　手动测试电源模块过程分解

步骤	时间	步骤	时间
1、输入电源电压并开启电源	2 s	7、读此时输出满载纹波电压并记录	3 s
2、读此时输出电压	1 s	8、读输入电流、计算效率并记录	5 s
3、读此时输出空载纹波电压并记录	3 s	9、调整输入电压至最小输入电压，读输出电压	3 s
4、开启电子负载输出	1 s	10、调整输入电压至最大输入电压，读输出电压	3 s
5、读此时输出电压并记录	3 s	11、计算电压调整率并记录	3 s
6、计算电流调整率并记录	3 s	12、关闭电源、电子负载输出	2 s
合计：32 s			

2.4　改进阶段

基于分析阶段确定的改进方案，开发出了电源模块自动测试软件，界面如图 2 所示。

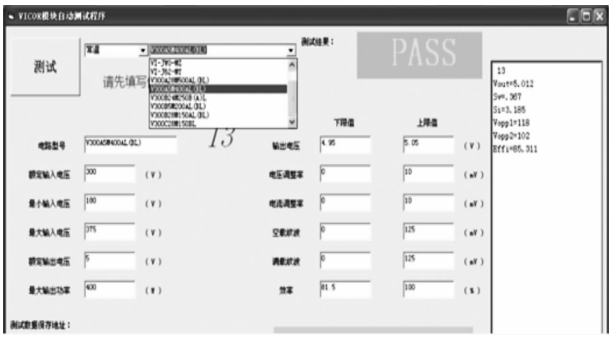


图 2　电源模块自动测试软件的界面

软件由 VB 语言编写，软件程序可控制一台直流电源、一台电子负载、一台数字万用表和一台示波器。界面左侧填写电路型号、输入电压、输出电压和输出功率等参数，右侧填写各测试参数的上下限值。还可通过下拉菜单来选取电路型号，软件会自动填充该型号的所有参数，参数由软件在数据库中自动读取。

填写完参数信息并设置好测试温度后，界面左下方会显示测试数据文件的存放地址，此时即可单击“测试”按键进行自动测试。测试完成后，在软件右上方会显示测试结果“PASS”或“FAIL”，右边空白处会显示该次测试结果的各参数值，方便测试人员分析判断。

测试数据文件如图 3 所示。测试数据自动保存到软件所在路径的.csv 文件中，可利用 EXCEL 进行各项数据处理，方便测试者分析测试数据。

H12

	A	B	C	D	E	F	G
1	Result	Vo	Sv	Si	Vopp1	Vopp2	Efficiency
2	PASS	5.012	0.205	2.636	120	106	85.503
3	PASS	5.012	0.237	2.653	118	108	85.481
4	PASS	5.012	0.143	2.721	122	106	85.459
5	PASS	5.012	0.26	2.8	118	106	85.448
6	PASS	5.012	0.205	2.77	120	112	85.421
7	PASS	5.012	0.206	2.892	118	104	85.399
8	PASS	5.012	0.211	3.012	118	106	85.372
9	PASS	5.012	0.304	3.063	118	106	85.361
10	PASS	5.012	0.351	3.065	124	108	85.333
11	PASS	5.012	0.367	3.185	118	102	85.311

图 3　测试数据文件

通过测量得到，使用该软件进行电源模块测试，全程仅需约 4.5 s。这极大缩短了测试时间，提高了测试效率和测试稳定性。与手动测试相比，测试效率提高了 600%以上，达到了确定的工作目标。

2.5　控制阶段

控制阶段需要有效控制实施改进方案，并对方案进一步有效改进，包含三个要素[6]：过程改进成果的文件化；建立过程控制计划；持续的过程测量。

为了使改进阶段的措施能够保持持续开展，部门实施了以下多项控制措施：

1）修改电源模块测试的现场操作文件，将改进后的操作流程文件化；

2）对所有测试人员进行软件操作培训，确保每人都能熟练使用自动测试软件；

3）加强管理与监督，确保改进成果在实际工作中得到落实与固化；

4）与测试人员积极沟通，分析测试过程中出现的新问题，优化测试软件和测试流程。

3　改进成果分析

3.1　测试时间的缩短

整个筛选过程中，每只电源模块需要进行常温初测、实验后常温测试、老化后常温测试、老化后高温测试和老化后低温测试等 5 次测试，每次测试的测试时间可从约 32 s 缩短至约 4.5 s。若按每年 10 000 只电路的筛选量计算，则可缩短至少 382 小时的工作时间。

3.2　测试准确度的提升

以某型号电源模块的测试为例，采用手动/自动测试方法，在高/低温条件下测试前后电路表面的温度变化，如表 3 所示。

表 3　测试前后电路表面温度变化对比

测试	低温(−55 ℃)		高温(100 ℃)	
	测试前	测试后	测试前	测试后
手动测试值/℃	−50.6	−33.0	96.8	89.4
自动测试值/℃	−50.3	−45.4	96.5	95.3

可以看出，自动测试前后的电路表面温度变化明显小于手动测试，更能准确测试电路在高低温条件下的工作性能。

图 3 所示测试数据文件是对同一只电路连续测试 10 次的测试数据。可以看出，随着测试次数增加，电路自身温度升高，电压调整率和电流调整率略微增大，工作效率略微降低。因此，自动测试较短的测试时间可以减少电路自身温度的升高，得到更真实的测试结果。

3.3　测试过程的简化

使用自动测试软件，可将测试操作简化为“选取电路型号→点击测试”的简单过程，无需测试人员频繁操作测试仪器、读取和记录测试结果，极大减轻了测试人员的工作量。

4　结　论

通过分析六西格玛管理方法在电源模块测试中的实际应用，介绍了电源模块测试流程中 DMAIC 工具的具体使用方法，体现了六西格玛管理方法在电源模块测试管理中的有效性。

参 考 文 献：

[1]　严丝雨. 基于精益六西格玛管理的现代企业质量管理——以 A 公司为例 [J]. 中国集体经济，2018(1). 35-36.

[2]　李晓武. 基于精益六西格玛的证券公司内部管理系统的研究与实现 [D]. 长春：吉林大学，2015.

[3]　杨永辉. 六西格玛分析过程集成化方法研究 [D]. 北京：北方工业大学，2015.

[4]　汤俊，雷辰. 六西格玛方法在 T/R 组件生产中的应用 [J]. 现代雷达，2013,35(9)：8-10.

[5]　曾佳俊，龙沪强. 在电子器件质量管理中引入 DMAIC 模型的实例研究 [J]. 电子器件，2013，36(3)：313-319.

[6]　PYZDEK T. The six sigma project planner：a step-by-step guide to leading a six sigma project through DMAIC [M]. New York：McGraw-Hill，2003.

用于高密度 SMT 系统的改进 FMECA 方法

秦文龙，燕子鹏，杨镓溢，杨亮亮，张　颖
（中国电子科技集团公司 第二十四研究所，重庆 400060）

摘　要： 针对高密度 SMT 产品或系统中典型失效模式，提出了一种基于模糊集和灰色关联理论的改进 FMECA 方法。运用模糊集理论对 SMT 系统失效分析中的专家知识模糊语言进行定量评价，得到失效模式频度、严重度、探测度三个输入变量的非模糊数。采用灰色关联理论计算各个失效模式的灰色关联度，再与改进控制限比较，确定了改进措施的必要性。与传统 FMECA 风险顺序数方法相比，该改进 FMECA 方法提高了应用的准确性和可靠性。

关键词： SMT；FMECA；模糊集评价；灰色关联理论
中图分类号：TN406　　**文献标识码：**A　　**文章编号：**1004-3365(2020)04-0606-05
DOI：10.13911/j.cnki.1004-3365.190538

An Improved FMECA Method for High Density SMT System

QIN Wenlong, YAN Zipeng, YANG Jiayi, YANG Liangliang, ZHANG Ying
(*The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing* 400060, *P. R. China*)

Abstract: Considering typical failure modes of high density SMT products or systems, an improved FMECA method based on fuzzy set and grey correlation theory was proposed. The fuzzy set theory was used to quantitatively evaluate the linguistic vagueness of experts' knowledge in the failure analysis of SMT system. Then non-fuzzy numbers of three input variables including occurrence, severity and detectivity were obtained. The grey correlation theory was used to calculate the correlation degree of various failure modes. Then the improving necessity for each failure mode was ascertained via contrasting to correlation control limits. Compared with the traditional FMECA risk sequence number method, this improved FMECA method had improved the accuracy and reliability of applications.

Key words: SMT; FMECA; fuzzy set evaluation; grey correlation theory

0　引　言

表面贴装（SMT）产品正在朝着全功能、高密度、小型化方向发展，产品的可靠性越来越受到重视。高密度 SMT 产品是指组装密度（IC 面积与基板面积之比）高于 10%的模块和系统，其可靠性主要由元器件表面贴装焊接焊点在环境应力下的失效发生危险程度决定[1-2]。分析系统失效模式及危害性（FMECA）是提高产品可靠性重要环节。通过对表面贴装系统过程进行 FMECA 分析，确定不同失效模式的风险顺序数（RPN），就可确定每种失效模式对产品质量造成的潜在危险性，从而将失效产生的质量和成本损害降至最低。

传统 FMECA 方法采用 RPN 来表征失效发生危险程度，$RPN=O\times S\times D$，其中，O 为失效模式发生的频度，S 为失效模式发生的严重程度，D 为失效模式发生后的检测程度。这三个变量没有明确的数理关系，基于三者具有同等重要性进行计算，不能准确得出各种失效模式的风险顺序。FMECA 需要基于大量资料收集和数据统计。这一过程通常使用专家评议法（德尔菲法），但可能偏离客观实际，难以用

收稿日期：2019-09-13；**定稿日期：**2019-10-18
作者简介：秦文龙（1988－），男（汉族），云南楚雄人，硕士，工程师，从事微电子集成及封装工艺研究工作。

数据进行抽象描述，极大限制了使用效果[3]。

针对传统 FMECA 方法存在的各种缺陷，国内外学者针对模糊集理论和灰色关联开展了大量研究。文献[4]将关键因素分析中的非模糊化方法应用于 FMECA，提出了一种基于模糊集理论的 FMECA 方法。文献[5]将灰色关联理论应用于 FMECA 研究系统中，得到了不同失效模式灰色关联度。文献[6]结合模糊集理论和灰色关联理论，提出了一种基于模糊集和灰色关联的 FMECA 方法。本文基于模糊集理论，提出了一种改进 FMECA 方法。

1　基于模糊集评价和灰色关联的 FMECA 方法

1.1　SMT 系统分析流程

基于模糊集评价和灰色关联的 FMECA 流程如图 1 所示。

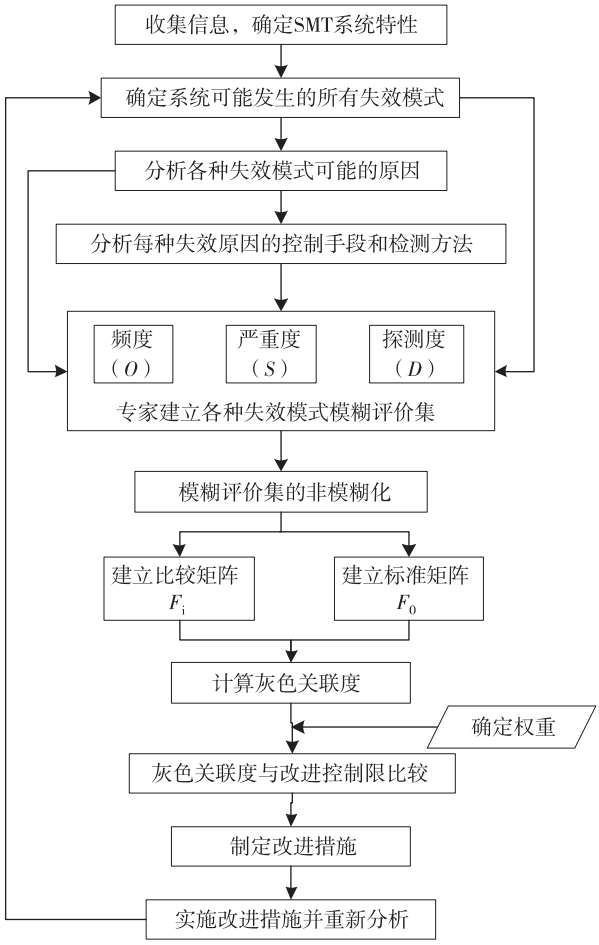


图 1　基于模糊集评价和灰色关联的 FMECA 流程

1.2　产品失效模式的模糊集评价

在确定产品或系统失效模式基础上，模糊集评价方法将 O、S、D 三个输入变量来作为模糊语言变量，结合专家知识经验，创建不同语言变量调研模糊数，对各种失效模式进行定量评价。

1.2.1　失效模式模糊语言集的建立

将失效模式对应的 O、S、D 输入变量准确定义为模糊语言集。每个语言变量包含 5 个评价层级，即 $O/S/D=\{$极低(R)，较低(L)，一般(M)，较高(H)，很高(VH)$\}$。为简化及明确讨论方法，采用梯形分布一般化形式，即三角模糊数(TFN)，对模糊语言集进行量化处理。

假定某一产品或系统存在 n 种失效模式，则失效模式集可表示为 $F=\{f_1, f_2, \cdots, f_n\}$，其中，$f_i$ 为第 i 种失效模式。采用 O、S、D 对失效模式风险顺序进行评估，产品或系统失效模式以矩阵 $\boldsymbol{F}$ 表示：

$$\boldsymbol{F}=\begin{bmatrix} f_1(O) & f_1(S) & f_1(D) \\ \vdots & \vdots & \vdots \\ f_i(O) & f_i(S) & f_i(D) \\ \vdots & \vdots & \vdots \\ f_n(O) & f_n(S) & f_n(D) \end{bmatrix} \tag{1}$$

式中，f_{ij} 表示第 j 个评价因子对第 i 种失效模式的评价结果，其中，$i=1,2,\cdots,n$；$j=O,S,D$。采用三角模糊数进行量化，则 $f_{ij}=(a_{ijL}, a_{ijM}, a_{ijH})$。隶属度函数为：

$$f_{ij}(x)=\begin{cases} \dfrac{x-a_{ijL}}{a_{ijM}-a_{ijL}}, & a_{ijL}\leqslant x<a_{ijM} \\ \dfrac{a_{ijH}-x}{a_{ijH}-a_{ijM}}, & a_{ijM}\leqslant x\leqslant a_{ijH} \\ 0, & x<a_{ijL} \text{ 或 } x>a_{ijH} \end{cases} \tag{2}$$

采用德尔菲法，结合专家知识和经验，建立各语言变量的模糊语言术语集和对应的模糊数，如表 1 所示。

1.2.2　模糊数的去模糊化

根据专家知识和经验确定的三角模糊数，本文采用基于比较矩阵的去模糊化方法[7]。计算式为：

$$L(x)=\frac{a_{ijL}}{2(1+p)}+\frac{(p+2pq+q)a_{ijM}}{2(1+p)(1+q)}+\frac{a_{ijH}}{2(1+q)} \tag{3}$$

式中，p、q 根据 a_{ijL}、a_{ijH} 与 a_{ijM} 偏离程度来确定。a_{ijM} 可能性值为 a_{ijL} 的 p 倍、a_{ijH} 的 q 倍。以失效频度 O 为例，采用 4 位专家进行评价，通过评价模糊语言集分别计算，得到的三角模糊数如表 2 所示。利用公式将三角模糊数去模糊化，得到的频度非模糊数如表 3 所示。同理，可得到严重度 S 和探测度 D 对应的非模糊数。

表 1 各语言变量的模糊语言术语集和对应的模糊数

语言集		O		S		D		三角模糊数
评价层次	传统 FMECA	模糊语言	传统评价	模糊语言	传统评价	模糊语言	传统评价	
R	1	极少发生	<1/20 000	不影响功能和外观	轻微	本工序检出	<1/20 000	(0, 0.15, 0.3)
L	2,3	偶尔发生	1/20 000 ～ 1/10 000	影响外观,不影响功能	较轻	下工序检出	1/20 000 ～ 1/800	(0.2, 0.35, 0.5)
M	4,5,6	一般发生	1/10 000～ 1/200	功能缺陷大	一般	终检检出	1/800 ～ 1/20	(0.4, 0.6, 0.8)
H	7,8	频繁发生	1/200～ 1/10	产品报废	严重	试运行检出	1/20 ～ 1/10	(0.7, 0.85, 1)
VH	9,10	总是发生	>1/10	危及人身安全	致命	用户使用发现	>1/10	(0.9, 1, 1)

表 2 专家评价模糊语言集得到的三角模糊数

专家	权重	*R*	*L*	*M*	*H*	*VH*
A	0.2	(0, 0.15, 0.27)	(0.15, 0.33, 0.49)	(0.36, 0.57, 0.76)	(0.65, 0.8, 0.96)	(0.83, 1, 1)
B	0.3	(0, 0.13, 0.25)	(0.13, 0.31, 0.46)	(0.35, 0.55, 0.79)	(0.67, 0.82, 0.98)	(0.87, 1, 1)
C	0.3	(0, 0.12, 0.28)	(0.15, 0.32, 0.5)	(0.32, 0.56, 0.8)	(0.62, 0.79, 0.98)	(0.84, 1, 1)
D	0.2	(0, 0.14, 0.26)	(0.14, 0.32, 0.51)	(0.38, 0.58, 0.79)	(0.66, 0.81, 0.97)	(0.9, 1, 1)
总和	1	(0, 0.13, 0.27)	(0.15, 0.32, 0.49)	(0.35, 0.56, 0.79)	(0.65, 0.81, 0.97)	(0.86, 1, 1)

1.3 产品失效模式的灰色关联理论

通过模糊评价方法对各种失效模式做出评价后,通常采用灰色关联决策,对各个方案中的评价向量与理想最优方案的评价向量关联度确定各种失效模式的风险顺序[8]。具体程序如下。

1)建立比较矩阵。对于存在 n 种失效模式的产品和系统,第 i 种失效模式的 O、S、D 三个变量的数据列可表示为:$\boldsymbol{F}_i=\{f_i(O),\ f_i(S),\ f_i(D)\}$,通过去模糊化公式计算得到。根据上述方法,表现 n 种失效模式的比较矩阵 $\boldsymbol{F}_i(t)$ 为:

$$\boldsymbol{F}_i(t)=\begin{bmatrix} f_1(O) & f_1(S) & f_1(D) \\ f_2(O) & f_2(S) & f_2(D) \\ \vdots & \vdots & \vdots \\ f_n(O) & f_n(S) & f_n(D) \end{bmatrix} \tag{4}$$

表 3 专家评价得到的频度非模糊数

语言集	*R*	*L*	*M*	*H*	*VH*
非模糊数	0.13	0.32	0.56	0.81	0.97

2)建立参考矩阵。从可靠性角度考虑,选择失效模式各变量的最优值或最差值作为参考基准。各变量的最优值难以准确描述,本文选择各变量的最差值建立参考矩阵 $\boldsymbol{F}_0(t)$,为:

$$\boldsymbol{F}_0(t)=\begin{bmatrix} VH & VH & VH \\ VH & VH & VH \\ \vdots & \vdots & \vdots \\ VH & VH & VH \end{bmatrix}=\begin{bmatrix} 1 & 1 & 1 \\ 1 & 1 & 1 \\ \vdots & \vdots & \vdots \\ 1 & 1 & 1 \end{bmatrix} \tag{5}$$

3)计算灰色关联系数及灰色关联度。根据灰色关联理论,各变量与参考基准的灰色关联系数 $\psi(\boldsymbol{F}_0(t),\ \boldsymbol{F}_i(t))$ 为:

$$\psi(\boldsymbol{F}_0(t),\boldsymbol{F}_i(t))=\frac{\min_i \min_t |\boldsymbol{F}_0(t)-\boldsymbol{F}_i(t)|+\xi \max_i \max_t |\boldsymbol{F}_0(t)-\boldsymbol{F}_i(t)|}{|\boldsymbol{F}_0(t)-\boldsymbol{F}_i(t)|+\xi \max_i \max_t |\boldsymbol{F}_0(t)-\boldsymbol{F}_i(t)|} \tag{6}$$

式中,ξ 为分辨系数,$\xi\in(0,1)$。

在专家评价方法中,由于衡量 O、S、D 三个变量的影响程度不同,所以预先根据实际需要确定各变量权重 ω_t。第 i 种失效模式与参考基准的灰色关

联度 $\varphi(F_0,F_i)$ 为：

$$\varphi(F_0,F_i)=\sum_{t=1}^{3}\omega_t\{\psi(\boldsymbol{F}_0(t),\boldsymbol{F}_i(t))\} \tag{7}$$

4)排序。根据各个失效模式的灰色关联度，从大到小进行排序，确定风险顺序，有针对性地制定改进措施。

2　高密度 SMT 产品的 FMECA 分析

2.1　确定失效模式模糊语言集

SMT 产品常见失效机理有热应力失效、振动疲劳失效和腐蚀疲劳失效[9]。失效产生原因包括基板、元器件、焊接材料、工艺条件、温度曲线、环境条件等。失效检测方法包括光学检测、X-射线测试、电性能测试、物理试验、成分及晶相分析等[10]。

高密度 SMT 产品长期失效包含热应力失效、振动疲劳失效和腐蚀疲劳失效。常见失效模式包含焊点空洞断裂、引线断裂、焊点桥连、腐蚀、离子迁移、基板翘曲断裂等。本文对实际工艺中 6 种失效模式的频度、严重度、探测度进行了统计。常见失效模式及对应的模糊语言集如表 4 所示。

表 4　SMT 产品常见失效模式及对应的模糊语言集

失效模式	失效后果	失效原因	检测方法	O	S	D
焊点空洞断裂	功能丧失	焊接不良	X 射线	H	H	M
引线断裂	功能丧失	元器件缺陷	光学检测	M	H	L
焊点桥连	功能丧失	印刷不良	光学检测	H	H	L
腐蚀	参数不合格	焊剂选用不当	电镜	M	L	H
离子迁移	参数不合格	焊料选用不当	成分分析	L	M	H
基板翘曲断裂	功能丧失	结构设计不当或基板缺陷	光学检测	M	H	M

2.2　确定风险顺序

根据上述各失效模式模糊语言评价，参照表 4 所示的模糊语言集对应的非模糊数，建立失效模式比较矩阵 $\boldsymbol{F}_i(t)$，为：

$$\boldsymbol{F}_i(t)=\begin{bmatrix} H & H & M \\ M & H & L \\ H & H & L \\ M & L & H \\ L & M & H \\ M & H & M \end{bmatrix}=\begin{bmatrix} 0.81 & 0.81 & 0.56 \\ 0.56 & 0.81 & 0.32 \\ 0.81 & 0.81 & 0.32 \\ 0.56 & 0.32 & 0.81 \\ 0.32 & 0.56 & 0.81 \\ 0.56 & 0.81 & 0.56 \end{bmatrix} \tag{8}$$

选取上述各变量的最差值建立参考矩阵 $\boldsymbol{F}_0(t)$，为：

$$\boldsymbol{F}_0(t)=\begin{bmatrix} VH & VH & VH \\ VH & VH & VH \\ VH & VH & VH \\ VH & VH & VH \\ VH & VH & VH \\ VH & VH & VH \end{bmatrix}=\begin{bmatrix} 1 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \end{bmatrix} \tag{9}$$

取分辨系数 $\xi=0.5$，根据式(6)，可得到 6 种失效模式变量与参考基准之间的灰色关联系数 $\psi(\boldsymbol{F}_0(t),\ \boldsymbol{F}_i(t))$，为：

$$\psi(\boldsymbol{F}_0(t),\boldsymbol{F}_i(t))=\begin{bmatrix} 1 & 1 & 0.677 \\ 0.677 & 1 & 0.502 \\ 1 & 1 & 0.502 \\ 0.677 & 0.502 & 1 \\ 0.502 & 0.677 & 1 \\ 0.677 & 1 & 0.677 \end{bmatrix} \tag{10}$$

2.3　比较分析

据经验知识，预先确定失效模式各变量系数分别为：$\omega_1=0.36$，$\omega_2=0.41$，$\omega_3=0.23$。根据式(7)得到上述 6 种失效模式与参考基准之间的灰色关联度 $\varphi(F_0,\ F_i)$。为比较改进模糊集 FMECA 方法与传统 FMECA 方法，根据表 1 对 O、S、D 的传统评价，计算出 RPN。失效模式 RPN 排序及灰色关联度排序如表 5 所示。

选取 $\{O,S,D\}=\{5,5,6\}$ 作为传统 FMECA 改进控制限，则改进控制限风险顺序数 RPN 为 150。同理，选取 $\{O,S,D\}=\{M,M,H\}$ 作为模糊集 FMECA 改进的控制限，则改进控制限灰色关联度为 0.751。

传统 FMECA 中，焊点桥连频度和严重度均较高，探测度偏低，RPN 为 144，低于改进控制限 150。因此，常见 SMT 产品中焊点桥连不作为重点改进

对象。而在基于模糊集 FMECA 中，综合考虑了 O、S、D 三个变量对失效模式的影响权重，焊点桥连灰色关联度为 0.885，高于改进控制限 0.751，因此，产品中焊点桥连作为重点改进对象。

综上所述，改进 FMECA 方法能综合各个失效变量影响权重，对风险作用大于控制限的失效模式进行准确判断，并作为改进对象，从而降低了产品及系统的失效风险。

表 5 SMT 产品常见失效模式 *RPN* 排序及灰色关联度排序

失效模式	传统 FMECA					模糊集 FMECA	
	频度	严重度	探测度	*RPN*	排序	灰色关联度	排序
焊点空洞断裂	7	7	5	245	1	0.926	1
引线断裂	5	8	3	120	4	0.769	4
焊点桥连	6	8	3	144	3	0.885	2
腐蚀	5	3	8	120	4	0.680	6
离子迁移	2	6	8	96	5	0.688	5
基板翘曲断裂	4	7	6	168	2	0.809	3

3 结 论

在高密度 SMT 产品中，相对于传统 FMECA 的风险顺序数评估模型，本文采用了基于模糊集和灰色关联模型进行分析。通过模糊集评价方法，量化专家经验和语言的模糊信息，获得各种失效模式的影响强度，将 FMECA 方法应用于模糊语境，扩大了应用范围。在衡量各失效风险顺序时，引入频度、严重度、探测度的权重系数，获得失效模式综合影响的矩阵灰色关联度，并与控制限对比，确定改进措施，提高了 FMECA 方法的失效风险评估的准确性和应用可靠性。

参 考 文 献：

[1] DALLY J. Packaging of electronic systems [M]. New York: McGraw Hill, 1990: 45-49.

[2] BENDAYA M, RAOUF A. A revised failure mode and effects analysis model [J]. Int J Qual Reliab Managem, 1993, 3(1): 43-47.

[3] GILCHRIST W. Modelling failure modes and effects analysis [J]. Int J Qual Reliab Managem, 1993, 10(5): 16-23.

[4] XU K, TANG L C, XIE M, et al. Fuzzy assessment of FMEA for engine systems [J]. Reliab Engineer & Syst Safety, 2002, 1(75): 17-29.

[5] CHANG C L, WEI CC, LEE Y H. Failure mode and effects analysis using fuzzy method and grey theory [J]. Kybernetes, 1999, 28(9): 1072-1080.

[6] PILLAY A, WANG J. Modified failure mode and effects analysis using approximate reasoning [J]. Reliab Engineer & Syst Safety, 2003, 1(79): 69-85.

[7] WU X R, QIU L M, ZHANG S Y. Correlated FMEA method of complex system with linguistic vagueness [J]. J Zhejiang Univ (Engineer Sci), 2013, 47(5): 782-789.

[8] LIU L, LIU H C, LIN Q L. An improved FMEA using fuzzy evidential reasoning approach and grey theory [J]. Fuzzy Syst & Math, 2011, 25(2): 71-80.

[9] MARTIN P. 电子故障分析手册 [M]. 第 2 版. 张伦，吴常津，译. 北京：科学出版社，2005: 223-235.

[10] MUKAI M, KAWAKAMI T. Thermal fatigue life prediction of solder joints using stress analysis[C]// IEMT/IMC Symp. Tokyo, Japan. 1997: 204-208.

机场综合运维管理系统设计与实现

曹 阳，孟 茁
（中国电子科技集团公司 第四十七研究所，沈阳 110000）

摘 要： 为保障导航台内导航设备的稳定运行和安全，设计了一套用于监控导航设备运行情况、环境参数的综合运维管理系统。该系统包括门磁、水侵、烟雾、火警、温度、湿度、空调控制、UPS、低压配电、视频和云台等。对该系统结构进行了详细设计，它由硬件监控传感器、视频采集、动环采集服务器、分布式数据库服务器和客户监控终端组成。该系统的数据库采用分布式系统设计，有效减轻了终端的存储压力。该系统的通信部分包括串口数据通信和视频数据通信。为了与监控单元兼容，设计了串口通信调度模块，并制定了通用串口通信协议。用户人机界面设计了用户管理、设备维护、监控监视、报警、系统设置、地图等功能。

关键词： 机场；管理系统；集中监控；串口通信
中图分类号：TP277 **文献标识码：**A **文章编号：**1004-3365(2020)04-0611-04
DOI：10.13911/j.cnki.1004-3365.200257

Design and Implementation of Airport Integrated Operation and Maintenance Management System

CAO Yang, MENG Zhuo
(*The 47th Research Institute of China Electronics Technology Group Corporation*, *Shenyang* 110000, *P. R. China*)

Abstract: In order to ensure the stable operation and safety of the navigation equipment in the navigation station, a comprehensive operation and maintenance management system for monitoring the operation status and environmental parameters of the navigation equipment was designed. The system mainly included door magnetism, water intrusion, smoke, fire alarm, temperature, humidity, air conditioning control, UPS, low-voltage power distribution, video and PTZ. The system structure was designed in detail, which mainly consisted of hardware monitoring sensors, video acquisition, dynamic ring acquisition server, distributed database server and customer monitoring terminal. The database of the system adopted distributed design, which could effectively reduce the storage pressure of the terminal. The communication part of the system included serial data communication and video data communication. To be compatible with the monitoring unit, the serial communication scheduling module was designed, and the general serial communication protocol was formulated. User management, equipment maintenance, monitoring, alarm, system setting, maps and other functions were designed in the user man-machine interface.

Key words: airport; management system; centralized monitoring; serial communication

0 引 言

随着我国经济的高速增长，民航迎来发展的高峰期，全国已建成机场 270 余个。随着机场安全的要求不断提高，管理水平不断升级，迫切需要数字化、集成化的机场综合运维管理系统[1-4]。导航台是民航机场的重要部分，一个机场配有几个甚至十几

收稿日期：2020-05-05；**定稿日期：**2020-06-19
作者简介：曹 阳(1964—)，男(汉族)，江苏人，学士，从事微电子专业研究。
孟 茁(1980—)，男(满族)，辽宁人，硕士，从事导航专业研究。

个地面导航台为飞机提供导航服务。导航台通过天线为飞机发送位置、方向、距离等导航信息，引导飞机安全着陆。导航台系统包括仪表着陆、DVOR、DME 等设备。这些设备由发射机、接收机和控制处理单元组成，配有动力系统和环境检测系统。这些设备对环境温度、湿度、电压等参数有一定要求。一般通过人工定期或随机对设备的工作参数、环境参数进行巡检。这种人工方法存在的问题有：1）需要检测的数据较多，人工法会造成一定的差错，导致对设备状态的误判；2）设备在两次巡检期间发生异常时，处理信息故障不及时，会错过解决故障的最佳时机；3）各个导航台数量较多、分布较分散，部分导航台离机场距离较远，人工成本较高。这可导致导航设备异常运行，进而影响飞机的安全着陆。

为解决上述问题，本文设计了一套机场综合运维管理系统。该系统采用远程通信的模式，实时地对导航设备、动环进行集中监控和管理，及时发现异常信息，通知工作人员，保障设备的正常运行，可提升整个导航系统的安全性和监管的实效性，为飞行安全性提供重要支撑。

1　系统总体设计

本文设计的综合运维管理系统的总体框图如图 1 所示。每个机场的规模各异，导航台的数量也不相同，因此要求管理系统具有很好的灵活性。本系统中，硬件采集设备与客户端的链接方式是局域网或者 Internet。底层硬件设备与采集设备链接方式是 485 串口。底层的所有硬件采集设备挂在一个采集传输单元上。这样的一组称之为一个监控单元，每个导航台配备一个监控单元，用户客户端可挂载多个监控单元。

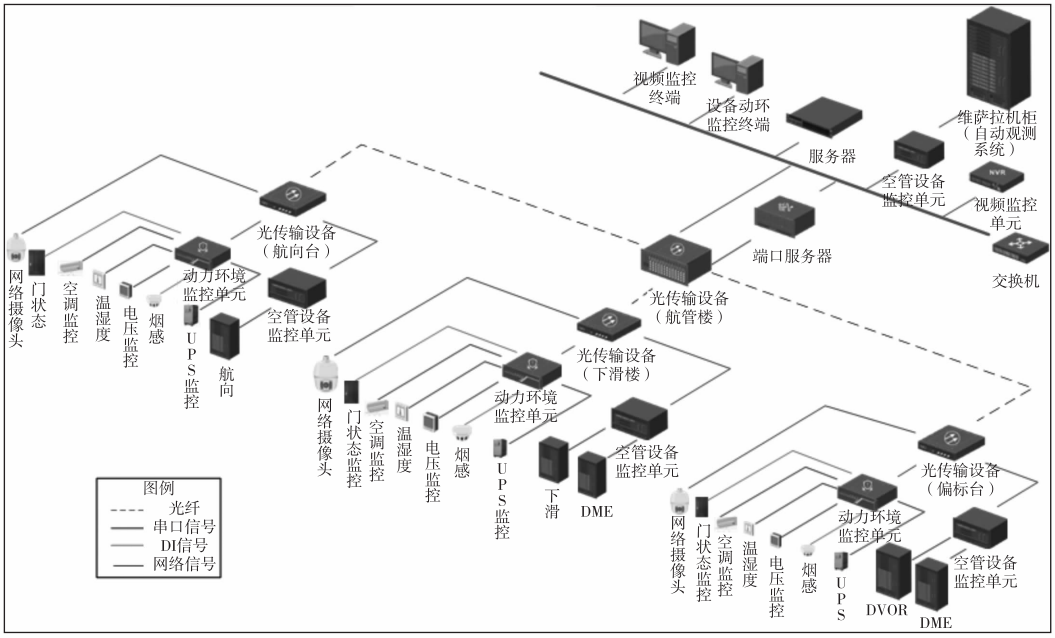


图 1　综合运维管理系统的总体框图

2　系统的组成

2.1　监控客户端

监控客户端是一套监控管理软件，工作人员可远程对导航台内的设备信息、动环数据进行集中监测和管理，并可进行一定操作。根据需求，可配置一个或多个客户端。每个客户端可通过互联网或局域网对各个监控单元进行监控和操作。通过 DCOM 技术，系统将监控所得数据分布式地存储于服务器，并独立运营[5]。软件模块包括数据库、通信、业务功能和 UI 模块，具有用户管理系统配置、报警、设备维护、数据维护、监控和地图等功能。

2.2　数字视频环境服务器

数字视频环境服务器（Digital Video Environment Server，DVES）由串行数据接口卡和 DVS 组成，结构框图如图 2 所示。

DVS 是嵌入式系统，提供视频数据的采集与传输。该 DVS 将一些必要的数据处理和传输接口方法、启动、停止、操作接口控制等封装在 SDK 开发包

中。程序员不必过于关心开发包的实现过程，只需知道接口的使用方法和完成接口函数的调用任务即可。具体接口函数如表 1 所示。

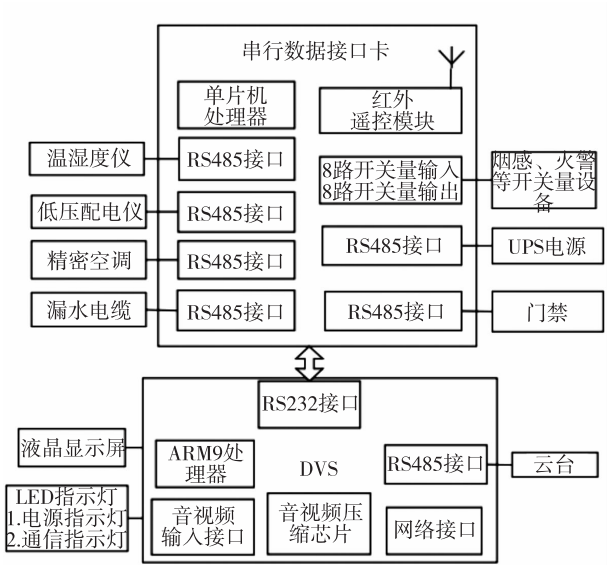


图 2　DVES 的框图

串口数据卡由单片机组成，连接方式为 RS232 接口，即插即用。串口卡提供了 6 个 485 总线、8 个 I/O 模块和红外模块。485 总线用于低压配电、温湿度监控、空调监控等。I/O 模块用于烟雾开关设备，红外模块用于控制空调。485 总线可根据客户需求挂载多条总线，每条总线挂载多个设备，组成 485 网络。串口数据卡还起到中继站的作用，将客户端的采集和控制指令发给底层各个硬件设备，还可将底层的硬件设备应答以统一格式发给监控端。串口数据卡提升了整个系统的灵活性、扩展性和兼容性。

2.3　数据库应用服务器

数据库应用服务器采用分布式数据存储结构。因为该系统挂载较多的底层硬件设备，系统需要处理的信息量较大，所以这种方式有效减轻了数据存储的压力，提高了系统的安全性[6]。系统的参数配置、操作日志、报警等都存储于服务器。用户操作与对本机操作是一样的，原因是这种信息的交换是透明的。

2.4　底层监控设备

底层监控设备是前端传感器，是数据采集的最前沿，其内容根据用户需求自定义。设备的所有数据均来自于底层硬件设备。底层监控设备的类型较多，包括烟雾、水侵、门磁、UPS、温湿度、空调、低压配电等。

表 1　具体接口函数

接口类型	接口方法	功能描述
SDK 启动，停止接口	VSNET-Clientstartup	对客户端 SDK 初始化
	VSNET-Clientcleanup	结束客户端 SDK 使用
视频图像操作接口	VSNET-Clientstart	根据服务器地址、端口号、传输结构等信息获取操作句柄
	VSNET-Clientsetwnd	设置设置视频图像显示窗口
	VSNET-Clientjpegcapstart	启动 JPEG 抓拍回传
	VSNET-Clienttjpegcapstop	停止 JPEG 抓拍回传
	VSNET-Clienttjpegcapsingle	抓取预览视频的一幅图像
	VSNET-Clientstartmp4capture	硬盘录像
	VSNET-Clientstopmp4capture	停止视频录像
	VSNET-Clientstop	停止视频操作
云台控制接口	VSNET-Clientsetptzaaddr	设置云台地址
	VSNET-Clientsetptzcommandfile	设置云台各种命令
	VSNET-Clientptzctrl	进行云台各种操作
串口接口	VSNET-Clientgetserial485param	获得 485 参数
	VSNET-Clientsetserial485param	设置 485 参数
	VSNET-Clientserialstart	通过串口发送数据
	VSNET-Clientserialstop	停止串口发送数据

3　系统数据通信

系统的数据通信结构如图 3 所示。该系统数据是由串口数据和视频组成，均通过底层硬件进行采集，按照专用通信协议，通过 DVES 与底层硬件进行数据通信[7-8]。

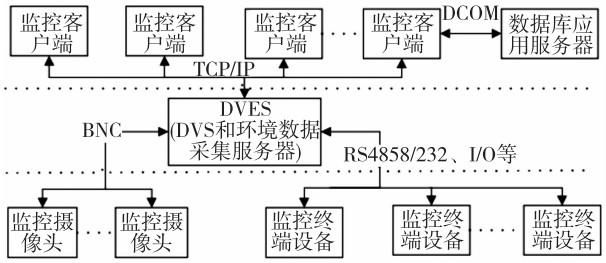


图 3 系统的数据通信结构

摄像头采集的原始视频数据通过 DVS 压缩后再传给客户端进行处理和显示。客户只需调用 SDK 接口函数就可完成相关操作。SDK 对数据进行了良好的封装，整个操作过程较简单。其他的串口通信相对较复杂。原因是底层硬件设备较多，对设备的有效性、实时性和可靠性的要求较高。DVES 在该系统中起到宽口沿拓和数据传输的作用。数据上行通信时，DVES 将底层数据上传给客户端；数据下行通信时，DVES 将客户端数据指令发送给底层设备。该系统通信协议有两种，一种是底层设备的标准通信协议，用于底层设备与串口通信卡的通信。另一种是自定义的通信协议，用于串口通信卡之间的通信[9]。

4 系统客户端软件

系统客户端软件是人机交互的接口，需要具有完善的功能、友好的人机交互界面和良好的维护性。底层的硬件设备传输过来的信息要通过该软件向工作人员展示，工作人员则通过该软件实现对底层硬件的控制。该软件初始化设计界面包括启动监控、停止监控、视频图像、电子地图、报警日志、设备维护、数据维护、系统配置、报警配置、用户管理、密码修改和系统关闭等功能。

5 结 论

导航台是民航机场重要的建筑设施，导航设备是为飞机提供安全的重要保障设备，导航台和设备的正常稳定运行为飞机安全着陆提供重要保障。本文通过导航台设备以及动环监测的需求，设计了一套机场综合运维管理系统。该系统综合运用了多种可靠性技术，使得系统具有良好的拓展性和安全适用性。这对机场综合智慧管理系统具有一定的借鉴意义。

参 考 文 献：

[1] 李熙. 双流机场航班信息综合管理系统的设计与实现 [D]. 北京：北京工业大学，2017.

[2] 邹建森. 探讨机场安防综合监控管理系统 [J]. 网络安全技术与应用，2014(3)：146-147.

[3] 吴健，陈颖，马希河，等. 海航机场设备运行综合管理系统的实施与应用 [J]. 中国设备工程，2013(11)：20-22.

[4] 张建雄. 机场安防综合监控管理系统的设计指导思想 [J]. 中国公共安全，2013(5)：206-209.

[5] 张军. 分布式系统技术内幕 [M]. 北京：首都经贸大学出版社，2005：69-74.

[6] 陈锐. Delphi 分布式多层应用程序开发 [M]. 北京：清华大学出版社，2002：116-121.

[7] 罗军舟，黎波涛，杨明，等. TCP/IP 协议及网络编程技术 [M]. 北京：清华大学出版社，2004：6-9.

[8] 周亮，姜胜明，熊晨霖. 面向船舶自组网的 Semi-TCP 研究 [J]. 计算机工程，2018，44 (2)：119-123.

[9] 韩利凯. 利用 Socket 进行网络通信程序设计 [J]. 西安联合大学学报，2002，4(5)：80-83.